

## CMOS Stereo 16-bit $\Delta\Sigma$ DAC Analog단의 설계기법

김상호, 채정석, 박영진, 손영철, 조상준, 김상민, 김동명, 김대정

국민대학교

전화 02-910-4704, 핸드폰 016-718-3035

### Design Methodology of Analog Circuits for a CMOS Stereo 16-bit $\Delta\Sigma$ DAC

Sang-Ho Kim, Jeong-Seok Chae, Young-Jin Park, Young-Chul Sohn,

Sang-Jun Cho, Sang-Min Kim, Dong Myong Kim, Daejeong Kim

Kookmin University

E-mail : sungeune@hotmail.com

#### Abstract

A design methodology of analog circuits for a CMOS stereo 16-bit  $\Delta\Sigma$  DAC which are suitable for the digital audio applications is described. The limitations of  $\Delta\Sigma$  DAC exist in the performance of the 1-bit DAC and that of the smoothing filter. The proposed architecture for analog circuits contains the buffer between the digital modulator and the following analog stage and adopts the SCF (switched capacitor filter) and DSC (differential-to-single converter) scheme. In this paper, a guide line for the selection of the filter type for the SCF design in the  $\Delta\Sigma$  DAC is suggested through the analytical approaches.

#### I. 서론

혼성모드 신호처리 집적회로를 single chip에 구현하는 기술이 발전함에 따라 고해상도의 ADC (analog-to-digital converter) 및 DAC (digital-to-analog converter)의 필요성이 높아져 왔다. 하지만 입력신호를 Nyquist rate로써 표본화하는 데이터 변환기의 경우 고 정밀의 아날로그 수동소자를 필요로 하고 잡음

이나 신호의 간섭에 취약하기 때문에 12-bit 이상의 해상도를 얻기 힘들다. 이를 해결하기 위한 데이터 변환기 설계기법으로서 과 표본화 기법은 여러 장점을 얻을 수 있다. 과 표본화 데이터 변환기는 높은 표본화 주파수를 사용하므로 빠르고 복잡한 디지털 신호처리를 요구하지만 비교적 정밀도를 덜 요구하는 아날로그 소자를 사용하여 구현할 수 있기 때문에 신호의 주파수 범위가 작으며 고 해상도를 요구하는 digital audio와 같은 응용 분야에서는 과 표본화 데이터 변환기의 사용이 일반화 되었다 [1].  $\Delta\Sigma$  1-bit DAC는 잡음 및 수동 소자의 정밀도에 영향을 덜 받는 안정된 회로로서 높은 해상도를 얻을 수 있다 [2]. 이러한 데이터 변환기의 아날로그 회로 부분의 정밀도는 전체 시스템의 정밀도를 좌우하는 매우 중요한 역할을 담당하고 있다 [3].

본 논문은 현재의 음성대역신호에서 가장 일반적으로 사용되는 사양인 16-bit 해상도를 가지는  $\Delta\Sigma$  DAC의 아날로그 단의 구현에 있어서 신호와 시간영역에서의 처리방법 등의 관점에서 효과적인 구조를 제안한다. 이와 더불어 정량적인 분석에 기초하여 아날로그 단의 핵심적인 블록인 smoothing 필터의 설계를 위한 효과적인 필터 구조 선택의 지침(guide line)을 제시한다.

## II. CMOS Stereo 16-bit $\Delta\Sigma$ DAC

기존의  $\Delta\Sigma$  1-bit DAC의 구조는 그림 1에 나타내었듯이 digital interpolator, noise shaper, 1-bit DAC 그리고 smoothing 필터로 구성되어 있다. Digital interpolator에서 입력신호를 up-sampling 하고 noise shaper에서 양자화 잡음을 신호대역 밖으로 밀어내어 신호 대 잡음비 (SNR)를 높인다. 그리고 1-bit DAC에서 디지털 신호를 아날로그 신호로 변환하고 smoothing 필터에서 대역 밖으로 밀려난 잡음 성분을 감쇠시켜 최종 아날로그 신호를 얻는다 [1], [4].

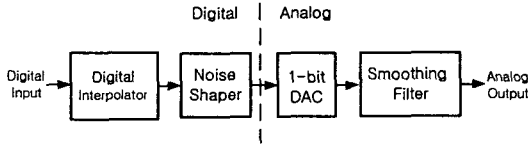


그림 1. 기존의  $\Delta\Sigma$  1-bit DAC 구조

아날로그 단의 성능을 개선하기 위해 본 논문에서는 buffer를 삽입한 mixed SC-CT (switched capacitor - continuous time)형의  $\Delta\Sigma$  DAC 구조를 제안하여 그림 2에 나타내었다. 이 구조는 기존의 single ended 구조 [4]를 개선하여 differential 구조로 analog 단을 설계하였으며, noise shaper의 1-bit출력을 buffer로 받아 SCF를 거쳐 연속시간 DSC를 통해 최종 출력을 얻는다.

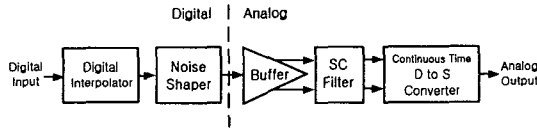


그림 2. 제안하는  $\Delta\Sigma$  DAC 구조

## III. Analog단 설계

### A. Buffer

제안된 구조에 삽입된 buffer 회로를 그림 3에 나타내었다. noise shaper에서 나오는 출력 신호와  $\phi_1$  신호에 의해 각 신호가 high일때 Vref± 전압과 연결시킴으로써 크기가 Vref±인 1-bit 신호를 SCF의 입력으로 보내준다. 이 회로에서는 기존의  $\Delta\Sigma$  DAC [4]의 1-bit DAC의 기능을 수행하며 이전보다 그 구조를 단순화했다.

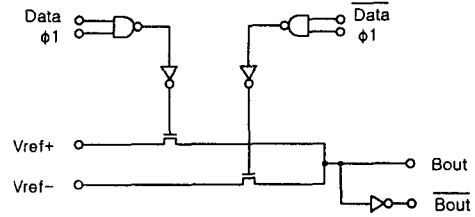


그림 3. Buffer 회로

### B. Switched-Capacitor Filter 설계 지침

본 논문에서 제안한 구조에서 smoothing 필터는 capacitance 비로 주파수 특성이 결정되어 P.V.T. (process, voltage, temperature) 변화에 둔감한 SCF로 설계하였다. 또한 SCF를 differential mode로 설계하여 common mode 잡음을 제거함으로써 보다 향상된 SNR을 얻을 수 있다 [5], [6].

SCF는 보통 ladder 형이나 cascade 형으로 설계를 하는데 이와 같은 과 표본화 회로에서는 과 표본화 주파수  $f_s$ 와 필터의 차단 주파수  $f_c$ 의 비  $f_s/f_c$ 에 의해 캐패시턴스 값이 결정된다. Ladder형 필터는 그림 4와 같은 RLC형 필터에서 active 필터로 설계한 후, 다시 SCF로 변환하는 설계과정을 거치게 되는데 캐패시터, 저항 그리고 인덕터는 임피던스 및 주파수 scaling을 거쳐 식(1), (2), (3)과 같은 관계식에 의해 SC(switched capacitor)로 변환된다 [7].

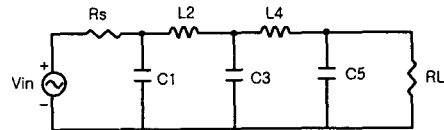


그림 4. RLC Ladder Filter

$$C_c = \frac{C_n}{2\pi f_c R_o} \quad \text{식(1)}$$

$$C_R = \frac{1}{f_s R_n R_o} \quad \text{식(2)}$$

$$C_L = \frac{\pi f_c}{2L_n f_s^2 R_o} \quad \text{식(3)}$$

여기서  $C_c$ 는  $C_n(C_1, C_3, C_5)$ 이 scaling된 값이며  $C_R$ 은  $R_n(R_s, R_L)$ 이 SC로 변환된 값이고  $C_L$  역시  $L_n(L_2, L_4)$ 이 SC로 변환된 값이다.  $f_c$ 는 주파수

scaling에 의한 필터의 차단 주파수이며,  $f_s$ 는 표본화 주파수이고,  $R_o$ 는 임피던스 scaling factor이다. 이렇게 결정된 SCF의 캐패시터 값들에 대한 CR (capacitance ratio)은 일반적인 설계의 경우  $f_s \gg f_c$  이므로  $C_L$ 이 최소 값을 가지며  $C_c$ 가 최대 값을 가진다. 따라서 CR의 최대 값은 식(4)와 같다.

$$CR_{max} \triangleq \frac{C_{max}}{C_{min}} = \frac{C_c}{C_L} = \frac{C_n L_n}{\pi^2} \left( \frac{f_s}{f_c} \right)^2 \quad \text{식(4)}$$

Cascade의 경우 biquad형을 중속 연결하여 고차 필터를 설계하는데 그림 5, 6에 low Q 및 high Q biquad LPF를 나타내었다. Cascade형도 ladder형과 마찬가지로 각 수동소자는 SC로 변환되는데 이때 최대 CR은 식(5)와 같이 나타낼 수 있다.

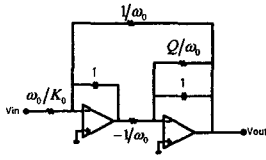


그림 5. Low Q Biquad LPF

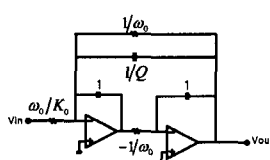


그림 6. High Q Biquad LPF

$$Q > 1 : CR_{max} \triangleq \frac{C_{max}}{C_{min}} = \frac{Q}{2\pi} \cdot \left( \frac{f_s}{f_c} \right) \quad \text{식(5-1)}$$

$$Q < 1 : CR_{max} \triangleq \frac{C_{max}}{C_{min}} = \frac{1}{2\pi} \cdot \left( \frac{f_s}{f_c} \right) \quad \text{식(5-2)}$$

따라서 설계자는 식(4)와 식(5)에서 제시한 지침에 의하여 필터 설계 시 표본화 주파수와 차단 주파수의 비에 의해 CR을 예측할 수 있다. 그런데 audio용  $\Delta\Sigma$  1-bit DAC에 삽입되는 ladder 형 SCF의 경우 식(4)와 같은 관계에 의해 표본화 주파수가 증가함에 따라 CR이  $f_s/f_c$ 의 제곱에 비례하므로 CR이 너무 커져서 구현 불가능해진다.

하지만 cascade형 SCF의 경우 식(5)에서 보듯이 비교적 작은 CR을 가지므로 제안하는 지침에 근거하여 본 논문의 응용에서는 cascade 형 SCF가 적합하다. 이렇게 설계된 differential 5th-order cascade SCF는 그림 7과 같다.

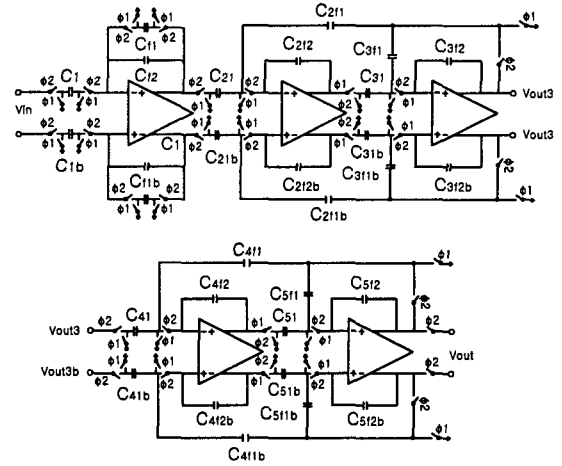


그림 7. Differential 5th-order Cascade SCF

### C. Differential-to-Single Converter

그림 8에 연속시간 DSC의 회로를 나타내었다. 연속시간 DSC는 SCF의 성능이  $KT/C$  잡음에 제한 받는 것을 보상하며 [5], [6]  $R_1 = R_a = R_b = R_F$  일 경우  $V_{out} = V_a - V_b$ 가 되어 원하는 differential-to-single 신호 출력을 얻을 수 있다.

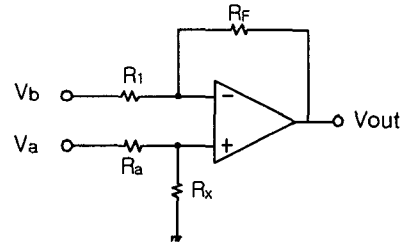


그림 8. Differential-to-Single Converter

### IV. Simulation 결과

그림 9는 50kHz의 차단주파수를 가지는 그림 7의 cascade형 SCF에 통과대역 내 주파수인 15kHz의 사인파 입력을 가했을 때 출력신호 파형이며, 그림 10은 차단대역 주파수인 400kHz 입력을 가했을 때 SCF를 통과한 출력 신호에 대한 simulation 결과 파형이다.

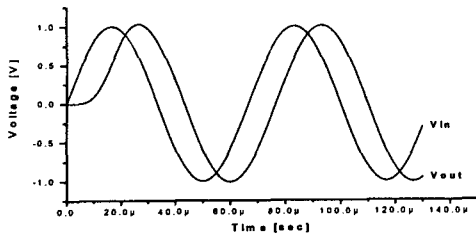


그림 9. Transient Simulation 결과  
(통과대역 주파수 입력, 15kHz)

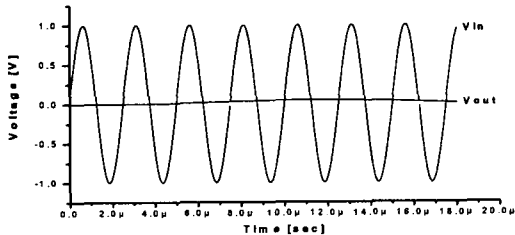


그림 10. Transient Simulation 결과  
(차단대역 주파수 입력, 400kHz)

그림 11은 주파수 영역에 대한 AC simulation 결과로서 통과대역에서 최대로 평평한 Butterworth LPF의 특성을 볼 수 있다. 따라서 음성신호대역의 신호를 왜곡 없이 처리 할 수 있다.

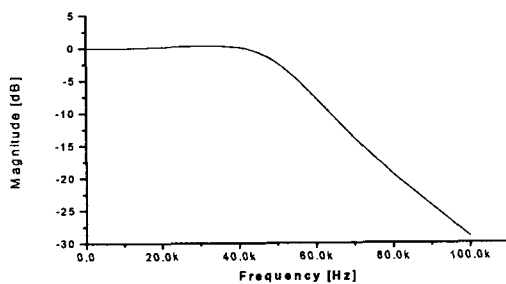


그림 11. AC Simulation 결과

#### IV. 결 론

본 논문에서는 기존의 구조를 개선한 buffer를 삽입한 mixed SC-CT형의 1-bit DAC 구조를 제안하였다. 이는 1-bit 구조이기 때문에 회로가 간단하고 아날로그 소자의 정밀도에 성능이 덜 민감하여 매우 안정적인 동작을 한다. 또한 아날로그 단 전체를 differential mode로 설계하여 SNR 향상에 기여하였다.

디지털 변조기와 아날로그 단 사이에 buffer를 삽입하여 1-bit DAC 과정을 단순화 시켰으며 smoothing 필터를 SCF로 설계하여 P.V.T. 변화에 둔감하며, CT형의 DSC로 인해 KT/C 잡음에 의한 성능 제한 요소를 보상하였다. 또한 표본화 주파수와 필터의 차단 주파수 비에 따른 SCF의 최대 CR의 이론적 근거를 정립하여 이에 따른 필터 구조 선택의 지침을 제시하였다.

#### Acknowledgment

본 논문은 Brain Korea 21 프로젝트의 지원과 IDEC(IC design education center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊이 감사 드립니다.

#### 참고문헌

- [1] S. Norsworthy, R. Schreier, and G. C. Temes, *Delta-Sigma data converters: in Theory, Design, and Simulation*. New York: IEEE Press, 1997.
- [2] H. Schouwenars *et al.*, "An oversampled multibit D/A converter for digital audio with 115-dB dynamic range." *IEEE J. Solid-State Circuits*, vol. 26, pp.1775-1780, Dec. 1991.
- [3] B. Kup *et al.*, "A bitstream D/A converter with 18-bit resolution." *IEEE J. Solid-State Circuits*, vol. 26, pp. 1757-1763, Dec. 1991.
- [4] P. J. A. Naus *et al.*, "A CMOS stereo 16-bit D/A converter for digital audio." *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 390-395, June 1987.
- [5] R. Adams *et al.*, "A 113-dB SNR oversampling DAC with segmented noise-shaped scrambling." *IEEE J. Solid-State Circuits*, vol. 33, pp. 1971-1878, Dec. 1998.
- [6] V.F Dias *et al.*, "Noise in mixed continuous-time switched-capacitor sigma-delta modulators." *IEE Proceedings-G*, vol. 139, pp. 680-684, Dec. 1992.
- [7] R. Gregorian and G. C. Temes, *Analog MOS integrated circuits for signal processing*. New York: Wiley. 1986.