

# 산술 연산 구조의 VCO를 이용한 3.3V 고주파수 CMOS 주파수 합성기의 설계

\*한 윤 철, \*\*윤 광 섭

인하대학교 전자공학과

전화 : 032-860-7419 / 핸드폰 : 019-421-8135

## Design of a 3.3V high frequency CMOS PLL with an arithmetic functionality VCO

\*Yun-Cheol Han, \*\*Kwang-Sub Yoon

Dept. of Electronic Engineering, Inha University

E-mail : \*g2001127@inhavision.inha.ac.kr, \*\*ksyoon@inha.ac.kr

### Abstract

In recent years, the design of CMOS VCO at ever-higher frequencies has gained interest. This paper proposes an arithmetic functionality VCO circuit based on a differential ring oscillator for operating in high frequency. The proposed VCO architecture with half adder is able to produce two times higher frequency with any delay cell than conventional VCO produce double oscillation frequency and power dissipation is 14.59mW.

(ring oscillator)를 이용한 VCO 설계를 증명적으로 이루어지고 있다.

본 논문에서는 넓은 동작 주파수 범위와 높은 주파수 [4]를 얻을수 있는 주파수 합성기를 설계하고자 한다. 이를 실현하기 위하여 50% duty cycle buffer와 반가산기를 이용한 산술 연산 구조의 새로운 VCO를 제안하였으며 설계된 회로는 위상 주파수 검출기 회로, 전하펌프 회로, 루프필터 회로, 산술 연산 구조 VCO, 128/129 분주기로 이루어진다.

### I. 서론

정보 통신 분야의 기술적인 발달과 수요가 증가함에 따라 무선 통신 시스템 시장은 매우 빠른 속도로 확대되고 있으며 가격과 전력소모, 부피가 작은 시스템에 대한 연구가 활발히 진행되고 있다.

고주파수, 저잡음, 저전력 PLL(Phase Locked Loop)은 optical data links, ATM systems, frequency synthesizer 등 여러 분야에 응용되고 있다. PLL 회로의 주요 성능 요소로는 동작 주파수 범위, 지터[1], 획득 시간, 전압대 주파수의 선형성등이 있으며 이는 VCO(voltage controlled oscillator)[2][3]의 성능에 많은 부분 결정되어 진다. 현재 주파수 합성기의 연구는 LC-tank 회로를 이용한 VCO의 설계와 고리 발진기

### II. 산술 연산 구조의 VCO를 이용한 3.3V 고주파수 CMOS 주파수 합성기의 설계

일반적인 4단 차동 고리 발진기의 블록도는 그림 1과 같다. 고리 발진기의 전체 위상 지연은 180° 이므로 1단의 위상 지연은 45° 가 된다. 노드간의 위상차를 이용하여 높은 주파수를 얻기 위해 일반적인 4단 고리 발진기, 50% duty cycle buffer, 반가산기를 결합한 그림 2와 같은 새로운 구조의 VCO를 제안하였다.

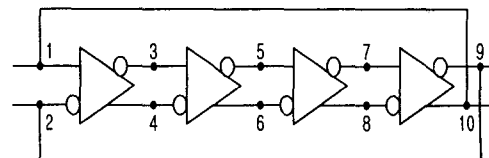


그림 1 일반적인 4단 고리 발진기의 블록도

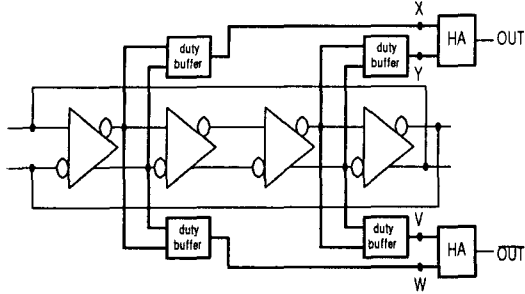


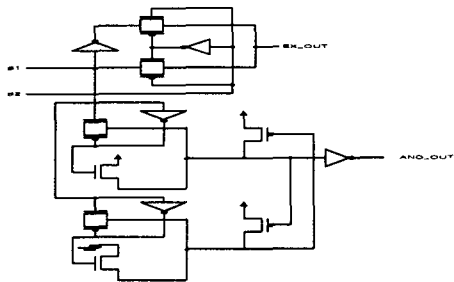
그림 2 제안하는 산술 연산 구조 VCO의 블록도

고리 발진기의 발진 주파수는 식 (1)로 정의된다.

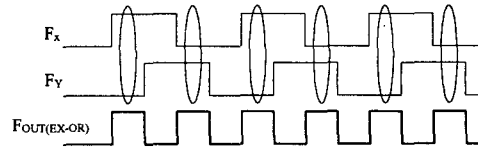
$$f = \frac{1}{2\pi \cdot N \cdot R_o \cdot C_o} \quad (i)$$

N은 지연단의 수,  $R_o$ 는 전류의 크기에 반비례하는 각 지연단의 출력 저항,  $C_o$ 는 각 지연단의 출력 노드에서의 커패시턴스의 합으로 나타내어진다.

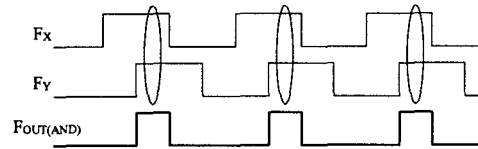
그림 3은 제안된 VCO에서의 높은 주파수를 얻는 동작원리를 나타낸다. 반가산기 회로는 EX-OR 게이트와 AND 게이트로 구성되어 있다. 노드 X와 노드 Y에서의 위상 지연은  $90^\circ$ 이다. 노드 X에서의 신호가 high, 노드 Y에서의 신호가 low일 때 EX-OR 게이트에서의 출력 신호는 high가 된다. 1 cycle이 지연된 후에 노드 X, 노드 Y의 신호가 high, high 또는 low, low일 때의 EX-OR 게이트에서의 출력신호는 low가 된다. 따라서 EX-OR 게이트에서의 출력 주파수는 노드 X와 노드 Y에서의 주파수보다 2배의 높은 주파수를 얻게 된다. AND 게이트에서는 EX-OR 게이트의 출력 주파수를 정확히 2분주하는 주파수를 얻을수 있다.



( a )



( b )



( c )

그림 3 (a) 반가산기의 회로도 (b) EX-OR 게이트의 동작원리 (c) AND 게이트의 동작원리

위와 같은 동작이 이루어지기 위해서는 반가산기 두 입력의 duty cycle은 정확히 50%가 되어야 한다. Duty cycle이 50%에서 벗어나는 것을 방지하기 위하여 그림 4와 같은 버퍼를 설계하였다.

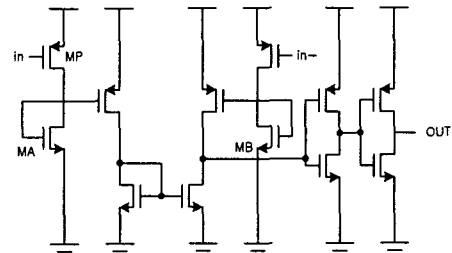


그림 4 50% duty cycle buffer의 회로도

$$\Delta V_{DSMP} = \frac{2N_{MP}}{\sqrt{K_{MP} \left(\frac{W}{L}\right)_{MP}}} + |V_{DS}| \quad (2)$$

$$\Delta V_{DS} = \Delta V_{DSMA} = \frac{2N_{MP}}{\sqrt{K_{MA} \left(\frac{W}{L}\right)_{MA}}} + |V_{DS}| \quad (3)$$

$$\frac{2N_{MP}}{\sqrt{K_{MB} \left(\frac{W}{L}\right)_{MB}}} + |V_{DS}| = \frac{2N_{MP}}{\sqrt{K_{MA} \left(\frac{W}{L}\right)_{MA}}} + |V_{DS}| \quad (4)$$

$$\left(\frac{W}{L}\right)_{MA} = \frac{K_{MB}}{K_{MA}} \left(\frac{W}{L}\right)_{MB} \quad (5)$$

## 산술 연산 구조의 VCO를 이용한 3.3V 고주파수 CMOS 주파수 합성기의 설계

식 (5)를 만족하도록 MA 트랜지스터와 MB 트랜지스터의 W/L 비를 조정하게 되면 입력 전압의 DC 바이어스 전압이 기준보다 내려갔을 경우 트랜지스터의 MA 의 드레인에서의 전압은 다시 상승하여 항상 일정하게 되어 정확히 50% duty cycle을 가능하게 한다.

앞에서 제안된 산술 연산 구조의 VCO는 제안된 차동 지연단 4개로 구성되어 있으며 그림 5와 같다.

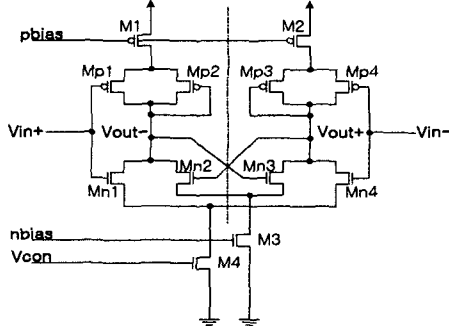


그림 5 차동 지연단의 회로도

지연단의 구조는 접선을 축으로 대칭구조를 이루며 인버터 (Mp1/Mn1과 Mp4/Mn4)와 래치 회로 (Mn2, Mn3), 액티브 부하 (Mp2, Mp3), 바이어스 회로(M1, M2, M3, M4)로 이루어져 있다.

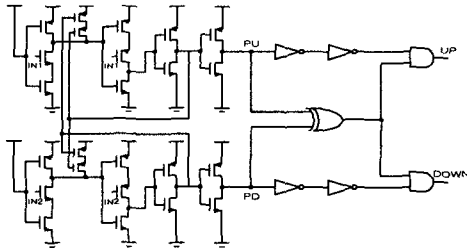


그림 6 위상 주파수 검출기의 회로도

위상 주파수 검출기 회로는 그림 6에서와 같이 UP 신호 발생 부분과 DOWN 신호 발생 부분이 대칭적으로 설계되어야 한다. 두 개의 AND 게이트와 한 개의 EX-OR 게이트는 록킹된 상태에서 전하펌프 회로가 동작하는 것을 막는다. IN1 신호가 IN2 신호보다 먼저 도착하면 UP 신호만 발생하게 되고 IN2 신호가 IN1 신호보다 먼저 도착하게 되면 DOWN 신호만 발생하게 된다. IN1 신호와 IN2 신호가 동시에 도착하게 되면 UP, DOWN 신호 모두 발생하지 않는다. 그러므로 설계된 위상 주파수 검출기 회로는 록킹 상태에서 VCO단의 출력 지터를 막을수 있다.

### III. 실험결과 및 고찰

본 논문에서는 회로 모의 실험 도구인 HSPICE를 이용하여 0.35um CMOS n-well 공정 모델 파라미터를 사용하여 단일 3.3V 공급 전압에서 모의실험 하였다.

HSPICE 모의 실험 결과를 그림 5의 차동 지연단을 적용했을 때 기존의 4단 VCO와 제안하는 산술 연산 구조 VCO를 비교하여 그림 7,8,9 에 나타내었다. 그림 7은  $V_{con}=3.0V$ 일 때 1.07GHz 로 발진하는 출력특성을 나타낸다. 제안하는 VCO에서 EX-OR 게이트의 출력특성을 그림 8에서 나타내었다. EX-OR 게이트는  $V_{con}=3.0V$  일 때 2.0GHz 로 발진하는 출력특성을 나타낸다. 따라서 어떠한 지연단을 적용하더라도 제안하는 VCO는 일반적인 VCO 보다 2배의 주파수를 얻을 수 있다. 그림 9는 AND 게이트 에서의 출력특성을 나타낸다. 두배로 발진하는 EX-OR 게이트 에서의 출력을 정확히 2분주하는 주파수를 얻을 수 있다. 그림 10에서는 입력 주파수가 33.6MHz 일 때 2.02GHz 로 동작하는 풀 인 과정을 나타낸다. 이 때  $V_{con}$ 은 2.92V 이며 록킹 시간은 3.8us 임을 보여준다 표 1은 제안하는 VCO의 성능 요약이다.

### IV. 결 론

본 논문에서는 3.3V 전원전압에서 동작하며 높은 주파수를 가지는 PLL회로를 설계하였다. 설계된 회로는 위상 주파수 검출기 회로, 전하펌프, 루프필터, VCO, 프리스케일러로 구성된다. 넓은 동작 주파수를 가지면서 기존의 VCO 보다 2배의 발진 주파수를 얻을 수 있는 새로운 구조의 VCO를 가지는 주파수 합성기를 제안하였다. 또한 록킹이 되었을 때 전하펌프 회로에 영향을 주지 않는 위상 주파수 검출기의 설계로 VCO의 출력 지터를 줄일것으로 예상된다. 이와 같이 설계된 PLL 회로는 높은 주파수를 요구하는 이동통신용 주파수 합성기에 응용될 것이다.

표 1 제안하는 VCO의 모의 실험 성능 요약

Table.1 Summary of the simulated performance of the proposed VCO

|                   |   |
|-------------------|---|
| Frequency         | 1.07GHz@ $V_{con}=3.0V$<br>(conventional)<br>2.0GHz@ $V_{con}=3.0V$ |
| Power dissipation | 14.59mW@2.0GHz  |
| VCO gain          | 524MHz/V  |
| Supply voltage    | 3.3V  |
| Technology        | 0.35um 2-poly 4-metal<br>CMOS n-well technology                     |

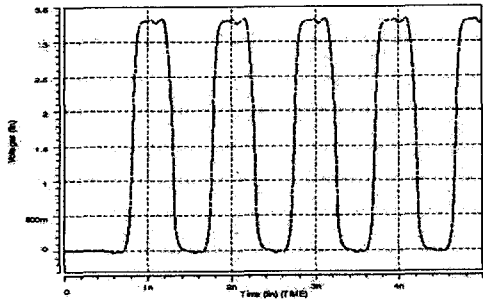


그림 7  $V_{con}=3.0V$  일 때 1.07GHz에서 동작하는 일반적 VCO의 출력특성

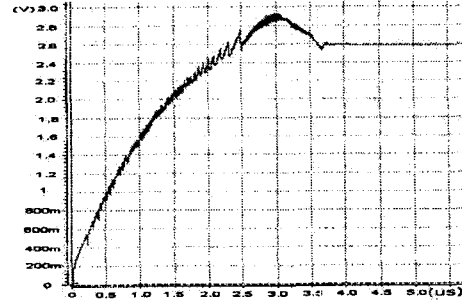


그림 10 33.6MHz의 입력 주파수를 갖고 2.02GHz에서 동작할때의 폴인 과정 특성

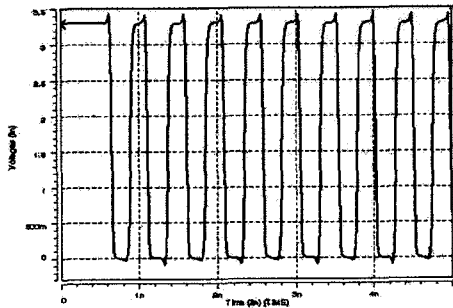


그림 8  $V_{con}=3.0V$  일 때 2.0GHz에서 동작하는 제안하는 VCO(EX-OR)의 출력특성

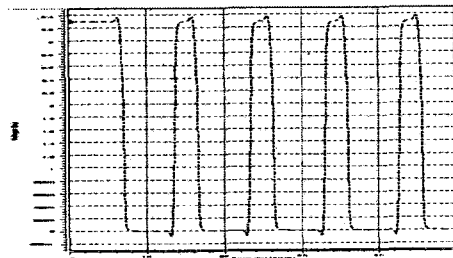


그림 9  $V_{con}=3.0V$ 일 때 1GHz에서 동작하는 제안하는 VCO(AND)의 출력특성

### 참고 문헌

- [1] Ali Hajimiri and Thomas H. Lee, Yhe Design of Low Noise Oscillators, Kluwer Academic Publishers, 1999.
- [2] A. Rofourgan, J. Rael, M. Rofourgan and A. ABIDI, "A 900MHz CMOS LC-oscillator with quadrature outputs" in ISSCC Dig. Tech.Papers, San Francisco, CA, Feb. 1996.
- [3] J. Craninckx and M. Steyaert, "A 1.8GHz low phase noise CMOS VCO using optimized hollow spiral inductors" IEEE JSSC, May 1997
- [4] C.Park and B. Kim,"A Low-Noise, 900MHz VCO in 0.6um CMOS" IEEE JSSC, May 1999