

프로그래머블 전류모드 폴딩·인터폴레이션 CMOS A/D 변환기 설계

김 형 훈
삼성전자 IMT-2000 단말연구팀
전화 : (031) 280-9419

Design of a programmable current-mode folding/interpolation CMOS A/D converter

Hyung Hoon Kim
Samsung Electronics co., Ltd, IMT-2000 Terminal Reserch Team
pastelom@samsung.co.kr

Abstract

An programmable current-mode folding and interpolation analog to digital converter (ADC) with programmable interpolator is proposed in this paper. A programmable interpolator is employed not only to vary the resolution of data converter, but also to decrease a power dissipation within the ADC. Because of varying the number of interpolation circuits, resolution is vary from 6 to 10bit. The designed ADC fabricated by a $0.6\mu\text{m}$ n-well CMOS double metal/single poly process. The experimental result shows the power dissipation from 26 to 87mW with a power supply of 3.3V.

I. 서론

최근에는 전자 제품의 추세가 소형화, 경량화 및 휴대용화 됨에 따라 단일 칩내에 디지털 신호처리 회로와 아날로그 신호처리 회로를 모두 포함하는 단일 칩위의 시스템의 형태로 혼합 신호처리 집적회로가 설계되고 있다[1]. 아날로그 회로는 고성능에 적합한 바이폴라 공정으로 설계되어 왔으며, 디지털 회로는 아날로그 회로에 비해 많은 소자수를 필요로 하므로 비용과 집적도 및 전력소모 면에서 유리한 CMOS 공정으로 주로 설계되어 왔다.

시스템 내 주된 신호처리가 디지털 회로에 의해 수행되더라도 시스템의 입·출력 부분은 아날로그 회로에

의해 신호처리가 이루어져야 하므로 이러한 입·출력 부분의 역할을 하는 데이터 변환기는 혼합 신호처리 시스템 내에서 필수적이라고 할 수 있으며, 통신시스템에서의 신호처리에 대한 관심과 요구가 증가하고 있는 추세에 비추어 볼 때, 분해능과 변환속도에 의해서 결정되는 동기시스템과 비동기 시스템에 모두 적용가능하기 위해서는 적용시스템의 사양에 따라 변화하는 분해능을 가지는 고속의 변환기가 필요하다.

그러나, 대부분의 변환기들이 전압을 기준으로 하는 전압구동의 형태로서 칩에서 변환기 회로가 차지하는 면적과 소모하는 전력량이 너무 크다는 문제점이 있다 [2]. 이런 문제점은 최근 많은 신호처리 시스템들이 소형화, 저전력화되고 있는 점을 감안할 때 전체 시스템의 규모나 동작을 제한하는 요인이 되므로, 이를 해결하기 위해서 본 논문에서는 전류구동 방식의 폴딩·인터폴레이션 구조를 지니는 A/D 변환기를 제시하고 있다.

II. 프로그래머블 전류구동 폴딩·인터폴레이션 CMOS A/D 변환기의 설계

폴딩·인터폴레이션 A/D변환기의 설계 변수에는 FR(folding rate), NFB(Number of offset parallel folding blocks) 및 IR(Interpolation rate)이 있다. 본 논문에서는 제어신호에 따라서 6, 8, 10비트의 분해능을 가지면서 전력소모 및 칩면적 및 입력 캐패시턴스 용량의 관점에서 최적화하기 위해서 전류구동 구조를

지낸다. 표 1에서 나타낸 것과 같이 6, 8, 10비트의 분해능을 만족시키기 위해서 FR=8으로 고정을 시켰으며, NFB는 2, 4, 8로 변화를 시켰고, IR은 4, 8, 16으로 각각의 블록을 설계하였고, 저항성 인터폴레이션 기법과 용량성 인터폴레이션 기법보다 고속 및 선형성 특성이 우수하며, 제어의부신호에 의해서 전류미러의 개수를 조절할 수 있는 전류구동 인터폴레이션 기법을 사용하여 인터폴레이션 회로를 설계하였으며, 고 분해능 및 작은 오프셋의 특징을 갖는 전류 비교기[7]로 비교기 블록을 구성하여 전류구동 폴딩·인터폴레이션 A/D 변환기를 설계하였다.

그림 1은 본 논문에서 설계한 가변 분해능을 가지는 전류구동 폴딩·인터폴레이션 A/D 변환기의 전체 블록도를 나타내며, 오프셋 병렬 폴딩블록, 전류구동 인터폴레이션 회로, 외부신호에 의해서 제어되는 버스와 전류 비교기, 기준전압 발생회로, 클럭 발생기, 인코더, 디지털 오차보정회로, 출력 래치로 구성되어 있다.

그림 3에서 나타낸 폴딩증폭기에 의해서 발생한 폴딩 신호들은 폴딩블록에 의해서 증가된다. 그림 4에서 나타낸 것과 같은 폴딩신호들은 그림 5에서 나타낸 인터폴레이션 블록에 의해서 인터폴레이션율만큼 증가된 폴딩신호로 변환되게 된다. 이렇게 아날로그 전처리 시스템에 의해서 발생한 폴딩신호는 비교기를 통해서 Gray 코드로 변하게 되며, Encoder를 통해서 Binary 코드로 변환하게 된다. 오차를 최소화하기 위한 디지털 오차정정회로를 통한 이후에 출력버퍼를 통해서 동기화되어 최종적으로 디지털 출력이 발생하게 된다.

ADC를 고속으로 동작시키기 위해서는 클럭 드라이버가 주된 요소로 작용하게 되므로, 높은 전류 이득을 갖게 하기 위해서 기존의 단순 게이트로 구성된 클럭 드라이버를 사용하는 대신에 그림 2와 같은 클럭 드라이버를 사용하여 부하 캐패시턴스를 구동하여 전체 시스템을 제어할 수 있도록 하였다.

아날로그 입력 전압신호는 분해능에 따라 2, 4, 8개의 병렬 오프셋 폴딩 블록에 의해, 고정된 8의 폴딩율을 가지고 완전 차동 구조를 지닌 4쌍의 폴딩 전류 신호로 변환되어 전처리과정을 거치게 된다. 4개의 차동 폴딩 증폭기들과 4개의 기준 전류원 및 4개의 오프셋 전압원으로 구성되어 있으며, 폴딩율이 3인 폴딩 전류 신호를 양(+)의 폴딩 신호와 음(-)의 폴딩 신호를 발생시켜 등간격을 가지는 8개의 교차점을 발생시킬 수 있었다.

폴딩 증폭기에서 완전 차동 폴딩 전류 신호들을 발생시키기 위해서는 두 개의 인접한 기준 전압사이의 전압차 ΔV_{ref} 는 식 (1)을 만족시켜야 한다.

$$\Delta V_{ref} = |V_{ref(i+1)} - V_{ref(i)}| \geq 2 \sqrt{\frac{2I_{ss}}{\beta_n}} \quad (1)$$

식 (1)에서 I_{ss} 는 바이어스 전류를 나타내며, n 은 n 채널 MOS 트랜지스터의 디바이스 매개변수를 나타낸다.

전자 이동도와 홀의 이동도의 비율이 n 채널 트랜지스터가 p 채널 트랜지스터보다 2배가 되므로, V_{ref} 의 낮은 전압의 동작을 위해서 폴딩블록에서 입력 트랜지스터를 n 채널 MOS 트랜지스터를 사용하였다.

폴딩블록의 교차연결된 두 출력마디에서 발생하는 차동 폴딩 전류 $I_{f,i}$ 와 $I_{f,ib}$ 는 식 (2)와 식 (3)으로 표시할 수 있다.

$$I_{f,i} = I_{out2} + I_{out3} + I_{out6} + I_{out7} \quad (2)$$

$$I_{f,ib} = I_{out1} + I_{out4} + I_{out5} + I_{out8} \quad (3)$$

A/D 변환기의 아날로그 입력전압 범위는 폴딩 블록의 입력전압 범위에 의해 결정되며, 주어진 전원전압에서 입력전압 범위를 증가시키기 위해 표준형 캐스코드 전류미러의 출력저항과 동일하며, 최소 출력전압이 문턱 전압만큼 낮은 개선형 캐스코드 전류미러로 폴딩 블록의 바이어스 단을 설계하여 바이어스하기 위한 미러단의 드레인 전압이 $\sqrt{5} \Delta V_n$ 이상이면 포화영역에서 동작할 수 있다.

오프셋 병렬 폴딩 블록에서 얻어진 폴딩 전류를 전류구동 프로그래머블 인터폴레이션 회로의 입력으로 사용하여 외부에서 분해능을 제어하기 위해서 사용되는 C_a, C_b 의 제어신호에 의해서 추가의 폴딩 전류를 인터폴레이션하여 분해능을 변화시키는 방법을 사용하였다. 인터폴레이션 전과 후의 폴딩 신호수의 증가율을 인터폴레이션율(IR)로 나타내면 분해능이 $\log_2(IR)$ 만큼 증가한다. 그림 6에서 나타낸 것과 같은 첫 번째 폴딩 전류 I_{f1} 과 두 번째 폴딩 전류 I_{f2} 사이에서 인터폴레이션으로 얻어진 폴딩 전류는 식 (4)으로 표시할 수 있다. 인터폴레이션율은 C_a, C_b 가 모두 1일 경우에는 16이며, C_a 나 C_b 이 0이 되는 경우에는 두 개의 기준 폴딩신호를 MOS소자의 크기비율을 이용하여 증가시킨 신호를 선택적으로 Off시켜 인터폴레이션율은 4 또는 8을 가지게 된다.

$$I_{f,i}(1/2)_i = \frac{(IR-1) \cdot I_{f1} + i \cdot I_{f2}}{IR} \quad (i=0,1,2 \dots, IR) \quad (4)$$

전류구동 인터폴레이션 회로를 폴딩블록율만큼 사용하여 전류구동 인터폴레이션 블록을 구성하였다. 전류구동 인터폴레이션 기법은 비교기 블록을 고속 및 작은 오프셋의 특징을 갖는 전류 비교기로 구현할 수 있는 장점을 가지고 있으며, ADC의 분해능을 결정하는 것은 폴딩증폭기와 인터폴레이션블록을 구성하는 전류

프로그램블 전류모드 폴딩·인터폴레이션 CMOS A/D 변환기 설계

미러의 선형성이므로, 전원잡음에 민감하지 않도록 바이어스 부분에 완충 트랜지스터를 삽입하였다.

그림 7에서 나타난 전류 비교기는 상보 전달 게이트를 삽입하여 동기화 할 수 있도록 구현하였으며, 상보 전달 게이트에서 발생하는 글리치를 최소화하면서 다음단에 대해서 완충기로서 Nand 래치를 출력단으로 구현하였다. 따라서, 0에서 1으로까지의 상승시간을 감소시켜 고분해능을 유지할 수 있도록 하였다.

전류 비교기에서 얻어진 Gray 코드는 분해능에 따라 변하게 된다. 디지털 신호로의 변환시간을 단축시키기 위해서, 인코더 시스템은 6, 8, 10비트에 따라 분리해서 3개로 만들었으며, 롬 구조를 이용하여 디지털 인코더를 설계하였다. 디지털 오차보정회로를 거쳐서 출력 래치에 저장되며 그림 8에서 출력 파형을 나타내었다.

III. 모의실험 결과

설계된 프로그램블 전류구동 폴딩·인터폴레이션 A/D 변환기를 +3.3V의 단일 전원전압에서 0.6 μm CMOS 공정의 모델 변수를 사용하여 HSPICE 모의 실험을 하였다.

그림 4에서 폴딩 블록에 대한 출력 전달 특성을 나타내며, 10kHz의 정현파 입력을 인가하였을 때 사용된 기준전압에서 교차점이 발생하였다.

입력신호에 대한 인코더에 대한 출력특성은 그림 8에 나타내었다.

IV. 결론

본 논문에서는 휴대용 영상신호처리 시스템 및 이동통신 시스템내에 집적화 할 수 있도록 0.6 μm CMOS 공정의 모델 변수를 사용하여 분해능을 6비트에서 10비트까지 변화할 수 있는 저전력 고속 전류구동 CMOS 전류구동 폴딩·인터폴레이션 A/D 변환기를 설계하였다. 고속 및 분해능과 적은 칩면적을 가지도록 1단 구조로 설계하였으며, 높은 속도와 저전력을 위해서 전류구동 폴딩·인터폴레이션회로, 전류구동 비교기와 롬구조로 이루어진 인코더를 사용하였다. 프로그램블 A/D 변환기의 모의 실험 결과는 표 2에 나타내었다.

참고문헌

[1] T. Cho and P.Gray, "A 10-bit, 20-MS/s, 35mW pipeline A/D converter," Proc. Custom Integrated Circuits

Conference, pp.499-502, 1994.

[2] M.P. Flynn and B. Sheahan, "A 400-Msample/s, 6-b CMOS Folding and Interpolating ADC," IEEE J. Solid-State Circuits, vol. 33, no.12, pp.1932-1938, Dec. 1998.

[3] R. Grift, I. Rutten, and M. Veen, "An 8-bit video ADC incorporating folding and interpolation techniques," IEEE J. Solid-State Circuits, vol. SC-22, no.6, pp.944-953, Dec. 1987.

[4] M. Flynn and D. Allstot, "CMOS folding ADCs with current-mode interpolation," ISSCC Digest of Technical papers, pp.274-275, Feb.1995.

[5] B. Nauta and A. Venes, "A 70-MS/s 110mW 8-b CMOS Folding and Interpolation A/D Converter," IEEE J. Solid-State Circuits, vol.30, no. 12, pp. 1302-1308, Dec. 1995.

[6] A Venes and R. Plassche, "An 80MHz 80mW 8b CMOS folding A/D converter with distributed T/H preprocessing," ISSCC Digest of Technical Papers, pp.318-319, Feb. 1996.

[7] Hyung Hoon Kim and Kwang Sub Yoon " A Current-Mode Folding/Interpolation CMOS A/D Converter with Multiplied Folding Amplifiers," IEICE TRANS. FUNDAMENTALS, vol.E-84-A, NO.2 pp.563-567, Feb. 2001.

표 1. 폴딩·인터폴레이션 A/D 변환기들의 FR, NFB 및 IR의 비교

저자	분해능	FR	NFB	IR	단	비고
R.Griff	8	16	4	4	1	[3]
M.Flynn	8	8	8	4	1	[4]
B.Nauta	8	8	4	8	1	[5]
A.Venes	8	8	2	16	1	[6]
H.H.Kim	12	8	4	8	2	[7]

표 2 모의 실험 결과

Resolution	6 bit	8 bit	10 bit
Conversion rate	80MS/s	40MS/s	20MS/s
DNL/INL	$\leq \pm 0.5\text{LSB}$		
Power dissipation	28mW	46mW	87mW
Supply voltage	+ 3.3V		
Input range	2Vp-p		
Technology	0.6 μm CMOS n-well		

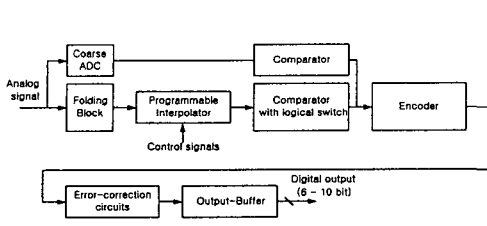


그림 1. 제안하는 ADC의 블록도

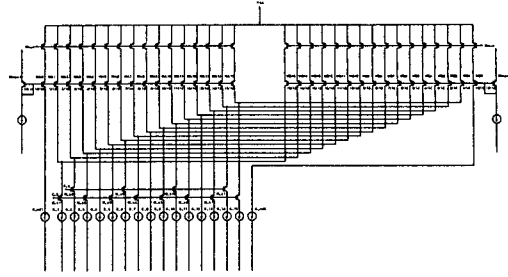


그림 5. 제안하는 인터플레이션 회로

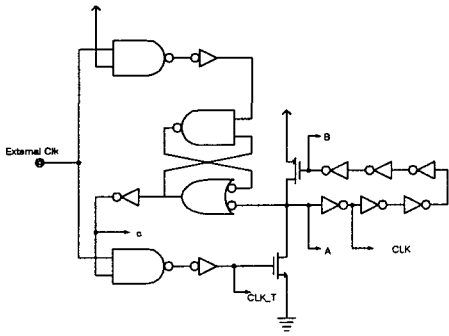


그림 2. 클럭 발생기

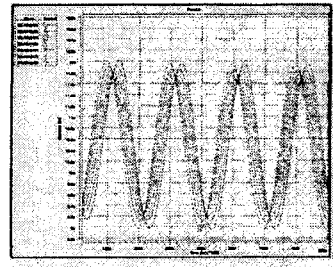


그림 6. 인터플레이터 신호

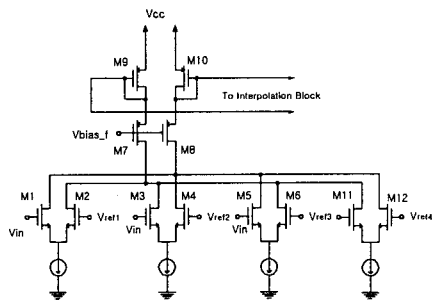


그림 3. 폴딩 블록의 회로도

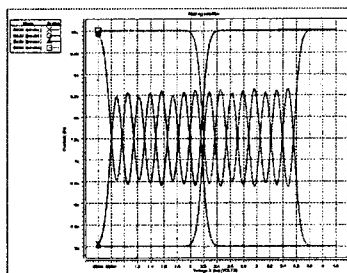


그림 4. 폴딩블록의 전달 특성

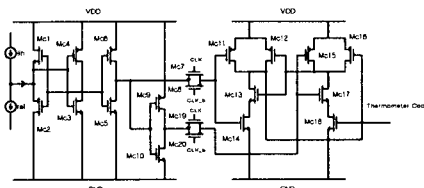


그림 7. 전류비교기

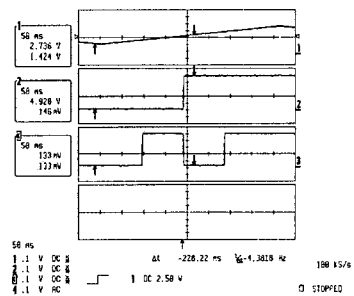


그림 8. 인코더의 전달 특성