

3GPP 규격의 터보 복호기 구현을 위한 SOVA 복호기의 하드웨어 구현

김주민(金柱民), 고태환(高汰煥), 이원철(李源喆), 정덕진(鄭德鎭)
인하대학교 전자.전기.컴퓨터공학부
전화 : (032) 874-1663 / 팩스 : (032) 864-1664

Hardware implementation of a SOVA decoder for the 3GPP complied Turbo code

Jumin Kim, Taewhan Koh, Wonchul Lee, and Duckjin Chung
School of Electrical & Computer Engineering, Inha University
E-mail : joshua1k@dreamwiz.com

Abstract

According to the IMT-2000 specification of 3GPP(3rd Generation Partnership Project) and 3GPP2, Turbo codes is selected as a FEC(forward error correction) code for even higher reliable data communication. In 3GPP complied IMT-2000 system, channel coding under consideration is the selective use of convolutional coding and Turbo codes of 1/3 code rate with 4 constraint length. Suggesting a new path metric normalization method, we achieved a low complexity and high performance SOVA decoder for Turbo Codes. Further more, we analyze the decoding performance with respect to update depth and find out the optimal value of it by using computer simulation. Based on the simulation result, we designed a SOVA decoder using VHDL and implemented it into the Altera EPF10K100GC503 FPGA.

I. 서론

차세대 이동통신은 고속의 데이터와 영상정보를 전송할 수 있는 고효율 통신 시스템이어야 하며, 고도의 유무선 통합망을 구현하여 고품질, 다기능 서비스를 제공할 수 있어야 한다. 이러한 시점에서 강력한 오류

정정 채널 코딩 기법의 연구는 이러한 차세대 이동통신시스템 개발에 있어서 핵심요소라 할 수 있다. 고속 멀티미디어 지상 통신망인 IMT-2000 시스템의 규격에서 유럽과 일본을 중심으로한 3GPP규격과 미국을 중심으로한 3GPP2규격 모두에서 대량의 멀티미디어 데이터의 신뢰성 있는 통신을 보장하기 위하여 길쌈부호화 병행하여 터보 코드를 FEC규격으로 채택하고 있다. 1993년 C. Berrou에 의해 처음 제안된 병렬연쇄길쌈부호인 터보코드는 반복복호를 통해서 엄청난 성능 증가를 얻을 수 있으며, 이러한 복호 알고리즘으로 MAP(Maximum a posteriori)방법과 SOVA(soft output viterbi algorithm)이 있다.^[3] 이중에서 SOVA는 MAP보다 비교적 낮은 복잡도를 가지기 때문에 하드웨어를 구현하는데 있어서 좀더 용이하다.

터보 부호를 복호하기 위해서는 앞서 기술한 바와 같이 MAP 복호기나 SOVA 복호기를 SISO(Soft-in Soft-out) 복호기로서 사용하게 된다. 두개의 내장 RSC(constituent systematic convolution code)를 사용한 터보 부호인 경우, 이를 복호하기 위해서는 이에 상응하는 두개의 내부 SISO 복호기가 필요하며, 이를 통하여 반복복호가 가능하게 된다. 따라서 이러한 역할을 담당하는 내부 SISO 복호기의 하드웨어 설계가 필수적이다. 본 연구에서는 최근 IMT-2000의 3GPP규격의 터보 부호의 복호를 위한 내장 SOVA복호기를 설계를 위하여, C언어를 이용하여 SOVA의 성능 파라미터 연구와, 하드웨어 설계를 병행하여 SOVA 복호기를 설계하였다. 알고리즘의 연구를 위하여 C 언

어로 SOVA를 이용한 터보 복호기를 구현하여 그 성능을 연구하였고, 하드웨어 구현은 VHDL로 설계하여 기능시뮬레이션을 거친후 FPGA에 이식하여 하드웨어적으로 동작을 검증하였다.

II. SOVA복호기의 설계

3GPP규격의 터보 부호기

터보 부호기는 두 개 이상의 회귀길쌈부호를 인터리버를 사이에 두고 병렬로 연결하는 구조를 가지고 있다. 3GPP의 표준규격으로 제안된 1/3 코드의 터보부호기는 그림 1에 나타난 바와 같이 메모리 길이가 3이며, (13,15)의 생성다항식을 적용한 동일한 두 개의 회귀부호기를 인터리버를 이용하여 병렬로 동작시켜 심벌을 만드는 구조이다.

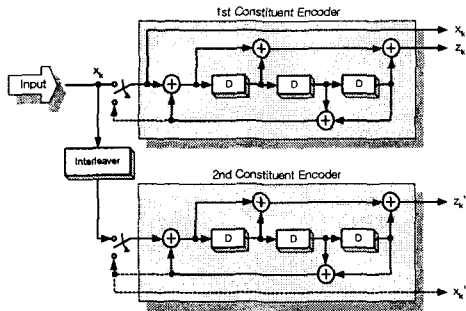


그림 1. SOVA 복호기를 이용한 터보 부호기

또한 시스템에터 터보 부호기이므로 프레임 길이가 K인 입력 시퀀스 x_k 에 대하여, 그 출력 비트열은 $x_1, z_1, z'_1, x_2, z_2, z'_2, \dots, x_k, z_k, z'_k$ 가 되며, 모든 입력 비트가 입력된 후에 두번째 내부 부호기는 동작을 정지시키고 첫번째 내부 부호기의 출력을 자신의 입력으로 사용하여 내부 메모리를 중단시킨다. 그리고 난후 첫번째 내부 부호기의 동작을 정지시키고, 두번째 내부 부호기의 출력을 그 자신의 입력으로 사용하여 중단시킨다. 따라서 트렐리스를 중단시키기 위한 비트열은 $x_{k+1}, z_{k+1}, x_{k+2}, z_{k+2}, x_{k+3}, z_{k+3}, x'_{k+1}, z'_{k+1}, x'_{k+2}, z'_{k+2}, x'_{k+3}, z'_{k+3}$ 이 된다. 이렇게 부호화된 심벌들은 잡음 환경의 채널을 통과하여 수신측에서는 잡음에 의해 변질된 신호를 받게 되며, 이를 복호하기 위해 연판정 입출력 (Soft-Input Soft-output) 복호기를 2개 사용하여 반복 복호를 수행하게 된다.

SOVA 복호기

▷ 가지경로메트릭연산장치

가지경로 메트릭 연산을 (13,15)코드의 회귀부호에 대한 트렐리스도에서 보았을때 입력 메세지 비트와 그 메트릭의 상태천이에 따른 출력값에 의하여 부호가 결정된다. 따라서 모든 가지경로에 대한 메트릭은 입력과 출력이 0/0, 0/1, 1/0, 1/1인 경우에 식(1)을 적용하여 구할 수 있다.

$$BM_k^{(m)} = x_k^{(m)} L_c Parity + u_k^{(m)} (L_c mesg + L(u_k)_A) \quad (1)$$

여기서 L_c 는 $4E_b/N_0$ 이며, $L(u_k)_A$ 는 복호기의 사전 확률(priory value)이며, $u_k^{(m)}$ 는 생존 시퀀스를 의미한다. 여기서 채널 신뢰도를 의미하는 L_c 는 전체 복호기의 입력에 별도로 적용한다고 가정하여 간단히 이식하였다. 입력 soft bit은 모두 4비트로 하였으며, 여기서 연산된 결과인 가지 메트릭은 mesg, parity, 그리고 $L(u_k)_A$ 가 각각 가장 큰 값이거나 가장작은 값인 경우 최소요구 비트인 6비트로 결정하였다. 부호의 적용은 2's complement를 적용하였다.

▷ ACS(가산비교선택장치)

누적경로 메트릭 연산을 위해서는 각 상태에서 상태천이에 따른 가지 메트릭을 할당하여야 하는데 이를 위해서는 기본 연산기능을 공통된 PE(process element)로 설계하여야 한다. 3GPP규격 회귀부호의 트렐리스에서 입력값과 출력값에 대한 천이의 공통점으로부터 두 종류의 버터플라이 구조를 얻을 수 있으며 이를 ACS-I PE와 ACS-II PE로 구분하여 설계 하였다. 3GPP 구조의 터보 코드는 state가 8이므로 이와 같은 구조를 가진 버터플라이가 각각 2개씩 존재하게 된다.

또한 경로 메트릭의 정규화에서 부가적으로 복호 비트의 신뢰성 정보의 손실이 일어나지 않도록 경로 메트릭 비트를 2분하여 전체 경로메트릭의 상위 수 비트만을 정규화에 사용하는 방법을 제안하여 적용하였다. 본 논문에서 제안한 메트릭정규화 방법은 기존의 전체 메트릭에서 메트릭의 최소값 또는 임계값을 모든 스테이트에 대하여 감산하는 연산을 수 비트의 쉬프트 연산으로 대체하므로써 ACS 모듈에서 정규화 부의 복잡도를 감소시킬수 있다.

▷ Soft SMU(Soft-value survivor memory unit)

본 연구에서 개발한 SOVA 복호기는 복호방식을 Register Exchange구조를 사용하였으며, Soft bit의 갱신알고리즘이 구현되는 Soft SMU는 각 시간 t에서 각 state에서 생존경로로 결정된 가지의 복호값 Sel0~Sel7을 입력으로 받고 식(2)에 나타난 바와 같은

3GPP 규격의 터보 복호기 구현을 위한 SOVA 복호기의 하드웨어 구현

Hageneuer의 갱신절차에 따라, 시점 k에서 생존 시퀀스 u_j^m 의 j번째 ($j < k$) 비트가 경쟁 시퀀스 u_j^m 의 j번째 비트와 다른 경우에 \log likelihood 값 L_j^m 은 그 값과 Δ_k^m 의 값중 최소값으로의 갱신을 수행하면서 Register Exchange를 진행하여 각 복호 비트의 신뢰 값을 구한다. 이와 같은 갱신은 그림 2에서 도시한 바와 같은 구조의 SMU에서 수행되며 3GPP규격의 터보 코드인 경우 8state가 필요하므로 8개의 PE로 구성된 하나의 연을 10stage 반복하여 구성하였다. 이와같은 SMU의 출력으로는 갱신이 완료된 시점에서의 likelihood값과 그 시점, 그 스테이트에서의 복호 비트이다.

$$u_j^m \neq u_j^{m'} \Rightarrow L_j^m = \min(L_j^{m'}, \Delta_k^m) \quad (2)$$

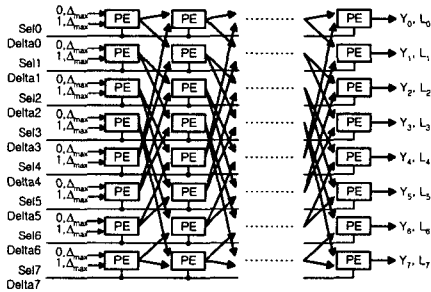


그림 2. 신뢰도 갱신부가 포함된 SMU 구조

여기서, 성능에 영향을 적게 미치면서 복잡도를 줄이기 위한 최소한의 신뢰도 갱신길이를 찾기 위하여 3GPP 규격의 터보 코드에 있어서 신뢰도 갱신길이 delta에 따른 BER의 성능을 분석하였다. 그림 3에 도시한 바와 같이 delta=5인 경우에는 delta=10, 20, 30인 경우에 비하여 많은 성능저하가 관찰 되었다.

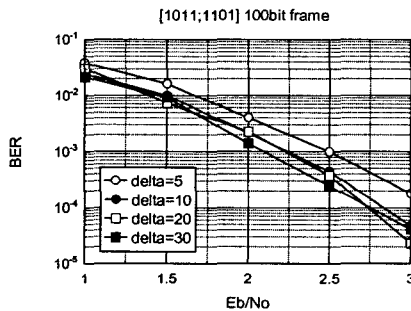


그림 3. 3GPP 규격의 터보코드의 SOVA복호기에 있어서 신뢰도 갱신길이(delta)에 따른 성능곡선

그리고 delta=10 이상인 경우 성능의 차이가 극히 미

비하므로, 3GPP 규격의 8-state 터보 코드의 복호를 위한 SOVA의 신뢰도 갱신길이를 10으로 이식한다면, 하드웨어 복잡도를 줄이면서도 최적의 성능을 얻을 수 있을 것으로 판단된다. 따라서 이 결과를 바탕으로 설계한 SOVA 복호기의 신뢰도 갱신 단을 10단으로 설계하였다

▷ Hard SMU(Hard-decision SMU)

비터비 복호기에서 신뢰성있는 복호를 위해서 복호 깊이를 제한길이의 5배인 20 단을 기준으로 설계하였으므로 Soft SMU의 10단과 더불어 추가적인 10단의 register exchange SMU를 적용하였다. 전체 PE의 연결 구조는 Soft SMU와 유사한 구조이지만 PE내부의 동작에 있어서 신뢰도 갱신부가 제외되어 있는 것이 다르다. Hard SMU를 통과하여 출력되는 각 state에서 복호비트와 likelihood값은 하나의 신뢰성있는 값으로 merge되어 출력된다. 이를 출력제어 블록에서 경판정 비트열과, 경판정 비트의 정보가 포함된 likelihood값으로 최종 연산하여 out_active신호에 동기하여 출력한다

III. 실험 및 결과

설계환경으로는 OrCad^R에서 코딩하고 동작검증을 거쳐, OrCad express에서 Leonardo spectrum을 사용하여 합성하여 edif 네트리스트를 생성하여 Altera사의 Maxplus2에서 Flex10k100 FPGA에 맞게 P&R 및 타이밍 시뮬레이션을 수행하였다.

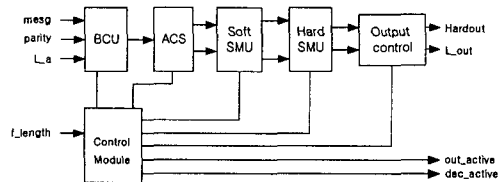


그림 4. 3GPP 규격의 SOVA constituent decoder의 블럭도

복호기의 동작은 그림 4에 도시한 바와 같이, 입력 메시지와 패리티, 그리고 사전정보가 가지 매트릭 연산장치(BCU)으로 입력되고 계산된 가지 매트릭이 가산비교연산부(ACS)를 통과한다. 그 결과로 발생하는 각 스테이트에서 복호된 비트와 누적 매트릭의 차를 출력하여 신뢰도의 갱신이 수행되는 생존메모리장치(Soft SMU)를 통과한 후 신뢰도 갱신이 일어나지 않는 Hard SMU를 거쳐 output control 장치에서 경판정 출력 값과 그에 대응하는 신뢰도 값이 출력된다. 각

모듈의 동작은 Control module에서 제어하게 된다. 설계된 SOVA 복호기는 Altera사의 EPF10K100GC503-3 디바이스에 이식하였으며 테스트 보드를 그림 5에 도시하였다.



그림 5. SOVA복호기를 이식한 Altera EPF10K100GC503-3 device

그림 6에 도시한 동작검증 결과에서, 입력정보인 메시지(msg), 패리티(parity), 그리고 사전정보확률(L_a)는 입력신호를 알리는 신호인 in_enable과 동기되어 전송되며, 프레임 길이를 나타내는 f_length는 복호단계 이전에 고정된 값이 된다. 이를 입력으로 하여 복호기가 동작하면 control module에서 BCU과 ACS를 차례로 reset시켜 순차적으로 동작시키고 복호기가 동작하고 있다는 것을 나타내는 신호인 out_active를 high로 만든다. 또한 복호 latency후에 출력신호의 동기를 위하여 out_active신호를 생성하며 이에 동기되어 경관정 출력과 경관정 값에 대한 likelihood값이 출력된다.

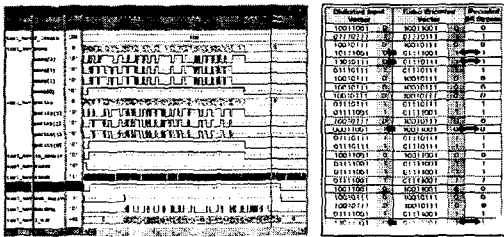


그림 6. SOVA 복호기 동작 검증 결과

그림 6의 시뮬레이션 결과로부터 임의로 오류를 부과한 입력비트열에 대한 복호후의 출력에서 오류가 모두 정정되었음을 확인할 수 있다. 그림 6의 오른쪽 표는 오류가 포함되어 실제 입력으로 부과된 비트열이 왼쪽열에 기술되어 있으며 이중 왼쪽 화살표로 표시된 부분이 오류가 존재하는 입력이다. 또한 중앙 열에 오류가 첨가되지 않은 원래의 터보 부호화기를 통과한 비트열이 표기되어 있으며 가장 오른쪽 열에는 복호화 후의 경관정 값이 기술되어 있다.

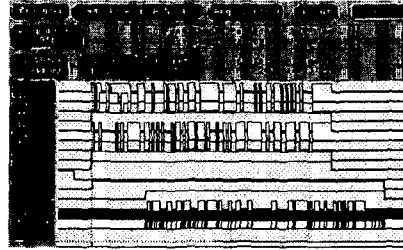


그림 7. SOVA 복호기의 FPGA 검증 결과

그림 7에 FPGA에 SOVA복호기를 이식하여 그 동작을 확인한 결과를 도시하였다. 동작검증은 Labview를 사용하여 시뮬레이션 입력 벡터와 동일한 벡터를 생성시켰다. 이를 National instrument사의 DIO-32HS 디지털 입출력 보드를 통하여 FPGA에 입력하였으며, 그 복호결과를 HP1663A 로직 분석기에서 확인하여 동작 검증 결과와 비교하여 동작을 확인하였다. 그림 6과 그림 7의 비교를 통하여 FPGA에 이식된 SOVA 복호기가 설계한바와 같이 동작함을 알 수 있다.

IV. 결론 및 추후 연구

본 연구에서는 3GPP 규격의 터보 코드 복호기를 위한 내부 SOVA 복호기를 설계하였으며 복호방식은 register exchange방식을 선택하였고, 복호깊이는 20 stage, 그중 신뢰도 갱신을 위한 갱신 깊이를 시뮬레이션 결과로부터 10 stage로 설계 하였다. 설계는 VHDL로 모델링을 하여 OrCad express 및 Synopsys vss에서 검증하였고, 이를 Altera사의 Maxplus2를 이용하여 EPF10K100GC503-3 CPLD에 이식하였다. 하드웨어 본 연구 결과는 차세대 IMT2000의 효율적 터보 부호기 개발기술의 초석이 될 것이다. 본 연구는 2000년도 시스템 IC 2010사업의 지원으로 수행되었음.

참고문헌

- [1] Joachim Hagenauer, and Peter Hoeher, "A Viterbi Algorithm with Soft-Decision Outputs and its Applications," Proceedings of IEEE Globecom Conference, Dallas TX, USA, pp. 1680-1686, 1989
- [2] O. J. Joeressen, and H. Meyr, "A 40Mb/s Soft-Output Viterbi Decoder," IEEE Journal of Solid-state Circuits, Vol. 30, No. 7, 1995
- [3] Gerhard Bauch, Volker Franz, A comparison of Soft-In/Soft-Out Algorithm for 'Turbo-Detection', Proceedings of the International Conference on Telecommunication, Jun. 21, pp. 259-263, 1998