

AAL2 스위치 구현 방안 및 CDMA 환경에서의 성능 분석

김 만 규, 임 세 윤, 이 성 창, *김 정 식
한국항공대학교 통신정보공학과, *한국전자통신연구원
전화 : 02-300-0054 / 핸드폰 : 011-9301-2782

Design of AAL2 Switch and Performance Analysis

Mangyu Kim, Seyoun Lim, Sungchang Lee, *Jungsik Kim
Dept. of Telecommunication & Information Engineering, Hankuk Aviation University
*Electronics and Telecommunications Research Institute
E-mail : taquinas@hanmir.com

Abstract

AAL2 is an adaptation layer that is supposed to support delay-sensitive applications with low bit-rate, short, variable packet length in a bandwidth-efficient way. For the switching of AAL2 service channels, AAL2 network is needed, which consists of AAL2 switching nodes. In this paper, The architecture of the unit AAL2 switch is proposed and the performance is analyzed in the CDMA environment.

로, ATM 셀 레벨에서 스위칭이 이루어지는 ATM 스위칭으로는 AAL2 스위칭을 지원할 수가 없다. 따라서 AAL2 트래픽의 스위칭을 제공하기 위해서는 별도의 AAL2 스위치들로 구성된 AAL2 망이 필요하며, 본 논문은 AAL2 트래픽을 스위칭할 수 있는 AAL2 스위치의 구조를 제안하였고 이를 위하여 AAL2 단위 스위치를 설계하고 VHDL을 이용하여 구현하였다. 또한 설계한 단위 스위치의 성능을 CDMA 트래픽 환경 하에서 분석하였다.

I. 서론

ATM망에서 지연에 민감하며, 저속이고 짧은 가변 길이의 패킷 데이터를 사용하는 응용들을 효율적으로 지원하기 위해 만들어진 적응계층이 AAL type 2 (AAL2) 이다. 그러므로 무선 통신에서 음성 보코더 트래픽의 셀 조립 지연, 전송 효율 등의 문제를 해결, ATM 네트워크 상에서 효율적으로 전달하므로써 Cellular System, IMT-2000의 backbone에서 적용될 수 있다. AAL2는 하나의 VCC(Virtual Channel Connection)내에 복수의 AAL2 채널들을 다중화 하므

II. AAL2 Switch의 구조

2.1 AAL2 Switch의 개요

AAL2 스위치의 CPS 패킷 스위칭 과정은 1개 이상의 CPS(Common Part Sublayer) 패킷이 다중화된 AAL type 2 의 ATM CELL을 CPS Receiver에서 받아 CPS 패킷을 추출, CPS 패킷헤더의 CID(Channel Identifier)를 스위칭하고, 스위칭된 CPS 패킷을 다시 AAL type 2 ATM CELL로 다중화 하는 3가지로 나눌 수 있다. 그림 1.은 이러한 기능을 하는 AAL2 단위 스위치와 그 확장된 구조를 나타내고 있다.

2.2 AAL2 스위치의 구조

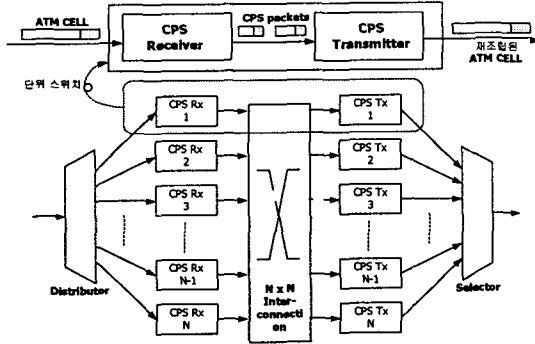


그림 1. AAL2 스위치의 구조

AAL2 스위치의 전체 구조는 N개의 CPS-packet Receiver(Rx)와 CPS-packet transmitter(Tx)로 구성된다. 따라서 AAL2 스위치는 한 개의 Rx와 Tx로 구성되는 AAL2 단위 스위치로 구성된다. 단위 스위치의 구조는 그림 1. 상단과 같으며, 이를 확장하여 그림 1. 하단의 AAL2 스위치를 구성할 수 있다. AAL2 스위치는 Distributor, CPS receiver part(Rx), CPS transmitter part(Tx)와 Transmitter Selector로 구성된다. Rx part는 Distributor에서 분류된 ATM 셀을 수신하여 CPS-PDU에서 CPS 패킷을 추출하고 재조립하여서 해당 목적지 VPI/VCI, CID로 교체하고 스위칭 대기상태로 만드는 역할을 한다. Tx part는 Rx part에서 전송된 CPS packet들을 CPS PDU로 재조립하여서 ATM layer로 전송하는 기능을 한다. 스위치는 ATM 연결별로 트래픽을 처리할 수 있도록 병렬화하고, 스위칭 제어에 따라 Interconnection network을 통해 해당 출력 ATM 링크로 연결된다.

III. AAL2 단위 스위치의 설계

3.1 CPS Receiver의 구조

CPS-Rx Module은 AAL2 CELL을 수신하여 CPS-PDU에서 CPS-Packet을 추출하고 재조립하여 해당 목적지 VPI/VCI, CID로 교체하고 CPS Transmitter로의 전송 대기 상태로 만드는 역할을 한다. 그림 2.는 설계한 CPS Receiver의 구조를 나타내고 있다. UTOPIA interface를 가진 Cell buffer는 ATM 스위치로부터 AAL2 CELL을 입력받아 저장하고 AAL2 CELL의 헤더로부터 VPI/VCI를 추출하고 CPS_Split_expt_table로 요청하여 해당 VPI/VCI의 SN(Sequence Number)와 이전 AAL2 CELL을 처리하

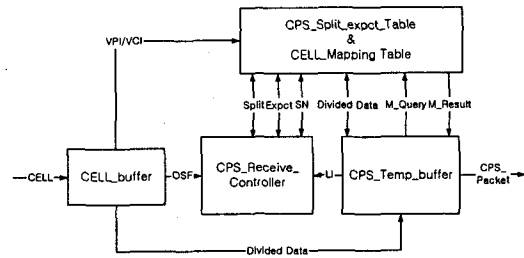


그림 2. CPS Receiver의 구조

면서 잘려진 CPS 패킷의 종류와 그 양을 알게된다. 또한 AAL2 CELL내의 첫 번째 CPS 패킷의 위치를 알려주는 OSF(Offset Field) 정보를 CPS Receiver Controller에 넘겨준다. SN, 잘려진 패킷의 정보, OSF를 받은 CPS Receiver Controller는 CPS 패킷 헤더의 HEC(Header Error Check)을 수행하고, CPS-PDU(Protocol Data Unit)내의 CPS 패킷 경계를 찾아내며, payload가 padding되어 있는지 검출해 낸다. 이전 CELL 처리에서 잘려진 패킷은 메모리에 저장되어 있다가 CELL buffer에서 잘려진 패킷이 오면 CPS_Temp_Buffer에 저장되고, 패킷의 나머지 부분은 새로 입력된 CELL내에서 추출하여 조립된다. 재조립이 완료된 CPS 패킷은 VPI/VCI/CID를 CELL_Mapping_Table에 전달하여 스위칭 요청을 하고 스위칭이 끝나면 HEC를 다시 수행하여 패킷 헤더의 HEC field를 갱신한다. 갱신이 완료된 CPS 패킷은 CPS Transmitter로부터 전송인가를 대기한다.

3.2 CPS Transmitter의 구조

CPS Transmitter는 스위칭된 CPS 패킷을 다시 AAL2 CELL로 다시 다중화 하는 기능을 수행한다. 그림 3.은 설계한 CPS Transmitter의 구조를 나타낸다. CPS Transmitter는 AAL2 스위치에서 CPS Receiver에서 전송된 CPS packet들을 CPS PDU로 재조립하여서 ATM layer로 전송하는 기능을 한다. CPS Transmitter를 구성하는 내부 블록은 크게 5가지이다. 스위칭된 CPS Packet을 재조립을 위해 대기하는 Temp buffer로 구성된 Buffer Block, Outgoing VPI/VCI와 입력된 CPS packet의 길이 등의 정보를 바탕으로 CPS PDU를 재조립하는 결정을 하는 Cell reassembler, Cell reassembler로 재조립 정보를 컨트롤하는 Output controller, 각 VCI/VPI별로 Time-out duration을 관리하는 Timer controller, 재조립을 대기하는 CPS 패킷이 VPI/VCI별로 저장되는 Assemble Buffer등이다. Buffer Block으로 입력된 CPS 패킷은 해당 VPI/VCI를 Assemble Memory에 요청하여 이전

AAL2 스위치 구현 방안 및 CDMA 환경에서의 성능 분석

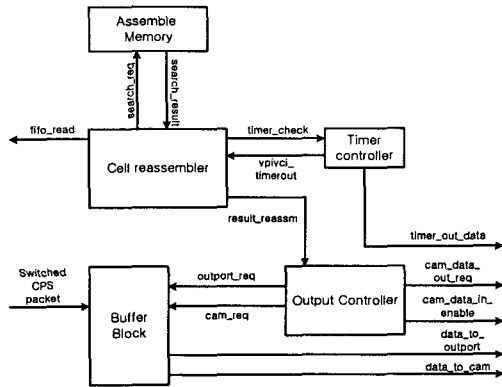


그림 3 CPS Transmitter의 구조

에 CPS PDU로 만들고 남은 패킷이 있는지 확인하고 있다면 잔량 패킷과 현재 입력된 CPS 패킷을 합쳐서 CPS PDU로 재조립한다. 만약 기 설정한 Time-out Duration 동안 해당 VPI/VC의 CPS 패킷이 입력되지 않는다면, Time-out이 일어나고 잔량의 패킷은 CPS PDU의 payload를 모두 채우지 못한다 하더라도 CELL에 담겨지고 남은 payload는 '0'으로 패딩 된다.

IV. CDMA 환경에서의 성능 분석

4.1 입력 Traffic 모델

설계한 단위 스위치를 CDMA 환경 하에서 성능 측정하기 위해 표 1.와 같은 IS-95A 8Kbps 부호화기를 각 AAL2 채널의 입력 트래픽 모델로 사용하여 시뮬레이션 하였다.

속도 (bps)	패킷 길이 (bits)	발생 확률
9600	256	0.291
4800	160	0.039
2400	120	0.072
1200	96	0.598

표 1. IS-95A 8Kbps 부호화기에서의 안정상태 패킷 길이 분포

부호화기는 음성 유형 및 잡음 조건에 따라 네 가지의 서로 다른 속도로 동작하며, 가변길이의 음성 프레임 을 생성한다. 음성 프레임의 길이는 표 1.과 같다. 기 지국은 이와 같은 음성프레임을 각 채널로부터 매 20ms마다 수신한다. 그러므로 그림 4.와 같이 음성 트 래픽이 모델링 될 수 있다. 하나의 CDMA 채널은 고정 간격 20ms를 가지고 주기적으로 가변길이 패킷을 발생시킨다. 이것을 20ms의 프레임 측면에서 보면 다 수의 채널에서 발생된 패킷은 하나의 프레임 구간 내

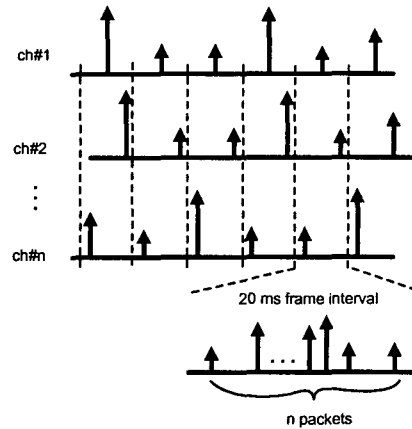
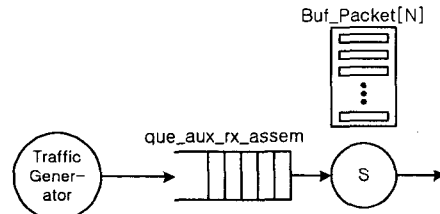


그림 4 CDMA 음성 트래픽 모델

에서 서로 다른 간격을 가지고 도착한다. 이 도착 간 격은 지수 분포를 따른다고 가정하였다. 각 채널이 처음 패킷 전송개시를 이후로 전송을 종료하는 기간인 holding time은 2min으로 가정하여 Frame interval 내 패킷 도착 간격의 패턴은 시뮬레이션 측정기간동안 2min 주기로 바뀐다.

4.2 시뮬레이션 모델

그림 5.는 설계한 단위 스위치를 시뮬레이션으로 분석하기 위한 CPS Receiver 큐잉 모델을 나타낸다.



que_aux_rx_assem : 입력된 ATM cell 이 서비스 대기.
Buf_Packet_buff[N] : cps packet 조립을 위한 보조 버퍼.
S : 다중화된 cps packet을 분리.

그림 5 CPS Receiver의 시뮬레이션 모델

CPS Receiver는 Traffic Generator로부터 들어온 CELL을 저장하는 하나의 셀 큐와 CPS 패킷 추출 및 스위칭을 위한 서버, 그리고 잘려진 CPS 패킷의 정보를 위한 보조 버퍼로 구성된다. 그림 6.은 CPS Transmitter의 큐잉 모델을 나타낸다. CPS Transmitter는 CPS Receiver에서 입력된 CPS 패킷을 저장하기 위한 하나의 패킷 큐, 셀 조립을 위한 서버, 그리고 셀로 만들고 남은 CPS 패킷의 정보를 저장하

는 보조 버퍼로 구성된다.

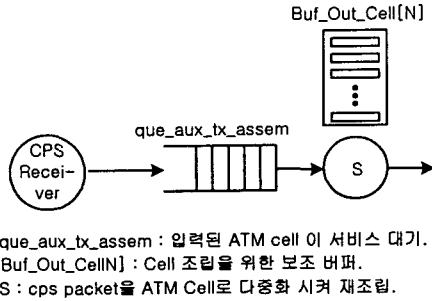


그림 6. CPS Transmitter의 시뮬레이션 모델

4.3 성능 분석

(1) Time-Out duration에 따른 성능 분석

AAL2 스위치는 입력된 CPS 패킷을 AAL2 CELL로 다중화 하는 과정에서 CELL payload가 모두 찰 때까지 대기하여야 한다. 그러므로 지연 민감한 CDMA 음성 패킷에 영향을 줄 수 있으므로 CELL로 다중화 하는 CPS Transmitter에 Timer를 두어 CPS 패킷의 지나친 CELL 다중화 대기시간을 막는다. 그림 7.과 그림 8.는 설계한 AAL2 위치의 적절한 Time-out duration을 도출하기 위한 시뮬레이션 결과를 나타낸다.

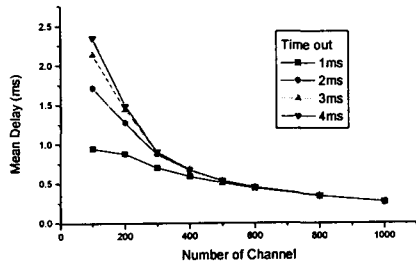


그림 8. Time-out Duration에 따른 평균 지연

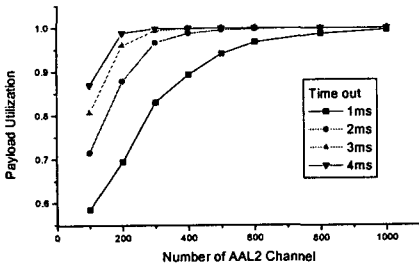


그림 7. Time-out에 따른 Payload Utilization

Time-out duration이 2ms일 때 평균지연이 작고 Payload Utilization이 높은 것을 알 수 있다.

(2) 채널 수용 용량

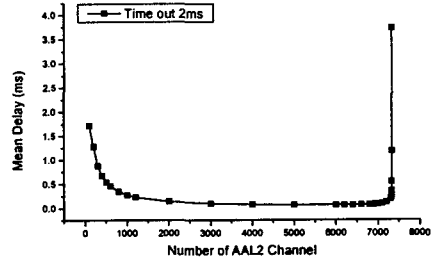


그림 9. AAL2 채널 수에 따른 평균지연시간

시뮬레이션 결과 설계된 단위스위치는 그림 9.와 같이 AAL2채널 7300개 정도를 수용할 수 있는 것을 볼 수 있다.

V. 결론

본 논문에서는 AAL2 스위치의 구조를 제안하고 이를 위하여 스위치 구성에 필요한 단위스위치를 설계하였다. 또한 CDMA 이동 통신망의 기지국으로부터 ATM 셀에 다중화된 AAL2 채널을 가정하여 설계된 단위스위치의 Time-out duration에 따른 평균 지연과 payload 사용율, 채널 수에 따른 평균지연시간 등을 성능 분석하였다.

참고문헌

- [1] ITU-T Recommendation I.363.2 : " B-ISDN ATM Adaptation Layer Type 2 Specification", September 1998.
- [2] Masahide Hatanaka, "VLSI Architecture of Switching Control for AAL Type2 Switch", IEICE Trans. Comm. Fundamentals, VOL.E83-A, March 2000.
- [3] Hiroshi Saito, "Performance Evaluation of AAL2 Switch Networks" IEICE Trans. Comm., VOL.E82-B, NO.9 September 1999.
- [4] John H. Balddwin, Behram H. Bharucha, Bharat T. Doshi, Subragmanyam Dravida, and Sanjiv Nanda " AAL2- A New ATM Adaptation Layer for Small Packet Encapsulation and Multiplexing", BELL Labs Technical Journal, Spring 1997.