

고정길이 곱셈기를 이용한 Hilbert Transformer 구현

조경주^[1], 김명순^[2], 유경주^[1], 정진균^[1]

^[1]전북대학교 전자정보공학부, ^[2]전자통신연구원

Implementation of Hilbert Transformer using Fixed-Width Multiplier

Kyong-Ju Cho^[1], Myung-Soon Kim^[2], Kyong-Ju Yoo^[1], Jin-Gyun Chung^[1]

^[1]Div. of Electronic & Information Engineering, Chonbuk National University, ^[2]ETRI

e-mail: {kjcho, raceyou, jgchung}@vlsidsp.chonbuk.ac.kr

요약

많은 멀티미디어와 DSP 응용에서 입력과 출력 데이터 길이가 같은 고정 길이 곱셈기가 요구된다. 고정 길이 곱셈기는 확률적인 추정에 근거한 적절한 보상 바이어스를 더해줌으로써 일반적인 병렬 곱셈기와 비교하여 50%의 면적을 줄일 수 있다. 본 논문에서는 CSD 곱셈기에 적합한 고정길이 곱셈기의 구조를 제시하고 전파캐리 선택절차를 이용한 부호확장제거방법과 결합함으로서 새로운 곱셈기구현 방안을 제시한다. 이 곱셈기의 응용으로서 SSB/BPSK-DS/CDMA 전송방식에 사용되는 힐버트 트랜스포머를 43탭 FIR 필터로 구현하고 기존의 compensation 벡터 방법과 비교하여 약 34%의 부호확장 오버헤드를 줄일 수 있음을 보인다.

I. 서 론

신호처리 알고리즘의 하드웨어 구현 시 가장 큰 면적 및 전력소모를 차지하는 회로 중의 하나가 곱셈기이며, 곱셈기를 효율적으로 구현하기 위한 많은 연구가 진행되었다. 고정 계수를 갖는 곱셈기를 CSD(Canonic Signed Digit) 형태로 표현하여 nonzero 비트 수를 줄이고 계수의 1과 -1의 위치에 따라서 부분곱들을 시프트하고 더함으로서 곱셈기를 효율적으로 구현할 수 있다^[1]. 이때 모든 부분곱들의 부호확장이 선행되어야 하며 이로 인해 하드웨어 오버헤드뿐 아니라 부호비트에 해당하는 데이터버스의 로드가 증가하게 된다. 이러한 부호확장 오버헤드를 줄이기 위해 compensation 벡터 방법이 널리 사용된다^[2].

많은 멀티미디어와 DSP 응용에서 곱셈 연산은 입력과 출력 데이터의 길이가 같은 고정길이 곱셈기가 요구된다. 예를 들면 W 비트의 승수와 W 비트의 피승수의 곱셈 출력은 $(2W-1)$ 비트인데 LSB(Least Significant Bit)로부터 $(W-1)$ 비트를 truncation하여 양자화된 W 비트를 출력하게 된다. 전형적인 고정 길이 곱셈기 디자인 방법에서는 adder cell의 반을 생략한후 확률적 추정에 근거한 적절한 보상 바이어스를 더하여 보상하는 방식을 사용하며 일반적인 병렬 곱셈기와 비교하여 약 50%의 면적을 줄일 수 있다^[3-5].

본 논문에서는 CSD 곱셈기에 적합한 고정길이 곱셈기의 구조를 제시하고 최근에 제안된 전파캐리 선택절차를 이용한 부호확장제거방법^[6]과 결합함으로서 새로운 곱셈기구현 방안을 제시한다. II절에서는 전파캐리의 선택에 의한 부호확장 오버헤드의 감소 방법을 소개하고, III절에서 CSD 곱셈기에 적합한 새로운 고정길이 곱셈기의 구조를 제시한다. IV절에서는 II절과 III절의 방법을 응용하여 SSB/BPSK-DS/CDMA 전송방식에 사용되는 힐버트 트랜스포머를 43탭 FIR 필터로 구현하고 각 곱셈기를 기존의 compensation 벡터 방법과 비교한 후 V절에서 결론을 맺는다.

II. 부호확장 오버헤드 감소방법

본 절에서는 부호확장 오버헤드를 감소시키기 위한 기존의 compensation 벡터방법 및 최근에 제안된 전파캐리의 선택에 의한 방법을 소개한다.

2.1. Compensation 벡터 방법

부호확장으로 인한 오버헤드를 줄이기 위해 compensation 벡터 방법을 사용 할 수 있다. Compensation vector 방법에

서는 각 시프트된 데이터워드를 두 벡터의 합으로 표현한다. 예를 들어 $x_3 \cdot x_2 \cdot x_1 \cdot x_0 \times 2^{-3}$ 은 다음과 같이 표현 될 수 있다.

$$x_3 \cdot x_2 \cdot x_1 \cdot x_0 \times 2^{-3} = 0.00 \overline{x_3} x_2 x_1 x_0 + 1.111 \quad (1)$$

식 (1)에서 $\overline{x_3}$ 는 x_3 의 complement를 나타낸다. 각 시프트된 데이터워드를 식 (1)과 같이 표현할 때 1로만 구성된 벡터들이 나타나는데 이러한 벡터들을 미리 더함으로써 하나의 벡터로 표현 할 수 있다. 따라서 부호확장으로 인한 오버헤드는 하나의 compensation 벡터를 더하는데 필요한 오버헤드로 감소된다. 다음 계산에 대한 compensation 벡터의 적용 예를 그림 1에 보였으며 처음 10 컬럼의 구현은 그림 2와 같다.

$$Y = x_9 \cdot x_8 \cdot x_7 \cdot x_6 \cdot x_5 \cdot x_4 \cdot x_3 \cdot x_2 \cdot x_1 \cdot x_0 \times 1.0 \overline{1}0000 \overline{1}01 \quad (2)$$

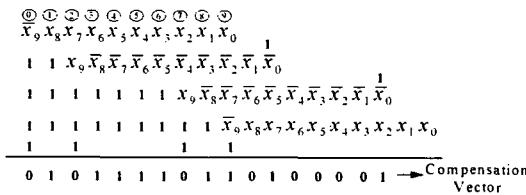


그림 1. 식 (2)에 대한 compensation 벡터 방법의 적용.

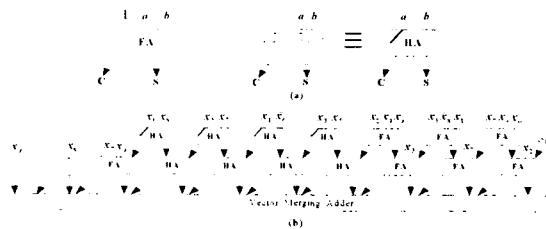


그림 2. 그림 1의 처음 10 컬럼에 해당하는 구현.

2.2. 전파 carry의 선택에 의한 방법

식 (2)에 해당하는 단순부호확장 된 부분곱들을 그림 3에 보였다. 부호비트가 각 부분곱들에 반복적으로 나타나기 때문에 이를 이용하여 부분곱의 덧셈을 단순화시킬 수 있다. 예를 들어 컬럼 ⑦의 $\overline{x_4} + x_9 + \overline{x_9}$ 에서 캐리는 항상 $\overline{x_4}$ 가 되어 컬럼 ⑥으로 전파된다. 만약 컬럼 ⑦에서 $x_2 + x_9 + \overline{x_9}$ 를 먼저 계산할 경우 x_2 가 컬럼 ⑥으로 전파된다. 따라서 컬럼 ⑦에서 컬럼 ⑥으로 전파되는 캐리를 미리 선택할 수 있다. 각 컬럼에 대해 가능한 모든 전파 carry 후보들을 고려한 후 하드웨어를 최소화 시키는 캐리들을 전달시켜 부호확장으로 인

한 하드웨어를 감소시키는 것이 [6]에서 제안하는 방법이다. 이 방법에 의한 식 (2)의 처음 10컬럼에 대한 구현은 그림 4 와 같다. 그림 2와 4를 비교함으로써 전파캐리선택 방법에 의해 8개의 HA를 절약할 수 있음을 알 수 있다 ($1FA = 2HA$).

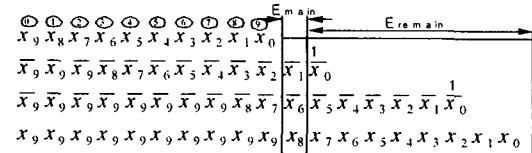


그림 3. 식 (2)에 해당하는 단순 부호확장된 부분곱.

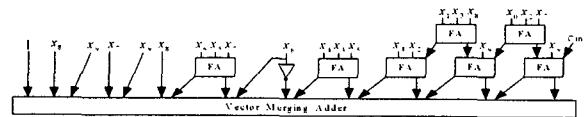


그림 4. 전파 carry 선택절차에 의한 식 (2)의 처음 10 컬럼의 구현.

III. 고정 길이 곱셈기

2의 보수로 표현된 W 비트의 두 수 X 와 Y 를 식 (3)과 같이 정의하자.

$$X = -x_{W-1} + \sum_{i=1}^{W-1} x_{W-1-i} 2^{-i} \quad (3)$$

$$Y = -y_{W-1} + \sum_{i=1}^{W-1} y_{W-1-i} 2^{-i}$$

X 와 Y 의 이상적인 곱 P_I 은 식 (4)와 같이 표현된다.

$$P_I = MP + LP \quad (4)$$

여기서 MP 와 LP 는 다음과 같다.

$$MP = -p_{2W-2} + \sum_{i=1}^{W-1} p_{2W-2-i} 2^{-i} \quad (5)$$

$$LP = \sum_{i=W}^{2W-2} p_{2W-2-i} 2^{-i}$$

일반적인 고정 길이 곱셈기에서는 LP 항을 생략하여 전체 adder cell의 반만 사용하고 확률적 추정에 근거한 적절한 바이어스를 더해줌으로써 오차를 보상한다. [4]와 [5]에서는 Baugh-Wooley 곱셈기에 대하여 적절한 σ 의 계산방법을 제시했으며 본 논문에서는 CSD 곱셈기에 적합한 σ 의 계산법을 제시한다.

식 (4)에서 LP 항을 생략하고 바이어스를 더한 양자

화된 곱 P_Q 는 식 (6)과 같이 표현된다.

$$P_Q = MP + \sigma \times 2^{-(W-1)} \quad (6)$$

σ 를 LP 로 부터 MP 에 전파되는 캐리의 추정치로 생각할 때 다음과 같이 표현할 수 있다.

$$\sigma = [LP/2], \quad (7)$$

식 (7)에서 $LP = LP \times 2^W$ 이며 $[t]_r$ 은 t 에 대한 반올림 연산이다. $W=10$ 일 때 그림 3으로부터 $[LP/2]$,은 다음과 같이 나타낼 수 있다.

$$[LP/2]_r = [2^{-1}(\bar{x}_1 + \bar{x}_6 + x_8) + 2^{-2}(1 + \bar{x}_0 + \bar{x}_5 + x_7) + 2^{-3}(\bar{x}_4 + x_6) + \dots + 2^{-9}x_0], \quad (8)$$

식 (8)을 직접 구현하여 σ 를 계산하는 것은 효율적이지 못하므로 식 (8)의 근사화가 필요하다. 이를 위해 식 (8)에서 weight가 가장 큰 항들과 그 외의 항들을 구분하여 E_{main} 과 E_{remain} 을 다음과 같이 정의한다(그림 3 참조).

$$\begin{aligned} E_{main} &= \bar{x}_1 + \bar{x}_6 + x_8 \\ E_{remain} &= 2^{-1}(1 + \bar{x}_0 + \bar{x}_5 + x_7) + 2^{-2}(\bar{x}_4 + x_6) + \dots + 2^{-8}x_0 \end{aligned}$$

식 (9)를 이용하여 σ 를 표현하면 다음과 같다.

$$\sigma = \left[\frac{1}{2}(E_{main} + E_{remain}) \right]_r \quad (10)$$

임의의 정수 θ_{index} 를 사용하여 식 (10)은 다음과 같이 표현될 수 있다.

$$\begin{aligned} \sigma &= \theta_{index} + \left[\frac{1}{2}(E_{main} + E_{remain}) - \theta_{index} \right]_r \\ &= \theta_{index} + [K]_r \end{aligned} \quad (11)$$

본 논문에서는 식 (11)의 계산을 용이하게 하고 에러를 최소화하기 위하여 다음의 근사치를 이용한다.

$$\begin{aligned} \theta_{index} &= E_{main} \\ K &= E \left[\frac{1}{2}(E_{remain} - E_{main}) \right] \end{aligned} \quad (12)$$

식 (12)에서 $E[t]$ 는 t 의 기대치를 구하는 연산이다. 따라서 식 (11)의 근사치 σ_A 는 다음과 같이 표현된다.

$$\sigma_A = E_{main} + \left[\frac{1}{2} E[E_{remain} - E_{main}] \right]_r \quad (13)$$

예제 1 : 그림 3에서 $W=10$ 인 고정점이 곱셈기 구현 시

$$E_{main} = \bar{x}_1 + \bar{x}_6 + x_8 \quad (14)$$

이다. 입력 비트 x_i 가 uniform distribution을 갖는다고

가정할 때

$$\begin{aligned} \frac{1}{2} E[E_{remain} - E_{main}] &= 0.8779 - 0.75 \\ &= 0.1279 \end{aligned} \quad (15)$$

이며 0.1279의 반올림 값은 0이므로 오차보상 바이어스 σ_A 는 다음과 같이 결정된다.

$$\sigma_A = \bar{x}_1 + \bar{x}_6 + x_8 \quad (16)$$

따라서 LP 는 FA 1개만으로 구현된다.

제안한 σ_A 의 성능을 평가하기 위해 절대에러(absolute error) ϵ 을 다음과 같이 정의하자.

$$\epsilon = |P_I - P_Q| \quad (17)$$

가능한 모든 1024개의 10비트 입력에 대해서 제안한 σ_A 를 사용했을 때 ϵ 의 평균 및 분산은 각각 8.419×10^{-4} 과 3.584×10^{-7} 이다. 근사화 없이 MP 와 LP 를 계산하고 그 출력 중 10비트를 취하였을 때 ϵ 의 평균 및 분산은 각각 9.746×10^{-4} 과 3.187×10^{-7} 이다. 따라서 제안한 방법에 의해 이상적인 곱셈기에서 출력을 취했을 때와 거의 동일한 오차특성을 얻으면서 LP 에 해당하는 adder cell을 단 하나의 FA로 줄일 수 있다.

IV. 힐버트 트랜스포머 구현

본 절에서는 II절 및 III절의 방법을 결합하여 SSB/BPSK-DS/CDMA용 힐버트트랜스포머를 디자인한다. 구현하는 힐버트 트랜스포머는 normalized 주파수 대역에서 통과대역은 0.03~0.97이며, 저지대역은 0~0.03, 0.97~1이다. 통과대역 리플은 최고 2dB를 넘지 않으며 저지대역 감쇠는 70dB이다.

필터계수가 anti-symmetric 성질을 가지며 짝수 필터 계수는 0이라는 성질을 이용하여 그림 5와 같은 folded direct form transpose 구조를 사용할 수 있다. 이 구조는 짧은 critical path를 가지는 장점이 있다.

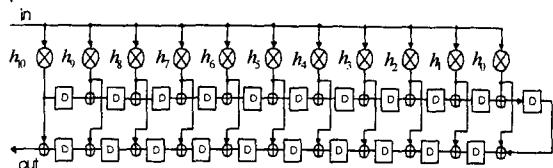


그림 5. Folded direct form transpose 구조.

V. 결 론

CSD 곱셈기에 적합한 고정길이 곱셈기의 구조를 제시하였다. 이 곱셈기의 용용으로서 힐버트 트랜스포머를 43탭 FIR 필터로 구현하고 각 곱셈기를 기준의 compensation 벡터 방법과 부호 확장 면적 감소 방법으로 디자인한 후 비교하여 약 34%의 부호확장 오버헤드를 줄일 수 있음을 보였다.

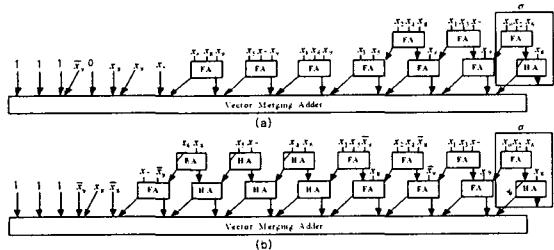


그림 6. 곱셈기 h_0 의 구현: (a)전파캐리선택방법 사용. (b)compensation 벡터사용.

필터를 구성하는 각 곱셈기를 nonzero 비트 수에 따라 구분하면 표 1과 같다. 그림 6은 h_0 의 구현 예이다.

각 곱셈기를 구현한 결과 전파캐리선택방법을 사용함으로서 compensation 벡터방법에 비해 nonzero 비트 수가 4와 3인 경우 각각 4개의 HA가 절약되고 nonzero 비트 수가 2인 경우는 1개의 HA가 절약되었음을 알 수 있다.

표 1로 부터 전파캐리선택방법의 사용으로 compensation 벡터 방법에 비해 평균적으로 약 34%의 하드웨어를 절약 할 수 있음을 알 수 있다.(단, VMA(Vector Merge Adder)와 오차 보상 바이어스 제외)

일반적으로 FIR 필터와 같은 DSP 용용에서 여러 곱셈기 출력은 CSA(Carry Save Adder)를 사용하여 sum과 carry 벡터로 출력되고 최종 출력단에서 하나의 VMA가 사용된다. 그림 7에 Synopsys Tool을 사용하여 합성한 그림을 보였다.

표 1. 각 곱셈기 H/W(HA기준)

nonzero 비트수	곱셈기	com.벡터 방법	전파 carry 선택 절차	HA 차이
4	h_0	20	16	4
	h_1	16	12	4
	h_3	16	12	4
3	h_5	10	6	4
	h_6	8	4	4
	h_{10}	8	4	4
2	h_2	1	0	1
	h_7	1	0	1
	h_8	1	0	1
	h_9	1	0	1
1	h_4	0	0	0
합계		82	54	28

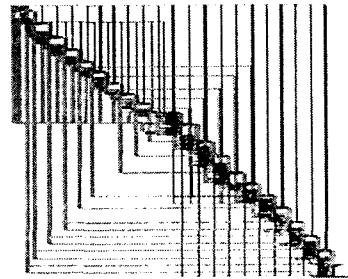


그림 7. 합성된 Hilbert Transformer구조.

참 고 문 헌

- [1] S. W. Reitwiesner, "Binary arithmetic," *Advances in Computers*, pp. 231-308, 1966.
- [2] I. Koren, *Computer Arithmetic Algorithms*. Englewood Cliffs, NJ: Prentice-Hall International, Inc., 1993.
- [3] S. S. Kidambi, F. El-Guibaly, and A. Antoniou, "Area efficient multipliers for digital signal processing application." *IEEE Trans. Circuits Syst. II*, vol. 43, pp.90-94, Feb. 1996.
- [4] J. M. Jou and S. R. Kuang, "Design of a low-error fixed-width multiplier for DSP applications.", *Electron Lett.*, vol. 33. no. 19, pp. 1597-1598, 1997.
- [5] L.-D. Van, S.-S. Wang, and W.-S. Feng, "Design of the lower error fixed-width multiplier and its application." *IEEE Trans. Circuits Syst. II*, vol. 47, pp. 1112-1118, Oct. 2000.
- [6] 이광철, 조경주, 박홍열, 정진균, "전파캐리의 선택에 의한 부호확장 오버헤드의 감소", 제 14회 신호처리학회 학술대회.