

반도체 FAB공정의 사이클타임 단축을 위한 병목일정계획 Bottleneck Scheduling for Cycletime Reduction in Semiconductor Fabrication Line

이영훈, 김 태현

(youngh@yonsei.ac.kr, kimth70@freechal.com)

서울시 서대문구 신촌동 134 연세대학교 컴퓨터과학·산업시스템공학과

Abstract

In semiconductor manufacturing, wafer fabrication is the most complicated and important process, which is composed of several hundreds of process steps and several hundreds of machines involved. The productivity of the manufacturing mainly depends on how well they control balance of WIP flow to achieve maximal throughput under short manufacturing cycle time. In this paper mathematical formulation is suggested for the stepper scheduling, in which cycle time reduction and maximal production is achieved.

1. 서론

반도체 제조 공정은 고급기술을 요하는 가장 복잡한 산업 중 하나이다. 수백 대의 장비와 제조공정을 거쳐 다양한 제품을 생산해야 하는 반도체 공장을 효과적으로 통제하는 것은 어려운 일이며, 더구나, 반도체는 제품 수명이 짧고 공정주기가 길어 시장변화에 탄력적으로 대처하기가 어렵다. 이에, 공정주기를 줄여 시장 주문에 맞춰 적기에 출하 될 수 있도록 하는데 모두들 노력을 경주하고 있다.

반도체 제조공정 중 가장 중요한 공정은 fabrication 공정이다. 재공이 많으면 대기시간이 길어져 공정주기가 증가하므로 일반적으로 공정주기는 재공의 양에 따라 결정된다. 따라서 재공 통제가 fabrication 라인에서 공정주기를 줄이는 핵심사항이다. 메모리 반도체 제품의 경우 fabrication공정은 15~30개의 레이어로 구성되며 레이어별로 20~40개 세부공정이 요구된다. 레이어는 사진기술을 이용하는 스테퍼공정의 전 단계인 정렬공정 끝을 경계로 구분한다. 사진공정에 전체 fabrication공정 재공의 35~50%가 몰려 병목공정을 이루며 스테퍼라는 장비가 여기의 핵심이 된다. 스테퍼는 작업종류를 바꿀 때 준비교체 시간이 요구되고, 스테퍼공정 전에 몇 가지 정렬단계를 거친다. 웨이퍼는 공정의 생산량 증대와 활용도를 높이기 위해 스테퍼 작업 변경을 되도록 피하고, 특히, 스테퍼에 웨이퍼가 부족하지 않게 스케줄링 된다. 이에 따라, 정렬단계에서 재공은 상당수 존재하게 되고 공정주기도 늘어난다.

재공수준을 결정하는 데는 높은 가동율과 짧은 공정주기의 trade-off가 있다. 재공บาล런스를 유지하는 것은 상반되는 이 두가지 목적을 동시에 만족시키는 방법이다. 재공บาล런스가 적절히 통제되는 라인에서는 높은 가동율과 짧은 공정주기를 만족시키고, 그렇지 않은 라인에서는 적절한 흐름이 이루어지지 못해 반대 결과를 초래한다.

반도체 관련 연구로는, 로트를 자유롭게 흐르게

한 후 특정지점에 문제가 발생할 때만 해결하여 병목공정 설비 이용을 최대화하는 방법을 Wein('88)과 Glassey & Resend('88)가 제시하였다. Kanban 접근방식은 많은 경우 어려운 것으로 판명되었(Kraft, '93)고, Spearman('90)이 제시한 CONWIP방법은 재공과 생산량을 동시에 통제하나 단순하고 힘든 방법이었다. 반도체 산업의 시스템 개발 분야의 사례연구를 Bitran & Tirupati('98), Pierce & Yurtsever('99) 등이 발표 하였고, Leachman ('94)은 보다 세밀하게 반도체산업에 적용되는 관리방식에 대한 연구조사를 실시하였다.

공정주기는 총생산시간이 긴 반도체 산업에서 중요한 평가지표다. Ehteshami ('92), Desemeester & Tang('96)는 재공 통제를 통한 공정주기 단축을 연구하였다. Kim('00)은 목표재공을 과거자료의 공정주기 표준편차를 이용하여 결정하는 방법을 제시했다. 또한, 목표재공에 가능한 한 가깝게 스테퍼에 할당되는 생산량을 최대화하는 정수계획법을 제시했다. Fabrication 라인은 짧은 공정주기와 안정적이고 높은 생산량을 요구한다. 비록 몇몇 알고리즘과 통제방법이 제시되었지만 대부분이 생산량을 어떻게 최대화하는가에 관한 것이었다. 그중 일부는 생산량관점에서는 성공적이었으나 병목공정에 많은 재공을 요구하여 공정주기가 길어지고, 시프트(=8시간)마다 각 제품의 생산량 변동이 심하여 변동하여 생산량 예측과 수요에 따른 공급을 적기에 맞추기 어려웠다. 발런스개념은 Kim('00)이 상반되는 두가지 목적인 생산량 최대화와 공정주기 단축을 동시에 달성하기 위해 제시하였다.

본 논문에서는 발런스를 정의하고 수리모형을 제시하여 공정주기 감소와 생산량 최대화를 동시에 달성할 수 있음을 밝히고자 한다.

2. 발런스를 이용한 병목공정 일정계획

반도체 라인 관리에 가장 중요한 것은 균형된 흐름을 유지하여 공정주기와 재공을 감소시키는 것이다. 발런스를 정의하는 데 먼저 적정재공을 결정해야 한다. 적정재공 설정방법은 Kim('00)를 참고하였다.

발런스지수는 발런스상태를 평가하는 지표로 각 제품과 레이어별로 계산하며, 발런스지수는 일정계획과 fabrication 라인의 통제에 이용한다.

$$\text{발런스지수} = \left| \frac{\text{현재재공} - \text{적정재공}}{\text{적정재공}} \right|$$

병목공정의 장비는 융통성을 발휘할 수 없고, 최적화와 장비 생산능력 저하를 유발한다. 병목 일

정계획의 가장 기본적인 원리는 스테퍼에 할당할 재공을 결정하여 활용도 최대화와 라인의 발랜스를 향상시키는 것이다.

최적 일정계획은 발랜스를 이용하여 수리계획법으로 해결할 수 있다. 병목공정 웨이퍼할당은 웨이퍼의 주 흐름, 즉 발랜스를 결정하므로 중요하다. 한 레이어의 공정은 병목공정과 비 병목공정으로 묶을 수 있다. 웨이퍼는 첫 번째 레이어의 비 병목공정에서 출발하여 다음 병목공정으로 움직인다. 병목공정의 웨이퍼는 수리계획법으로 산출된 일정계획에 의해 할당되고 다음 레이어의 비 병목공정으로 움직인다. 비 병목공정의 웨이퍼는 과거 자료에서 얻은 평균공정주기에 따라 움직이는 것으로 가정한다. 예를 들어, 어느 비 병목공정 평균공정주기가 5시프트라면, 1시프트 동안은 원래 있던 웨이퍼 중 1/5만큼 다음 병목공정으로 움직인다. 스테퍼 설비의 일정계획문제는 작업종류 변경에 따라 필요한 준비교체 시간을 고려해 혼합정수계획법으로 식을 세울 수 있다. 결정변수는 1시프트 동안 스테퍼에 할당될 웨이퍼 양이다. 목적함수는 발랜스 지수 합계의 최소화이다.

i = 제품 번호, $i=1, 2, \dots, n$

j = 레이어 번호, $j=1, 2, \dots, n_i$

k = 스테퍼 번호, $k=1, 2, \dots, m$

l = 시프트 번호, $l=1, 2, \dots, L$

$X(i, j, k, l)$ = 시프트 l , 스테퍼 k 에 할당된 웨이퍼 (i, j) 의 양

$TW(i, j)$ = (i, j) 의 목표 재공

$BW(i, j, l)$ = 시프트 l 에서 (i, j) 병목공정 재공

$NBW(i, j, l)$ = 시프트 l 에서 (i, j) 비병목공정 재공

$A(i, j, l)$ = 시프트 l 에서 (i, j) 병목공정의 초과재공량

$B(i, j, l)$ = 시프트 l 에서 (i, j) 병목공정의 부족재공량

$NBT(i, j)$ = (i, j) 비병목공정 주기

$STD(i, j, k)$ = (i, j) 에서 스테퍼 k 의 표준작업시간

$SET(i, j, k)$ = 스테퍼 k 의 (i, j) 웨이퍼 작업 교체준비시간

$R(i)$ = 제품 i 의 생산 가중치

Q = 계획기간동안 모든 재공의 최소 흐름량

SWT = 1 시프트 동안의 작업시간

모델(MIP-1)

목적 함수)

$$\text{Min} \sum_i \sum_j \sum_k R(i) \times \frac{A(i, j, l) + B(i, j, l)}{TW(i, j)} \quad (1)$$

제약 조건)

$$A(i, j, l) - B(i, j, l) = BW(i, j, l) + NBW(i, j, l) - TW(i, j) \quad \forall i, j, l \quad (2)$$

$$BW(i, j, l) = BW(i, j, l-1) - \sum_k X(i, j, k, l) + \frac{NBW(i, j, l-1)}{NBT(i, j)} \quad \forall i, j, l \quad (3)$$

$$NBW(i, j, l) = NBW(i, j, l-1) + \sum_k X(i, j-1, k, l) - \frac{NBW(i, j, l-1)}{NBT(i, j)} \quad \forall i, j, l \quad (4)$$

$$\sum_i \sum_j SET(i, j, k) \times \delta(i, j, k, l) + \sum_i \sum_j STD(i, j, k) \times X(i, j, k, l) + DT(k) \leq SWT \quad \forall k, l \quad (5)$$

$$\sum_k X(i, j, k, l) \leq BW(i, j, l) \quad \forall i, j, l \quad (6)$$

$$\sum_i \sum_j \sum_k X(i, j, k, l) \geq Q \quad \forall i, l \quad (7)$$

$$M \times \delta(i, j, k, l) \geq X(i, j, k, l) \quad \forall i, j, k, l \quad (8)$$

$$X(i, j, k, l), A(i, j, l), B(i, j, l), \quad (9)$$

$$BW(i, j, l), NBW(i, j, l) \geq 0, \quad \forall i, j, k, l \quad (9)$$

$$\delta(i, j, k, l) = 0 \text{ or } 1 \quad \forall i, j, k, l \quad (10)$$

식 (1)은 제품별로 가중치가 부가된 발랜스지수 합계를 최소화하는 목적함수이며, 식(2)는 식(1)과 더불어 절대값을 선형계획으로 변환하는 식이다. 식(3)과 (4)는 레이어내의 재공 흐름을 나타내며, 식(5)는 가용작업시간 이내에 웨이퍼가 스테퍼에 할당되어야 함을, 식(6)은 병목공정의 가용 재공만이 스테퍼에 할당될 수 있음을 나타낸다. 식(7)은 목표생산량 달성을 위한 최소 흐름량을 나타내는데 이 제약조건은 흐름이 0이 되는 것을 방지한다. 식(8)은 스테퍼작업 변경이 있을 경우 준비교체 시간이 발생함을 의미한다.

또다른 모델은, 목적함수만 다른 비슷한 모델이다. 목적함수는 스테퍼에 할당되는 웨이퍼의 흐름을 최대화 함으로써 높은 가동율과 생산량을 얻고자하는 것이다. 목적함수가 제품 생산량 최대화가 되면 레이어별 재공할당의 불균형 심화를 초래하므로 목적함수는 위와같이 정의해야한다.

모델(MIP-2)

목적 함수)

$$\text{Max} = \sum_i \sum_j \sum_k X(i, j, k, l) \quad (11)$$

제약 조건)

$$(3) \sim (6), (8) \sim (10), A(i, j, l), B(i, j, l) \text{ 제외}$$

대부분의 반도체 fabrication 라인에서 제품은 20개가 넘고 제품당 15~30개 레이어, 60대 이상의 스테퍼가 운용된다. 따라서 혼합 정수 계획법의 결정변수는 1시프트에 약 30,000개가 된다. 이는 많은 계산시간을 요하는 데 생산 현장에서 이를 사용할 수는 없다. 따라서, 준비교체 시간제약조건 대신 시프트작업시간을 줄이는 방법으로 변환한 선형계획법을 제시한다. 경험적으로 스테퍼 가동율이 통상 0.94~0.96을 얻을 수 있는데 이를 SWT에 곱한다. 목적함수는 혼합정수계획법에서와 같이 가중치를 부여한 발랜스지수의 합계이다. 여기서 모델 1과 모델 2를 다음과 같이 정의한다.

모델 1(LP-1)

(5),(9),(10)를 제외하고 모델(MIP-1)와 동일
식(5)는 아래와 같이 변경함

$$\sum_i \sum_j STD(i, j, k) \times X(i, j, k, l) + DT(k) \leq SWT \times \alpha \quad \forall k, l$$

모델 2(LP-2)

모델(MIP-2)와 동일

3. 실험 결과

제시된 모델 검증을 위해 임의의 생성된 자료로 실험하였다. 성과 측정지표는 생산량, 발랜스지수, 스테퍼의 가동율이다.

실험조건으로는 5개의 메모리 제품, 제품별 20개 레이어, 60대의 스테퍼로 제한하였고, 스테퍼의 작업시간은 각 제품, 레이어별로 달리 설정하였으며 매 시프트마다 해를 구하도록 하였다. 웨이퍼는 개별로 작업가능토록 했다. 각 제품, 레이어별로 스테퍼 작업시간은 1.0~2.5분까지 임의의 생성하였고 스테퍼별로 10~25개 작업을 레이어별로는 10~18대의 스테퍼가 작업할 수 있도록 했다. 스테

퍼의 평균 가동율이 95%라면 대략적인 월간 생산 능력은 다음과 같이 계산할 수 있다. 1시프트당 모든 스테퍼의 작업시간은 60대 X 480분 X 0.95 = 27,360분이며, 각 제품/레이어별 웨이퍼는 27,360 / (1.75 X 100 레이어) = 156장이다. 그러나, 일정계획은 가능하다면 시간이 짧은 스테퍼를 선택하는 경향이 있으므로 156보다는 클 것이다. 따라서, 레이어별로 생산량을 170으로, 5개 제품의 레이어별 총 생산량은 850으로 가정한다. 레이어 공정주기는 1.0~2.0으로 생성하여 평균 1.5일이 되며, 비병목공정주기는 레이어 공정주기의 60~80%로 하였다. 적정재공은 공정주기에서 판단할 수 있다. 실험조건에서 레이어 공정주기 평균이 1.5일, 레이어가 20개 이므로, 총 공정주기는 1.5 X 20 = 30일, 즉 90 시프트(1시프트=8시간)가 된다. 재공 = 생산량 X 공정주기이므로 총 적정재공은 850 X 90 = 76500이며, 제품당 15,300이 된다. 이를 레이어별로 공정주기에 맞춰 적정재공을 생성하였다. 초기재공은 적정재공의 1.3~1.7배 만큼 임의 생성하였으며 비 병목공정의 재공량은 초기 재공의 60~80%로 생성하였고, 병목공정 재공량은 초기재공에서 비병목공정의 재공량을 감한 양이다.

5개 제품의 레이어별 생산량을 달리한 3가지 경우에 대해 실험을 실시하였으며, 각각 A(170, 170, 170, 170, 170), B(220, 220, 170, 120, 120), C(250, 250, 250, 50, 50)로 합이 850이 되도록 했다. 매 시프트마다 투입되는 재공량을 위와 같이 하고, 각 경우에 대해 초기자료를 생성한 후 모델 1과 2로 나누어 10시프트에 대한 결과를 산출하였다.

표 1은 경우 A를 생성한 초기자료의 예이다.

<표 1. 경우 A의 초기자료>

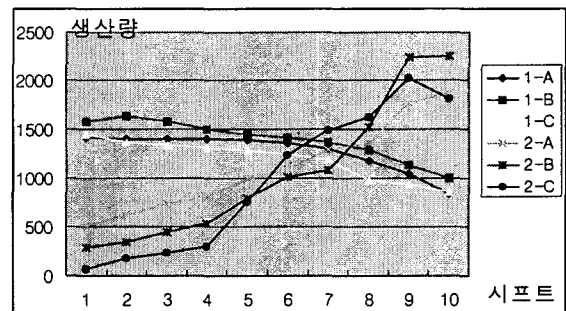
레이어	레이어 공정주기	비병목 공정주기(일)	적정 재공	초기 총재공	비병목 공정 재공	병목공정 재공
1	1.49	1.05	936	1416	991	425
2	1.33	0.86	649	959	641	318
3	1.71	1.23	1031	1495	1183	312
4	1.07	0.70	685	1120	709	411
5	1.64	1.05	855	1205	842	363
6	1.31	1.01	831	1244	817	427
7	1.69	1.31	815	1230	744	486
8	1.13	0.69	726	1014	761	253
9	1.27	0.94	809	1268	967	301
10	1.22	0.88	553	792	553	239
11	1.08	0.74	582	972	615	357
12	1.77	1.42	999	1487	1032	455
13	1.03	0.71	626	939	602	337
14	1.02	0.73	659	1089	781	308
15	1.37	0.93	668	1030	728	302
16	1.43	0.91	877	1173	930	243
17	1.17	0.75	734	959	674	285
18	1.86	1.30	1001	1374	1001	373
19	1.04	0.68	618	889	591	298
20	1.39	0.98	646	1054	675	379
Total	27.03	18.88	15,300	22,709	15,837	6,872

표 2는 각 경우를 모델 1과 2로 실행한 결과이다. 모델 1과 모델 2를 비교했을 때 A,B,C 모든 경우에서 모델 1의 생산량이 많았으며, 전체적인 생산량도 모델 1의 생산량이 23% 많은 결과를 나타내었다. 또다른 측정지표로서 발렌스 지수에 있어서도 생산량과 마찬가지로 모든 경우에 모델 1에서 모델 2보다 좋은 결과를 얻을 수 있었다. 그러나, 스테퍼 가동율은 수리모형의 목적함수 영향으로 모델 2가 95%의 가동율을 보인 반면, 모델 1은 평균 82.2%의 가동율을 보였다.

<표 2. 모델별 10 시프트 실행결과>

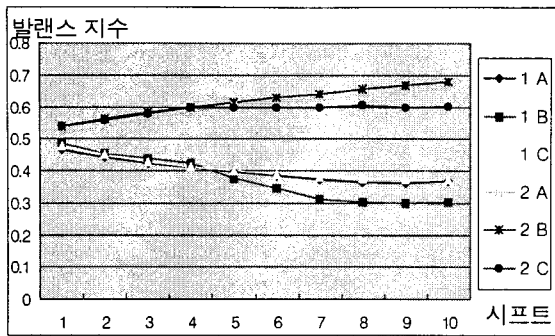
모델	경우	생산량	발렌스 지수		스테퍼 가동율		
1	A	12711.0	12853.4 (평균)	0.399	0.39 (평균)	88.3%	82.2 (평균)
	B	13924.0		0.374		81.5%	
	C	11925.3		0.405		76.7%	
2	A	11044.5	10413.4	0.599	0.60	95.0%	95.0
	B	10488.9		0.617		95.0%	
	C	9706.8		0.587		95.0%	

그림 1은 시프트별 생산량을 나타낸 것이다. 모델 1은 처음 생산량이 많은 것이고 모델 2는 갈수록 많아지고 있다. 모델 2는 생산량의 변동이 심해 생산량 예측이 어렵다. 반면 모델 1은 생산량이 줄어들기는 하나 비교적 고르고 안정된 생산분포를 보여 어느 정도 생산량 예측이 가능하다. 전체적인 생산량에 있어서도 모델 2보다 많이 안정되고 많은 생산량을 내는 좋은 결과를 도출하였다.



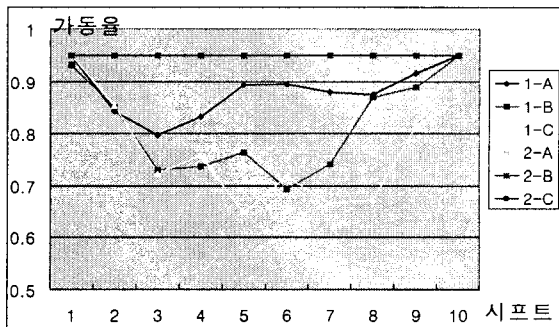
<그림 1. 시프트별 생산량>

그림 2는 시프트별 발렌스 지수를 나타내고 있다. 초기에 모델 1과 모델 2는 동일하게 발렌스 지수 0.5에서 출발하였으나 시프트가 진행됨에 따라 모델 1은 감소하여 0.3 ~ 0.4의 분포를 보이고, 모델 2는 증가하여 0.6 ~ 0.7의 분포를 보이고 있다. 발렌스 지수의 증가는 재공의 증가를 나타낸다. 굳이 발렌스 지수를 통하지 않더라도, 초기재공과 투입량이 같은 조건에서 라인으로부터 나오는 생산량이 모델 1의 라인에서 더 많다면 모델 1 라인 내에는 모델 2보다 재공이 적고 2가 많음을 쉽게 알 수 있다. 재공이 많다는 것은 결국 공정주기의 증가를 가져온다.



<그림 2. 시프트별 발랜스 지수>

그림 3은 스테퍼 가동율을 나타내고 있다. 모델 1은 제약 조건에 따라 최대의 가동율인 95%의 일정한 가동율을 유지하고 있으나, 모델 2는 평균 82%가동율을 나타내고 있다. 모델 1이 95%의 가동율로 고가의 장비인 스테퍼를 최대한 활용하고 있으나 오히려 생산량은 모델 2보다도 더 낮다. 이것은 스테퍼 활용을 라인전체의 관점에서 보면 효율적으로 사용하지 못하고 있음을 의미하며, 모델 2는 스테퍼 가동율이 더 낮음에도 보다 많은 생산량을 나타내는 것과 많은 대조를 이룬다.



<그림 3. 시프트별 스테퍼 가동율>

4. 결론

발랜스 지수를 이용한 모델 1과 스테퍼 작업 할당량을 최대화 하는 모델 2에 대한 수리모형 제시와 실험을 실시하였다. 그 결과 모델 2가 생산량이 많을 것이라는 예상과 달리, 발랜스 지수를 이용한 모델 1에서 보다 많은 생산량을 나타내었으며, 발랜스 지수도 낮았으며, 스테퍼 가동율만 높은 결과가 도출되었다. 즉, 발랜스 지수를 이용한 모델 1이 낮은 재공 수준으로, 짧은 공정주기를 달성하고 보다 많은 생산량을 나타내었다. 일반적인 생산공정에 비해 공정규모가 방대하여 공정을 통제하고 예측하기 곤란한 반도체 fabrication공정에서도 발랜스 지수와 이에 대한 통제가 공정주기 감소와 생산량 최대화의 관건임을 알 수 있는 것이다. 우리는 여기서 반도체 fabrication 라인에서의 발랜스개념을 정의하고 수리모형제시와 실험을 통해 발랜스 지수를 이용한 방법으로 라인의 공정주기와 재공을 줄일 수 있음을 보임을 보였다.

병목공정에 대한 수리모형 제시와 실험만 실시하

였으나 병목공정에 대해서도 병목공정과 같이 통제된다면 전체 생산라인의 실행결과는 향상될 것이다.

참고 문헌

- [1]Bitran, G.R., and Tirupati, D. (1988) Development and implementation of a scheduling system for a wafer fabrication facility. Operations Research 36, 377-395.
- [2]Demeester, L., and Tang, C. (1996) Reducing cycle time at an IBM wafer fabrication facility. Interfaces, 26, 34-49.
- [3]Ehteshami, B., Petrakian, R.G., and Shabe, P.M. (1992) Trade-offs in cycle time management: hot lots. IEEE Transactions on Semiconductor Manufacturing, 5, 101-106.
- [4]Glassey, C.R., and Resende, M.G.C. (1988) Closed-loop job release control for VSLI circuit manufacturing. IEEE Transactions on Semiconductor Manufacturing, 1, 36-46.
- [5]Kim, S., Yea, S., and Kim, B. (2000) Stepper scheduling in semiconductor wafer fabrication process. The Proceedings of International Conference on modeling and Analysis of Semiconductor Manufacturing, Arizona, 157-162
- [6]Leachman, R.C. (1994) The competitive semiconductor manufacturing survey: Second report on results of the main phase. CSM-08 Report, University of California at Berkeley.
- [7]Pierce, N.G., Yurtsever, T. (1999) Dynamic dispatch and graphical monitoring system. The Proceedings of International Conference on Semiconductor Manufacturing Operational Modeling and Simulation, San Francisco, 57-61.
- [8]Spearman, M.L., Woodruff, D.L., and Hopp, W.J. (1990) CONWIP: A pull alternative to kanban. International Journal of Production Research, 28, 879-894.
- [9]Wein, L.M. (1988) Scheduling semiconductor wafer fabrication. IEEE Transactions on Semiconductor Manufacturing, 1, 115-129.