

I2C 제어기법을 이용한 디지털 영상처리 시스템의 설계

이성우*, 김종익**, 황재문***, 박진수*
* 청주대학교 전자공학과
** 극동정보대학 애니메이션과
*** 극동정보대학 컴퓨터게임과

The Design of Digital Image Processing System Using I2C Control Scheme

Sung-Woo Lee*, Chong-Ik Kim**, Zai-Moon Hwang***, Jin-Soo Park*
* Dept. of Electronic Engineering, ChongJu University
** Dept. of Animation, KeukDong College
*** Dept. of Computer Games, KeukDong College

E-mail : swlee77@chongju.ac.kr, kjik@kjik777.com, hagnios@icrc.chongju.ac.kr, parkjs@chongju.ac.kr

요 약

본 논문에서는 2선식 양방향 통신이 가능한 I2C 제어기법을 이용하여 CCD 카메라와 Video 카메라로부터 아날로그 형태의 영상신호를 입력받아 다양한 포맷으로 디지털 영상을 지원하는 비디오 디코더를 설계하였고, 디지털화된 영상신호를 입력받아 NTSC와 S-VIDEO 방식으로 아날로그 영상신호를 재구성하는 stand-alone 시스템을 이용하여 비디오 인코더를 설계하였다. 설계된 비디오 디코더와 인코더를 이용하여 영상신호를 전송한 결과, EIA 포맷과 CCIR-xxx 포맷을 효율적으로 제어할 수 있음을 확인하였다.

1. 서론

최근 영상, 비디오, 오디오 신호 처리 기술의 발달로 멀티미디어 통신 서비스가 국내외에서 사용화되고 있으며, 멀티미디어 관련 기술의 상업적 이용이 커다란 관심을 끌고 있다. 특히 영상전송에 있어서 이미지 프로세싱을 이용한 디지털 화상처리와 전송기술이 관심분야로 대두되고 있다[1].

지금까지 이 분야에 관련된 시스템은 PC의 하드웨어와 windows를 기반으로 하고 있어서 시스템 설치가 복잡하고, 운용상 비용이 많이 드는 단점이 있다. 아울러 PC를 이용하여 영상을 처리하는데 있어 디지털 형태의 다양한 영상포맷을 지원하지 못하고, 하드웨어적으로 부담이 가중되기 때문에 설계가 복잡하고 설치 시 많은 시간과 노력을 필요로 하게 된다.

※ 본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

TV나 비디오, CCD 카메라, 무비 카메라 등을 통해 입력되는 아날로그 영상신호를 디지털 영상신호로 바꾸어 주는 장치가 비디오 디코더이다. 또한, 비디오 디코더는 아날로그 영상신호를 PC에서 처리할 수 있는 정보로 바꾸어 주는 중간 매체 역할을 하기도 한다. 이와 같은 장치를 이용하면 아날로그 영상신호를 PC에서 이용할 수 있는 디지털 영상신호로 변환시킬 수 있으며, 이를 소프트웨어적으로 처리하여 다양한 응용분야에 적용할 수 있다.

비디오 인코더는 비디오 디코더로부터 출력된 다양한 디지털 영상신호를 NTSC, S-Video 방식의 아날로그 영상신호로 바꾸어 주는 장치이다. 이 장치를 통해 아날로그 형태의 영상신호를 TV나 모니터 등으로 확인할 수 있다[2].

이러한 영상신호를 전송하는데 지원되는 신호의 포맷은 EIA 포맷과 CCIR-xxx 포맷이 있다. 비디오 디코더로부터 출력되는 두 포맷에 의해 전체적인 하드

웨어 시스템이 결정된다. 따라서 영상포맷을 변경하거나 새로운 시스템을 추가하고자 할 때에는 전체적인 시스템이 변경되어야 한다. 하지만 기존의 시스템에서는 EIA 포맷과 CCIR-xxx 포맷을 개별적으로 선택하므로써 다양한 형태의 신호포맷을 설정하는데 어려움이 있다.

따라서, 본 논문에서는 시스템의 변형 없이 EIA와 CCIR-xxx 포맷으로 다양한 출력포맷을 설정하기 위해 양방향 2선식 통신이 가능한 I2C 제어 기법을 이용하여 영상처리 시스템을 구현하고, 설계된 디코더와 엔코더를 통해 영상규격에 맞는 데이터 포맷으로 영상통신이 가능한지를 검증하고자 한다.

2. 비디오 디코더

카메라에서 입력되는 영상신호는 NTSC-아날로그 신호이기 때문에 영상정보를 디지털 신호로 변환하기 위해서는 ADC(Analog-Digital Converter)와 메모리, 동기회로 등이 필요하다[2][4]. 그림 1은 기본적인 비디오 디코더의 구성을 나타내고 있다. 카메라에서 입력되는 영상신호는 동기분리 회로로 입력되어 영상신호로부터 동기신호(Synchronization Pulses)를 분리한다. 수평 동기신호(Horizontal Sync, HS)는 새로운 Line의 시작을 의미하며 수직 동기신호(Vertical Sync, VS)는 새로운 프레임이나 새로운 필드의 시작을 의미한다.

따라서 영상신호원(일반적으로 Camera)에 TTL Sync. 입력이 가능해야 한다. 하지만 비디오 디코더의 Sync. 발생기는 일반적으로 독립된 모듈(Module)이며, 비디오 디코더의 동기는 동기분리회로에서 출력되는 동기를 기본으로 한다.

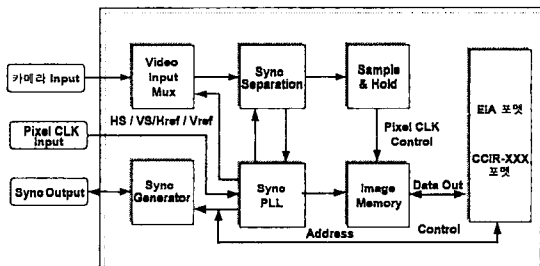


그림 1. 비디오 디코더

즉 비디오 디코더의 Sync. 발생기와 카메라의 비디오 신호는 직접 연결된 것이 아니다. HS와 VS가 안

정화되면 영상을 직접 얻기 위한 픽셀 클럭이 필요하며 원칙적으로 Sample&Hold회로에서 EIA 포맷의 경우 12.3MHz로 647픽셀을 출력하며, CCIR-xxx의 경우 14.75MHz로 767픽셀을 출력하여 A/D 클럭 주파수로 디지털화 한다[4]. 그러나 이러한 픽셀 데이터는 제어하기 어렵기 때문에 각각의 비디오 디코더는 640 픽셀 혹은 760픽셀로 고정하고 있다. 이렇게 디지털화된 데이터는 영상버퍼 혹은 FIFO(First In/First Out)에 저장한 다음 다양한 디지털 영상포맷으로 한다.

3. 비디오 엔코더

비디오 엔코더는 비디오 디코더에서 A/D 변환된 다양한 디지털 포맷을 입력으로 받아 NTSC 방식의 아날로그 신호로 출력한다[3].

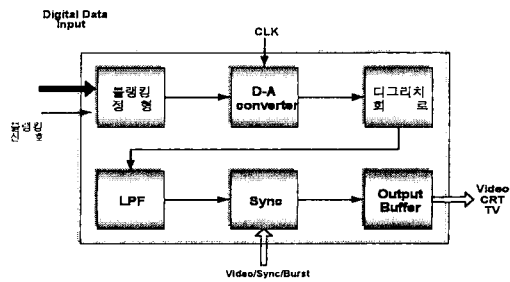


그림 2. 비디오 엔코더

그림 2는 기본적인 비디오 엔코더의 구성을 나타내고 있다[2]. 블랭킹 정형부분에서 ADC의 입력은 양자화 레벨을 효율적으로 이용하기 위해 동기 신호의 레벨 마지막 부분을 잘라 버린다. 또한 메모리 절약을 위해 CRT 화면에 나타나지 않는 블랭킹 기간의 데이터를 메모리에서 이용하지 않을 때, 연산처리에 의해서 블랭킹 기간의 데이터가 흩어질 수 있다. 이러한 블랭킹 기간의 데이터를 정형화하기 위해 블랭킹 정형회로를 사용한다.

DAC 블록은 디지털 신호를 아날로그 신호로 변환하는 부분이며, 블랭킹 정형블록을 거쳐 YUV, CCIR, RGB 포맷에 맞는 디지털 신호입력 부분과 기준전압(Vref)을 걸어주는 전원부로 구성되어 있다.

디지털 신호를 D/A 변환할 때 각 비트가 동시에 변환되지 않으면 그리치 잡음이 발생한다. 특히 중첩이 큰 비트의 값이 변환될 경우에는 이 잡음이 크게 나타난다. 따라서 그리치를 제거하기 위해 디그리치 회로를 부가하여 잡음을 제거한다.

디지털 신호를 D/A 변환기에서 아날로그 신호로 변환하면 그 출력은 고조파성분을 가지고 있기 때문에 계단모양으로 나타난다. 따라서 저역필터(Low Pass Filter)를 사용하여 이 고조파 성분을 제거하여 입력 데이터가 가지고 있는 정보만을 재현하여 매끄러운 출력이 얻어지도록 한다. D/A 변환기의 출력이 블랭킹 블록에서 정형되어 동기 신호나 클럭 버스트 신호가 들어 있지 않기 때문에 저역필터 다음 단계 부가된 동기블록을 통해 동기신호와 클럭 버스트 신호를 부가한다.

마지막으로 비디오 신호의 출력과 부하사이에 임피던스를 정합시키기 위해 75Ω 저항을 삽입하여 1 V_{p-p}인 아날로그 형태의 영상신호를 출력한다.

4. I2C제어

I2C는 Philips에서 제안한 IC간의 통신방식으로 클럭(SCL)과 데이터(SDA) 라인을 사용하는 동기 양방향 2선식 제어방식이다. 버스에 연결된 각 디바이스는 고유의 어드레스를 가지며, 필요에 따라 송신기와 수신기로 동작한다. 전송속도는 일반모드에서 100kbps 까지 지원되며, 고속모드에서는 400kbps까지 지원가능한 통신방식으로 동작원리는 다음과 같다[8].

- (1) Transmitter : 버스에 데이터를 전송하는 장치
- (2) Receiver : 버스로부터 데이터를 수신하는 장치
- (3) Master : 전송을 개시하는 장치로 클럭펄스를 생성하며, 전송을 종료한다.
- (4) Slave : Master가 어드레스한 장치

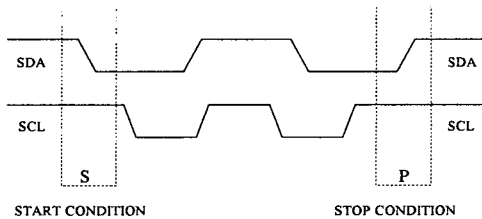


그림 3. I2C통신 타이밍 구조

Master가 초기화되면 버스에 연결된 장치들은 데이터를 수신하기 위해 대기한다. Master가 Slave 어드레스를 전송하면 각 칩은 자신의 고유 어드레스와 비교한다. 어드레스가 일치하는 칩은 이어지는 확인신호

구간에서 데이터를 Low로 유지해 응답을 보낸다. 그러면 Master는 데이터를 읽거나 쓰기를 할 수 있다. 모든 작업이 끝나면 Master는 종료상태를 발생하고 버스를 Release한다.

클럭이 Low일 때만 데이터 상태를 바꿀 수 있기 때문에 데이터는 클럭이 High인 구간에만 유효하다. 따라서 Master는 데이터 라인을 적당한 데이터로 바꾸고, 클럭 라인을 일정시간 놓아둔 다음 SDA 라인의 상태를 바꾸기 전에 클럭을 low로 만든다. 데이터는 8bit이고 MSB가 먼저 전송된다. 초기상태와 종료상태 사이에 전송되는 데이터의 수는 제한이 없다.

본 논문에서는 I2C방식으로 영상통신 시스템을 제어하기 위해 89C2051 CPU를 사용하여 OFT0=1, OFT1=0으로 레지스터 값을 프로그램 하였으며, YUV422(16-bit)로 데이터를 아래의 그림 4는 AT89C2051과 SAA7111의 양방향 2선식 통신 방식인 I2C 방식을 나타낸 것이다[7].

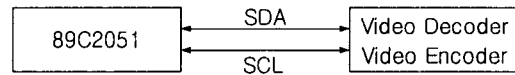


그림 4. I2C 제어블록도

5. 비디오 디코더 설계

본 논문에서는 CCD, Video 카메라로부터 입력되는 NTSC신호를 VIP(Video Input Processor) SAA 7111을 이용하여 비디오 디코더를 설계하였다[5].

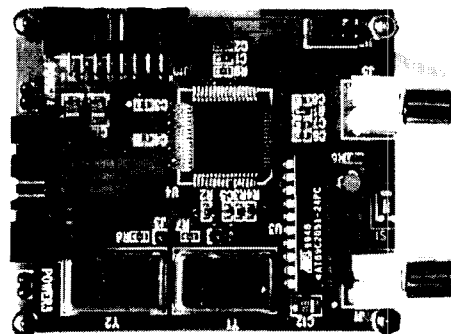


그림 5. 비디오 디코더 설계

그림 5는 SAA7111 비디오 디코더를 보여주고 있다. SAA7111은 4개의 외부 카메라를 이용하여 신호를 입력할 수 있으며, PAL 방식과 NTSC 방식의 신

호를 자동으로 받아들여 A/D 변환을 수행한다. 기존의 비디오 디코더는 데이터 출력포맷에 따라 전체적인 하드웨어 시스템을 변경하거나 새로운 시스템을 설계하지만, 표1과 같이 SAA7111은 시스템을 변형하지 않고, YUV411(12-bit), YUV422(16-bit), CCIR656(8-bit), RGB565(16-bit), YUV411(12-bit), RGB888(24-bit)로 다양한 출력포맷을 레지스터 프로그램에 의해서 간단히 제어할 수 있다.

표1. 영상출력포맷

BUS SIGNAL	411 (12-BIT)				422 (16-BIT)				CCIR-656 (8-BIT)				RGB (16-BIT)		RGB (24-BIT)	
	Y ₀₇	Y ₀₆	Y ₀₅	Y ₀₄	Y ₀₇	Y ₀₆	Y ₀₅	Y ₀₄	Y ₀₇	Y ₀₆	Y ₀₅	Y ₀₄	R ₄	R ₇	R ₇	R ₇
VPO15	Y ₀₇	Y ₀₆	Y ₀₅	Y ₀₄	Y ₀₇	Y ₀₆	Y ₀₅	Y ₀₄	Y ₀₇	Y ₀₆	Y ₀₅	Y ₀₄	R ₄	R ₇	R ₇	R ₇
VPO14	Y ₀₆	Y ₀₅	Y ₀₄	Y ₀₃	Y ₀₆	Y ₀₅	Y ₀₄	Y ₀₃	Y ₀₆	Y ₀₅	Y ₀₄	Y ₀₃	R ₃	R ₆	R ₆	R ₆
VPO13	Y ₀₅	Y ₀₄	Y ₀₃	Y ₀₂	Y ₀₅	Y ₀₄	Y ₀₃	Y ₀₂	Y ₀₅	Y ₀₄	Y ₀₃	Y ₀₂	R ₂	R ₅	R ₅	R ₅
VPO12	Y ₀₄	Y ₀₃	Y ₀₂	Y ₀₁	Y ₀₄	Y ₀₃	Y ₀₂	Y ₀₁	Y ₀₄	Y ₀₃	Y ₀₂	Y ₀₁	R ₁	R ₄	R ₄	R ₄
VPO11	Y ₀₃	Y ₀₂	Y ₀₁	Y ₀₀	Y ₀₃	Y ₀₂	Y ₀₁	Y ₀₀	Y ₀₃	Y ₀₂	Y ₀₁	Y ₀₀	R ₀	R ₃	R ₃	R ₃
VPO10	Y ₀₂	Y ₀₁	Y ₀₀	Y ₀₀	Y ₀₂	Y ₀₁	Y ₀₀	Y ₀₀	Y ₀₂	Y ₀₁	Y ₀₀	Y ₀₀	G ₅	G ₇	G ₇	G ₇
VPO9	Y ₀₁	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₁	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₁	Y ₀₀	Y ₀₀	Y ₀₀	G ₄	G ₆	G ₆	G ₆
VPO8	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	Y ₀₀	G ₃	G ₅	G ₅	G ₅
VPO7	U ₀₇	U ₀₆	U ₀₅	U ₀₄	U ₀₇	U ₀₆	U ₀₅	U ₀₄	X	X	X	X	G ₂	G ₄	R ₂	R ₂
VPO6	U ₀₆	U ₀₅	U ₀₄	U ₀₃	U ₀₆	U ₀₅	U ₀₄	U ₀₃	X	X	X	X	G ₁	G ₃	R ₁	R ₁
VPO5	U ₀₅	U ₀₄	U ₀₃	U ₀₂	U ₀₅	U ₀₄	U ₀₃	U ₀₂	X	X	X	X	G ₀	G ₂	R ₀	R ₀
VPO4	U ₀₄	U ₀₃	U ₀₂	U ₀₁	U ₀₄	U ₀₃	U ₀₂	U ₀₁	X	X	X	X	B ₄	B ₇	G ₁	G ₁
VPO3	X	X	X	X	U ₀₃	U ₀₂	U ₀₁	U ₀₀	X	X	X	X	B ₃	B ₆	G ₀	G ₀
VPO2	X	X	X	X	U ₀₂	U ₀₁	U ₀₀	U ₀₀	X	X	X	X	B ₂	B ₅	B ₂	B ₂
VPO1	X	X	X	X	U ₀₁	U ₀₀	U ₀₀	U ₀₀	X	X	X	X	B ₁	B ₄	B ₁	B ₁
VPO0	X	X	X	X	U ₀₀	U ₀₀	U ₀₀	U ₀₀	X	X	X	X	B ₀	B ₃	B ₀	B ₀
Y	0	1	2	3	0	1	2	3	0	1	2	3	-	-	-	-
UV	0				0				0		0		0		0	
Data rates	11LC2				11LC2				11LC2		11LC2		11LC2		11LC2	
I2C-bus control signals	OFTS0=0				OFTS0=1				OFTS0=1		OFTS0=0		OFTS0=0		OFTS0=0	
	OFTS1=1				OFTS1=0				OFTS1=1		OFTS1=0		OFTS1=0		OFTS1=0	
	RGB888=X				RGB888=X				RGB888=X		RGB888=X		RGB888=X		RGB888=X	

I2C는 Philips에서 제안한 양방향 통신방식으로 클럭(SCL)과 데이터(SDA)를 2라인 동기 양방향 제어방식을 통해 비디오 디코더의 초기화, 출력포맷, 동기신호 등을 제어한다. 본 논문에서는 I2C버스를 제어하기 위해서 89C2051 CPU를 사용하여 OFTS0=1, OFTS1=0으로 레지스터 값을 프로그램 하여 YUV422(16-bit)로 출력하였다[5]. 본 논문에서는 아날로그 부분에서 입력되는 잡음을 최소화하기 위해 아날로그와 디지털부분의 전원을 서로 독립적으로 설계하였다.

6. 비디오 엔코더 설계

비디오 디코더로부터 출력되는 디지털 영상출력 포맷을 SAA7185의 입력으로 받아 NTSC 방식의 아날로그 형태의 신호로 변환하는 비디오 엔코더를 설계하였다[5]. SAA7185에는 YUV, MPEG 데이터를 처리할 수 있는 8비트의 입력포트가 3개 있다[6].

비디오 디코더에서와 같이 I2C 통신방식으로 클럭(SCL)과 데이터(SDA)를 2라인 동기 양방향 제어방식을 통해 비디오 엔코더의 초기화, 출력포맷, 동기신호 등을 제어한다. 엔코더는 이미지의 휘도 정보를 표시하는 Y(휘도 신호)출력과 동기신호와 컬러 이미지의

색을 나타내는 CVBS(복합영상신호), S-Video신호를 NTSC방식으로 출력한다. 입력 데이터 포맷을 결정하거나 출력 데이터를 결정할 때는 비디오 디코더에서와 마찬가지로 SAA7185의 레지스터 프로그램에 의해서 간단히 제어할 수 있다.

표2. SAA7185 입력 포맷

DATA BYTE	LOGIC LEVEL	DESCRIPTION
MUV2C	0	Cb/Cr data at MP are two's complement
	1	Cb/Cr data at MP are straight binary. Default after reset
MY2C	0	Y data at MP are two's complement
	1	Y data at MP are straight binary. Default after reset
VUV2C	0	Cb/Cr data input to VP or DP are two's complement. Default after reset
	1	Cb/Cr data input to VP or DP are straight binary
VY2C	0	Y data input to VP are two's complement. Default after reset
	1	Y data input to VP are straight binary
V556	0	Selects YUV422 format on VP, YUV411 and DP (lines multiplexed Cb/Cr)
	1	Selects CCIR656 compatible format on VP (lines Cb Y Cr). Default after reset
CBENB	0	Data from input ports are encoded. Default after reset
	1	Colour bar with programmable colours (entries of OSD LUTs) is encoded

표3. SAA7185 출력 포맷

DATA BYTE	LOGIC LEVEL	DESCRIPTION
FISE	0	864 total pixel clocks per line
	1	858 total pixel clocks per line. default after reset
PAL	0	NTSC encoding (non-alternating V component). default after reset
	1	PAL encoding (alternating V component)

그림 6은 SAA7185 비디오 엔코더를 보여주고 있다. 설계할 때 중요한 사항은 비디오 디코더와 같이 아날로그 부분에서 들어오는 잡음을 최소화하기 위해 아날로그와 디지털부분의 전원을 서로 독립적으로 연결을 해주어야 한다. 그리고 비디오 엔코더의 2선식 양방향 버스선인 I2C는 오픈 콜렉터로 구성되어있다. 따라서 SCL과 SDA를 제어하기 위해서는 반드시 풀업저항을 연결해야 된다.

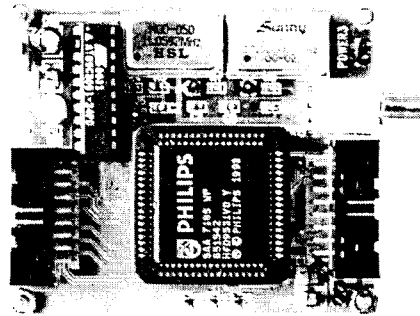


그림 6. 비디오 엔코더 설계

그림 7은 비디오 디코더의 입력을 NTSC 신호로 받아 디지털 변환하여 출력하고 다시 디지털 데이터를 16비트 버스라인으로 연결하여 비디오 엔코더를 통해 CVBS 신호로 출력을 얻은 영상결과이다. 비디오영상의 출력결과를 얻기 위해 컴퓨터에 캡처 기능이 내장된 TV 수신카드를 연결하여 영상을 저장했다. 그 결과 영상에서 볼 수 있듯이 컬러의 정보를 완전히 복원하여 원본영상과 같은 깨끗한 영상을 보여주고 있다.



그림 7. 출력영상

양을 효율적으로 줄일 수 있는 방안을 모색하고, 통신 선로 상에서 발생하는 에러에 효율적으로 대처할 수 있는 시스템에 대한 개발이 병행되어야 할 것으로 사료된다.

[참고 문헌]

- [1] 민병석, 김승중, 정제창, "웹블릿 변환을 이용한 영상압축", 한국통신학회지, 제 14 권, 제 9 호, pp. 59-81. 1997년. 9월.
- [2] 김종철, "알기 쉬운 디지털 영상기술 Digital Video", 도서출판 우신 1996.
- [3] 원송희, "CCTV시스템 설계의 기법", 도서출판 세화 1993.
- [4] 장동혁, "Visual C++를 이용한 디지털 영상 처리의 구현", 도서출판 PC어드벤처.
- [5] www-eu3.semiconductors.com/pip/SAA7111H
- [6] www-eu3.semiconductors.com/pip/SAA7185BWP
- [7] www.atmel.com/atmel/cgi/AT89C2051.cgi
- [8] www.Philips.com/I2C

7. 결 론

본 논문에서는 시스템의 변형 없이 EIA와 CCIR-xxx 포맷으로 다양한 출력포맷을 설정하여 양방향 2선식 통신이 가능한 영상전송 시스템을 구현하였으며, 설계된 디코더와 엔코더를 통해 영상규격에 맞는 데이터 포맷으로 영상통신이 가능한지를 검증하였다.

비디오 디코더와 엔코더의 설계를 위해서는 SAA7111과 SAA7185를 각각 사용하였으며, 비디오 디코더와 엔코더간의 영상통신을 제어하기 위해 Philips에 제안한 I2C 제어방식을 적용하였을 뿐만 아니라 I2C 제어방식의 정확한 동작을 위해 풀업저항을 사용하여 통신방식을 효율적으로 제어하였다.

결과적으로 설계된 비디오 디코더와 엔코더를 통해 EIA 포맷과 CCIR-xxx 포맷을 다양하게 지원하는 양방향 영상통신 시스템을 구현하였으며, 카메라를 통해 입력된 데이터를 효율적으로 전송할 수 있음을 확인하였다.

향후, 본 시스템을 차세대 이동통신 및 멀티미디어 영상시스템에 적용하기 위해서는 압축알고리즘을 적용하여 비디오 디코더에서 출력되는 방대한 데이터