

# RF-MEMS 소자를 위한 저손실 웨이퍼 레벨 패키징

박윤권<sup>1,4</sup>, 이덕중<sup>1</sup>, 박홍우<sup>1</sup>, 송인상<sup>2</sup>, 김정우<sup>2</sup>, 송기무<sup>2</sup>, 박정호<sup>3</sup>, 김철주<sup>4</sup>, 주병권<sup>1</sup>  
1한국과학기술연구원 디스플레이 및 나노소자연구실, 2삼성종합기술연구원 MEMS Lab,  
3고려대학교 전자공학과, 4서울시립대학교 전자전기공학부

## Abstract

We apply for the first time a low cost and loss wafer level packaging technology for RF-MEMS device. The proposed structure was simulated by finite element method (FEM) tool (HFSS of Ansoft). S-parameter measured of the package shows the return loss (S11) of 20dB and the insertion loss (S21) of 0.05dB.

key words : RF-MEMS, wafer level package, low loss,

## 1. Introduction

무선통신 및 휴대용 전화기등 통신시장의 증대로 인하여 GHz의 이상의 고주파, 광대역 주파수 범위의 사용 증가가 요구하고 있다. 특히 핸드폰과 같은 무선 통신 시장의 확대에 의한 800MHz - 2.5GHz의 높은 주파수 범위의 사용이 증가되고 있으며, 소자의 집적화를 이루고 또한 실리콘 기판과의 호환성을 이루기 위하여 스위치, 공진기, LC, 필터등 RF 소자에 대한 MEMS 기술을 도입하는 연구가 증가되고 있다[1,2]. 하지만 현재 RF-MEMS 소자에 대한 패키징 기술에 대한 연구가 미약하며 이는 RF-MEMS 소자를 이용하는데 꼭 필요한 분야이다. RF-MEMS 소자의 패키지는 DC 또는 저주파 대역에서 동작하는 기존의 MEMS 소자와는 달리 주파수가 높아짐에 따라 무시되었던 기생 성분, 신호 상호간의 간섭, 재질에 따른 유전손실, 기판과 소자 상호간의 영향에 따른 자체 공진 등이 고려 되어야 한다[3]. 따라서 RF-MEMS 패키징은 패키징 후 소자의 출력 특성이 패키징에 의해 저하되지 않고, 빠른 신호 전달과 기생용량이 작아지도록 짧은 feed-through가 형성되어야 하며, 습기와 외부 충격에 보호되도록 설계되어야 한다[4]. 또한 소자의 집적화를 위한 패키지 영역의 최소화 및 적은 비용의 패키지가 이루어 져야 한다.

본 연구에서는 RF-MEMS 소자를 패키지 하기 위하여, via를 형성한 후 패키징 기판에 bump를 형성함으로써 flip-chip 방식의 패키징을 제안하였다. Feedthrough를 수직으로 짧게 연결함으로써 기존에 문제가 되던 기생용량의 저하와 기생 인덕터의 값을 작게 하여 삽입손실을 줄이고자 하였다. 또한 유전 손실이 낮은 유리기판을 패키지 기판으로 사용함으로써 기판 유전율에 따른 손실을 최소화 하고자 하였으며, via를 통한 feedthrough를 형성하여 wafer level 패키지가 가능한 구조를 제안하였다. 제안된 구조는 Ansoft 사의 HFSS를 사용하여 EM 시뮬레이션을 하였으며, 측정을 위하여 석영(quartz) 기판에 CPW(co-planar waveguide)를 형성한 후, 이를 패키지 한 후 network analyzer(HP 8753D)를 사용하여 S 파라미터를 측정하였다. 본 구조는 RF-MEMS 패키지 뿐만 아니라 기존의 MEMS 소자에도 그대로 적용할 수 있다.

## 2. Experimental

## 2.1. 구조 및 시뮬레이션

RF-MEMS 소자의 패키징시 소자를 외부의 환경 및 충격으로부터 보호하고, 고주파 신호의 우수한 전달특성을 갖고, 또한 공정의 간단화와 비용의 절감을 위한 웨이퍼 레벨 패키징 구조도를 그림 1에 보여주고 있다.

패키징 기판으로 pyrex 유리 기판을 사용하였으며, 신호전달을 위하여 수직형 via hole을 형성하였으며 via filling과 bump를 gold로 사용함으로써 소자 패드의 gold와 직접 접합을 통하여 접촉 저항을 최소화 하고자 하였다.

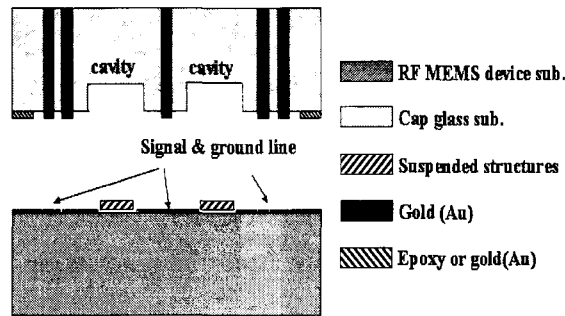
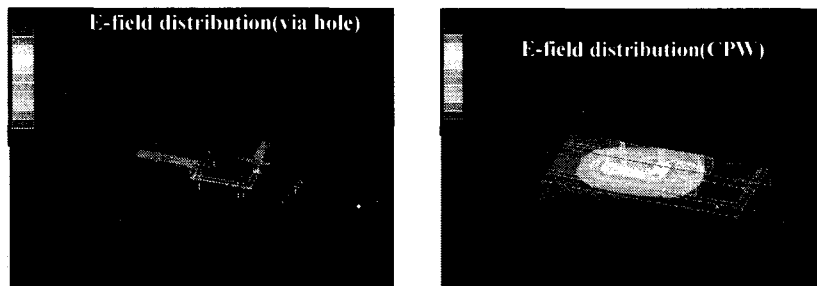


그림 1. RF-MEMS 소자의 패키징을 위한 구조도.

제안된 구조의 신호 전달 특성 및 패키징의 EM 특성을 확인하기 위하여, Ansoft 사의 HFSS를 사용하여 3차원 구조 시뮬레이션을 하였다. 기판은 Pyrex 유리기판, 두께는  $300\mu\text{m}$ , via hole의 지름은  $250\mu\text{m}$ , feed-through는 gold를 사용하였다. CPW는  $50\Omega$ 에 맞추어 설계하였으며, 주파수 sweep은 0-3GHz까지 하였다.

그림 2는 3GHz에서 패키지 구조의 전계분포를 보여주고 있다. 그림2(a)에는 via hole을 통한 전계분포를 나타내었고, 그림2(b)에는 기판과 CPW에서의 전계분포를 나타내었다. 그림에서 보듯이 전계분포가 CPW 라인과 입/출력 라인에 집중되어 있으며, 신호의 간섭이 작은 것을 알 수 있다.



(a) Via holes

(b) CPW 라인과 입/출력 라인

그림 2. 제안된 구조의 전계 분포도 및 신호 전달 특성

S11은 반사손실을 나타내며, S21은 구조체의 삽입손실을 나타낸다. S11은 1.5GHz에서  $-23.4\text{dB}$ , 2GHz에서  $-21.1\text{dB}$ 를 나타내고 있으며, 즉 입력으로 반사되는 손실이 거의 없고, 임피던스 매칭이 이

루어졌음을 알 수 있다. 삽입손실을 나타내는 S21은 1.5GHz에서 -0.048dB, 2GHz에서 -0.065dB로써 손실이 매우 작음을 알 수 있다.

## 2.2. 패키징 구조의 제작.

패키징 기판으로는  $500\mu\text{m}$  두께의 pyrex 유리를 사용하였다. 먼저, 유리기판에 air blast를 이용하여 via hole을 형성하였다. Air blast를 이용하여 유리 기판을 관통하면 4인치 기판 전역에 걸쳐 원뿔대 모양의 via를 얻을 수 있다. 그림 3은 via 의 상부 홀 크기가 약  $250\sim 300\mu\text{m}$  이며 하부 홀 크기가 약  $100\sim 150\mu\text{m}$  범위에 드는 제작된 via hole을 보여주고 있다.

via를 형성한 후, 유리기판 위에 스퍼터를 이용하여 전기도금시 씨드층으로 이용될 Cr( $500\text{ \AA}$ )/Au( $1500\text{ \AA}$ ) 박막을 증착하였다. 그림 4는 Seed layer에 전압을 인가한 상태에서 gold를 전기도금하여 feedthrough 로 사용될 부분인 via를 채웠다.

그림 5는 RF-MEMS 소자의 패드와 전기적인 연결을 위하여 두꺼운 PR을 이용하여 몰드를 제작한 후 다시 gold를 전기도금하여 형성된 bump를 보여주고 있다.

본 연구에서는 소자 대신에 CPW(Co-planer waveguide)를 제작하여 패키징 한 후 패키징 구조만의 특성을 측정하였다.

소자의 밀봉실링은 비전도성 에폭시인 B-stage epoxy를 사용하였으며 에폭시를 이용한 패키징 방법에 대해서는 본 세미나의 포스터 세션에서 따로 자세히 설명되어 있다.

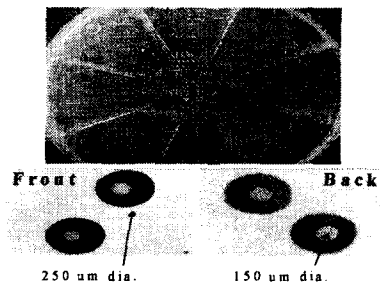


그림 3. Via 형성된 4인치 유리기판과 via 부분의 확대 사진들

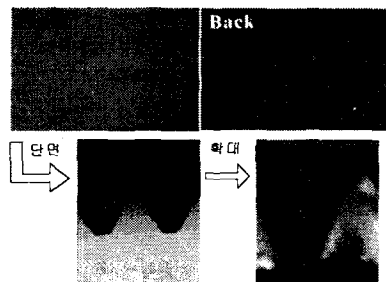


그림 4. Gold 전기도금법으로 채워진 via 사진

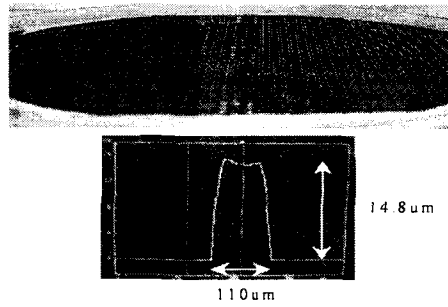


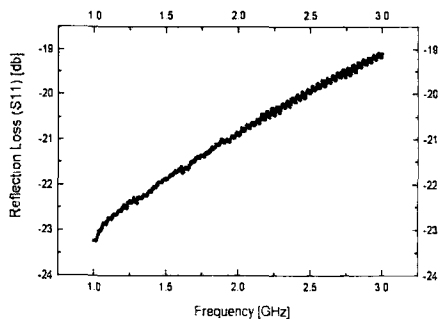
그림 5. 두꺼운 PR 몰드 제작 후 전기도금으로 형성한 웨이퍼 레벨 범프

### 3. Results and Discussion

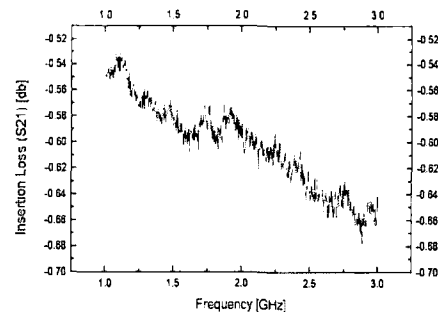
패키징 소자의 초고주파 신호 전달특성을 파악하기 위하여 HP 8753D network analyzer를 이용하여 패키징 손실을 측정하였다. 측정된 반사손실(S11)과 삽입손실(S21)을 그림 6에 나타내었다.

전체 패키징 구조의 손실 측정에 앞서 소자 부분으로 정의된 석영기판의 CPW에 대한 손실을 측정하였다. CPW의 손실을 측정한 결과, 목표 주파수 영역인 3GHz 까지의 범위에 대해 약 0.52 ~ 0.63[dB]의 특성을 얻을 수 있었다.

이후, 전체 패키징 구조에 대한 손실을 측정하였다. 반사손실은 약 20 [dB] 이하이며 삽입손실은 약 -0.53 ~ -0.68 [dB]로서 매우 양호한 특성을 얻을 수 있었다. 여기서, CPW 소자 부분의 손실을



(a) Reflection loss , S11



(b) Insertion loss , S21

그림 6. 패키징 구조의 S-파라미터 측정 결과

계산하면, 패키징 구조 자체의 손실은 약 -0.05 [dB] 이내 이다.

측정된 결과가 시뮬레이션과 차이는 CPW 제작시 신호와 그라운드로 사용되는 금속의 두께가 얇게 증착이 되었으면 또한 패터닝시 소자의 습식식각에 의한 신호라인의 면적과 간격의 차이에 의한 손실이 생겼기 때문이라 생각된다. 또한 bump 와 소자기판의 패드 간 접합 시 접촉저항의 발생으로 인한 손실이 원인일 수 있다고 생각된다. 패키징 자체의 손실은 거의 없었으며, 이 결과는 시뮬레이션 결과와 일치하며, 매우 우수한 값이었다..

## 후기

본 내용은 과학기술부 21세기 프론티어개발사업 중 "지능형마이크로시스템개발사업단"의 연구비 지원을 받아 수행한 연구결과입니다.

## References

- [1] C.T. Nguyen, "Micromechanical circuits for communication transceivers", *Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 142-149, Sep. 2000.
- [2] Zhiping Feng et al., "Design and modeling of RF-MEMS tunable capacitors using thermal actuators", *Microwave Symposium Digest, 1999 IEEE MTT-S International Meeting*, pp. 1507-1510, Vol. 4, June 1999.
- [3] Y.L.Low et al., "RF flip-module BGA package", *IEEE Trans. on Components, Packaging and Manufacturing Technology, Part B : Advanced Packaging*, pp. 111-115, May 1999.
- [4] A.C.Imhoff, "Packaging technologies for RFICs: current status and future trends", *1999 IEEE Radio frequency Integrated Circuits (RFIC) Symposium*, pp. 7-10, 1999.