

A Novel Chip Scale Package Structure for High-Speed systems

고속시스템을 위한 새로운 단일칩 패키지 구조

권기영, 김진호, 김성중, 권오경
 한양대학교 전자전기컴퓨터 공학부

Abstract

In this paper, a new structure and fabrication method for the wafer level package(WLP) is presented. A packaged VLSI chip is encapsulated by a parylene(which is a low k material) layer as a dielectric layer and is molded by SU8 photo-epoxy with dielectric constant of 3.0 at 100 MHz. The electrical parameters (R,L,C) of package traces are extracted by using the Maxwell 3-D simulator. Based on HSPICE simulation results, the proposed wafer level package can operate for frequencies up to 20GHz.

1. Introduction

반도체 칩의 제조 공정이 미세화되고 집적도가 증가함에 따라 최근에는 신호선의 밴드위스가 수십 GHz에 이르고, I/O 수는 수백 개 이상이 요구된다. 많은 I/O 단자를 충족시키기에는 기존의 면적 정렬방식의 BGA나 PGA등이 그 요구를 충족시킬 수 있으나, 기생 인덕턴스에 의해 전압 강하를 발생시키는 동시 스위칭 잡음을 억제시키기 위해 고속의 VLSI 패키지로는 충분하지 않다[1]. 동시 스위칭 잡음을 줄이는 방법으로는 (1) power bus의 인덕턴스를 감소시키는 것, (2) 동시에 스위칭하는 드라이버의 수를 줄이는 것, (3) 칩 내부 회로의 스위칭 전류의 slope을 줄이는 것 등이 있고, 이것이 적절하지 못할 경우, VLSI 칩은 오동작을 하게 된다. (1)은 패키지의 기생 인덕턴스를 감소시키는 것으로 해결할 수 있다. 따라서, 표 1에서 보는 것과 같이 칩 패키지 유형 중에서 BGA나 QFP보다 DC 셀프 인덕턴스가 작은 CSP(Chip scale package)가 활발히 개발되고 있다[2,3]. 현재까지 연구 발표된 CSP 중 Flip Chip Technologies 사의 Ultra CSP는 WLP로서 패드와 솔더 범프간의 연결을 금속증착공정을 통하여 칩과 PWB(Printed Wired Board) 간에 연속적인 연결을 가능하게 하였고, 우수한 내화학성과 소수성(hydrophobic)을 갖는 몰딩 컴파운드(BCB : Benzocyclobutene)를 채용했다[4]. 본 논문에서는 낮은 유전상수와 CVD 공정을 통해 증착되는 parylene과 감광성 재료인 SU8을 이용하여 신호선과 적은 열팽창계수 차이를 가지는 물질들로 칩을 밀폐하고, 반도체 일괄공정이 가능한 웨이퍼 레벨 패키지 구조를 제안한다. 표 2는 BCB와 parylene-F의 특성을 나타내고 있다. 고속 시스템을 위한 범용 패키지로서 고주파수 응답을 해석하기 위해 패키지 내의 신호선들의 R,L,C 파라미터를 추출하고, 신호선을 세그먼트드 럼프트 모델(segmented lumped model)로 구성하여 칩 패드로부터 솔더 범프까지의 인터커넥션 라인의 전기적 특성을 검증한다.

Table 1. Comparison of Electrical Performance among Various Packages[3].

Package	Body size(mm ²)	L _s (nH)
CSP	9.0	0.15-3.7
BGA	27.0	6.8-14.4
QFP	32.0	12.1-15.1

Table 2. Low-K Polymers

Polymer	K (dielectric constant)	Deposition Method	T _{cure} (ambient)	CTE
BCB (benzocyclobutene)	2.6	Spin-on coating	350 °C (N ₂)	52 ppm/degree C
Parylene-F	2.4	Chemical vapor deposition	350 °C (vacuum)	35 ppm/degree C (SU8 42 ppm/degree, Cu 17 ppm/degree)

2. Package Structure and Fabrication Method

제안되는 패키지 구조 제조공정은 그림 1에 나타나 있다. 전극이 개방된 질화막 위에 유전 물질인 parylene을 CVD(PDS : Parylene deposition system)로 수 μm 증착한 후, 칩 패드부분을 제외하고 감광제로 마스크한 후, RIE(Reactive Ion Etcher)를 이용하여, O₂ plasma로 전극패드 부분의 parylene을 건식 식각한다. 구리도금을 위한 seed layer인 Cu를 약 500 Å 증착하고, 두꺼운 감광제를 사용하여 패턴을 하고 선택적인 Cu 도금을 수행한 후, 감광제를 없애고 불필요한 seed layer를 습식 식각(식각액 : FeCl₃ 40% 수용액)하여 제거한다. 솔더 범프의 신뢰성을 높이기 위해 Cu 층 위에 UBM(under bump metallurgy)을 형성한다. 감광제 SU8을 스핀 코팅하여 수십 μm 의 두께를 형성한 후, 노광을 하여 솔더 범프가 형성될 UBM패턴을 개방시킨다. SU8을 경화시킨 후, 솔더 범프를 형성한다.

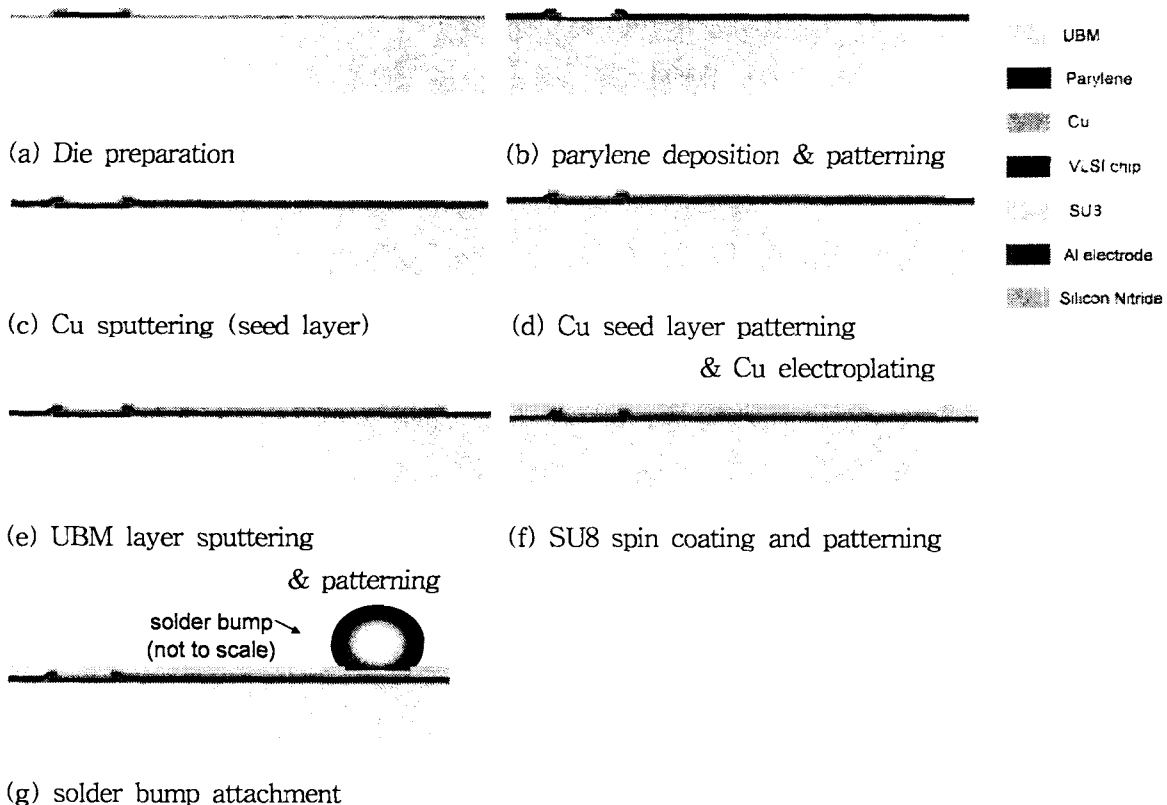


Figure 1. Fabrication process of a novel wafer level package

3. Electrical Simulation

동시 스위칭 잡음을 줄이기 위해서는 power bus line의 기생 인덕턴스가 최소가 되도록 신호선과 솔더 범프를 최적 배치하여야 한다. 면적정렬(area array) 방식 패키지 경우, 다음과 같이 솔더 범프를 최적 배치한다.

- (1) power 수와 ground 수는 같아야한다.
- (2) power는 ground와 가능한 멀리 배치한다.
- (3) power와 ground는 주기적이며 대칭성이 있도록 배치한다.
- (4) 신호선은 될 수 있는 한 power line이나 ground에 가깝게 배치한다.

power bus line의 기생 인덕턴스가 최소가 되도록 최적 배치된 솔더 범프의 예는 그림 2에 도시되어 있다. 제안되는 패키지의 전기적인 특성을 해석하기 위한 시뮬레이션 조건은 솔더 범프의 직경이 100 μm 이고, 높이가 60 μm 이며, 솔더 범프의 간격은 PWB의 간격을 고려하여 400 μm 이다. 각 신호선은 폭은 40 μm 이고, 두께가 5 μm 이며, 위의 최적 배치 조건을 충족시킨다. 그림 2의 최적 배치로부터 대칭 구조의 signal, ground, power 신호를 가지는 솔더범프 3개와 칩 패드까지의 신호선 3개에 대한 R, L, C 파라미터 추출을 Maxwell Q3D extractor를 사용하여 수행하였다[5]. 칩 패드가 칩의 가장자리에 있을 경우, 솔더 범프까지 패드를 재분배할 때, 신호선이 100 μm 일 경우로 가정하여 수행하였다. 패키지의 추출한 파라미터들을 표 3에 나타내었다. 추출한 파라미터를 그림 3과 같이 솔더 범프와 패키지 신호선으로 세분하여 각각 세그먼트드 럼프트 모델로 고려하였고, HSPICE 시뮬레이션을 하였다. 신호의 rising time을 40 psec, 20 psec, 10 psec, 5 psec로 줄여가면서, 신호선의 종단에서의 파형을 관측하였다. 그림 4는 HSPICE 시뮬레이션 결과를 나타낸다.

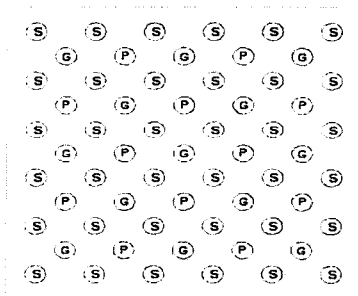


Figure 2. Optimized bump array.

Table 3. Electrical parameters by 3D simulation

SOLDER BUMP (diameter=100 μm)		Wire conductor pattern (Trace length = 100 μm)
Ls	0.018 nH	0.073 nH
Lm	0.002~0.0025 nH	0.033~0.035 nH
Cs	4.73~4.93 fF	6.9~7.8 fF
Cm	2.27~2.67 fF	3.3~4.3 fF
R	2.06 m Ω	11~34m Ω

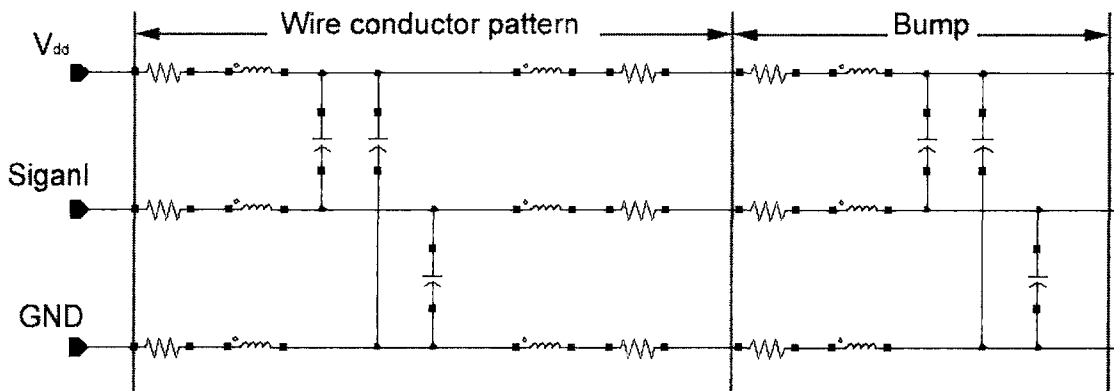


Figure 3. Circuit model for the simulation of electrical performance.

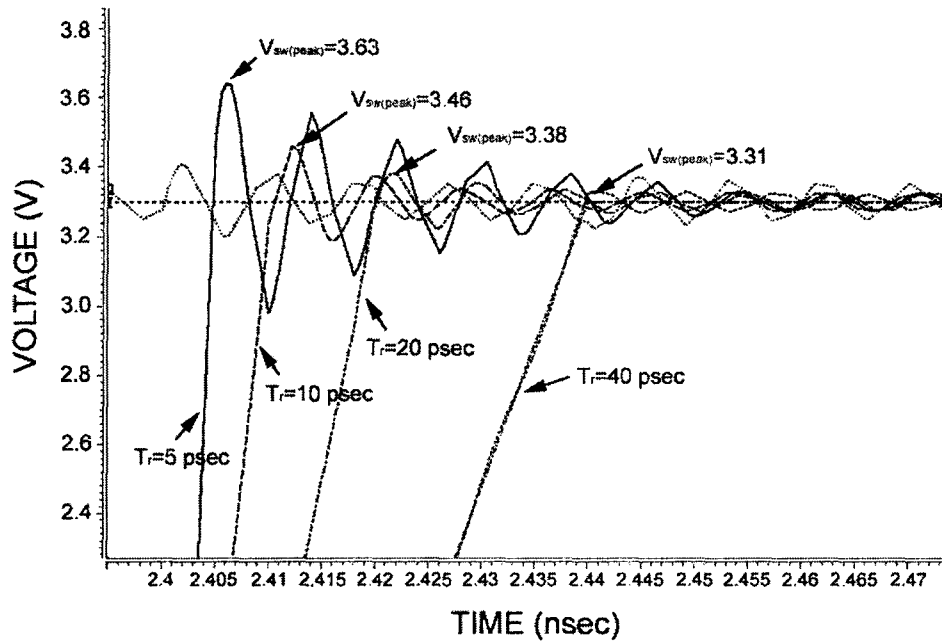


Figure 4. Waveforms of HSPICE simulation.

4. Conclusion

본 논문에서는 웨이퍼 레벨의 패키지를 위한 새로운 패키지 구조와 제작공정을 제안하였다. 제안한 웨이퍼 레벨 패키지는 일괄공정으로 인한 비용절감 효과를 가져올 수 있으며, 고품상비 감광제를 이용함으로써 고집적도의 솔더 범프를 형성하여 I/O수를 증가시킬 수 있고, 금속 배선의 길이가 짧아지므로 기생 인덕턴스에 의한 동시 스위칭 잡음을 감소시킬 수 있다. 제안한 패키지 구조에 대한 전기적인 특성을 시뮬레이션 하였다. 제안한 패키지의 경우, 작은 기생성분을 가짐으로써 고주파수 영역에서 작은 스위칭 잡음을 가지는 것을 확인할 수 있었다. 칩 내 소자의 동작 전압이 3.3V라 하고, 전압 마진은 10%며, 칩 내부에 f Hz의 클럭이 공급될 때, 클럭 펄스의 폭은 $1/2f$ sec이라고 가정했을 경우, 신호의 rising time은 클럭 펄스의 폭의 20%라고 하면 약 $0.1/f$ sec가 된다. 위의 결과로부터 각 구동 주파수에 대한 스위칭 노이즈의 최대 peak값을 그림 5에 나타내었고, 제안된 패키지는 전압마진이 0.33V가 될 때, 주파수가 약 20 GHz임을 확인하였다.

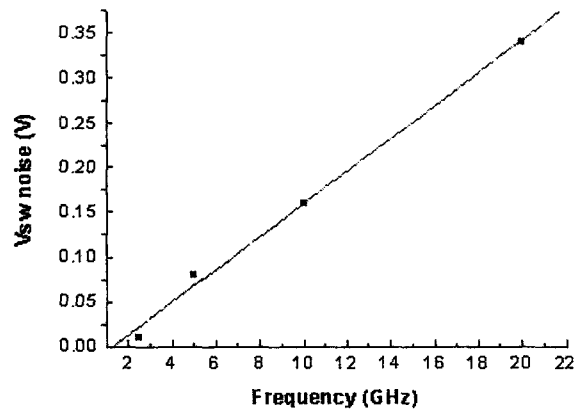


Figure 5. Frequency vs switching noise

ACKNOWLEDGEMENT

본 논문은 한국과학재단 전자패키지재료연구센터의 지원으로 수행하였습니다.

References

- [1] B. Young, "Return Path Inductance in Measurements of Package Inductance Matrixes," *IEEE Trans. CPMT-B*, vol. 20, no, Feb. 1997.
- [2] H. Clearfield, J. Young, S. Wijeyesкера, and L. Logan. "Wafer-Level Chip Scale Packaging: Benefits for Integrated Passive Devices." *IEEE Transactions, Advanced Packaging*, 2000, 247.
- [3] J. H. Lau and S. R. Lee, "Chip Scale Package(CSP) Design, Materials, Processes, Reliability, and Applications." McGraw-Hill, 1999.
- [4] P. Elenius, S. Barrett, and T. Goodman. "Ultra-CSP-A Wafer Level Package." *IEEE Transactions, Advanced Packaging*, 2000, 220.
- [5] Ansoft Corp., Maxwell Q3D extractor User's Reference, Ver. 4.0.05, 1997.