

내장형 캐패시터의 설계 파라미터 추출에 관한 연구 (Design parameters of embedded capacitors)

윤희선*, 유찬세, 조현민, 이영신, 이우성, 박종철
전자부품연구원

Abstract

In this research, the design parameters of embedded capacitors are extracted by modeling and fabrication. The traditional library of capacitor has a few problems in applying the circuit. Its capacitance is discrete, so target values in any circuit often can't be obtained in library. To solve this problem, the characteristics of capacitors are detected in the variation with the shape and structure, and then the capacitors with the expected reactance value at target frequency are obtained. In this procedure, 3-dimensional structure simulation is performed to predict the characteristics of capacitors.

1. Introduction

최근 무선 통신 기기는 개인 휴대통신의 발전으로 인해 점차 소형화에 대한 요구가 커지고 있다. 이에 따라 가격과 신뢰성을 동시에 만족시키면서 부피를 급격히 줄일 수 있는 신기술이 요구되었다. 특히 내장형 passive 소자를 갖는 LTCC 기술은 위의 조건을 모두 만족시킬만한 장점을 모두 지니고 있다.

LTCC 기술을 이용하여 RF module을 제작할 때 chip형 소자를 circuit board 표면에 실장하는 것 보다 RF passive 소자를 내장하는 쪽이 가격과 size에서 훨씬 유리하다. 내장형 passive 소자를 갖는 RF module은 internal substrate layer에 metal structure와 via로 소자를 구현하고 연결한다. 그러나 내장 소자의 자세한 설계치가 부족할 때는 원하는 spec.을 얻을 때까지 design, 제작, test의 과정을 여러 번 반복하게 된다. First time right value를 구현하고 소비적인 과정을 줄이기 위해 library의 제작이 필수적이다. 그러나 이러한 library도 그 용량의 가지수가 한정되기 때문에 원하는 용량을 자유자제로 선택할 수 없다. 본 연구에서는 설계 파라미터 추출을 통해 원하는 용량 및 고주파 특성을 갖는 캐패시터를 설계 및 제작하였다.

2. Experiments

캐패시터 sample을 제작함에 있어 Dupont사의 유전체(Er:7.8)와 silver paste(6142D)를 사용하였고 tape casting에서 동시소성에 이르는 적층공정을 적용하였다. 이에 대한 개략도가 그림 1에 나타나있다.

제작한 캐패시터의 측정에는 Network analyzer(HP 8753D)를 사용하였고 1-port 법을 적용하였다. 캐패시터 패턴의 크기가 달라짐에 따라 pad 간격도 달라지게 되고 이 때문에 측정 지그에 접촉되는 부분도 달라지게 된다. 이 부분에 의한 차이를 보정하기 위해 그림 2의 회로에 따라 그

차이값을 계산하였다.

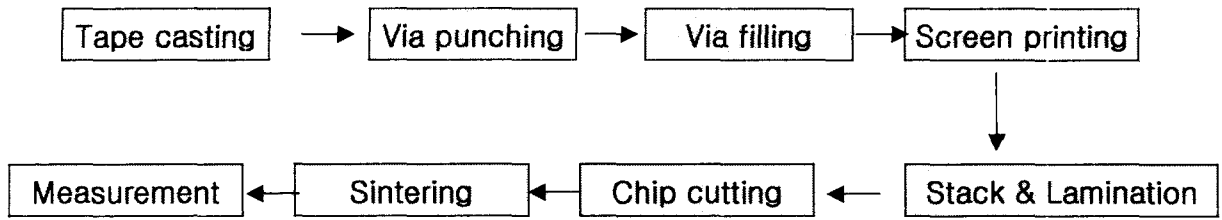


Fig. 1 Flow of multilayer process

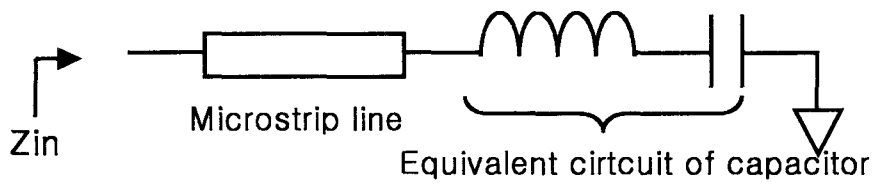


Fig. 2 The compensation of microstrip line

측정지그에 사용된 microstrip line의 구조에 기준하여 2차원 simulation 한 결과 단위 길이당 인덕턴스가 0.32 nH정도 되었고 이를 적용, 보정하여 pad 간격이 다른 sample들의 전기적 특성을 비교하였다.

3. Results and Discussion

3.1. 정사각형 구조에 대한 해석

그림 3에 나타난 대로 정사각형 형태의 캐패시터 전극에 대해 그 경향을 분석하였다.

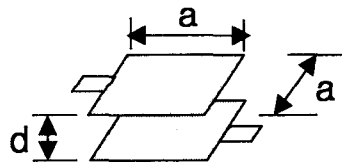


Fig. 3 The shape of capacitor

전극의 크기를 변화시키면서 캐패시턴스 값 변화를 조사하였고 이를 단위면적당의 용량으로 환산하여 비교하였다. 그 결과가 아래 표에 나타나있다.

Table 1 Capacitance per unit area in square structure ($d=19 \mu\text{m}$)

a(mm)	0.5	0.75	1.0	1.25	1.5
C(pF)	1.352	2.758	4.733	7.66	10.56
$A_{\text{eff}}(\text{mm}^2)$	0.2465	0.5547	0.9860	1.5408	2.2186
$C_d(\text{pF}/\text{mm}^2)$	5.48	4.97	4.8	4.97	4.76

위의 결과에서 수 있듯이 단위 면적당 용량이 약 5pF/mm² 정도 되었다. 이를 통해 아래의 식을 얻을 수 있다.

$$C = Cd \times A = 5.0 \times A = 5.0 \times a^2 \quad (1)$$

캐패시터의 고주파 특성을 예측하기 위해서 기생 인덕턴스 값을 계산해 보았는데 그 결과가 아래에 나타나있다.

Table 2 Parasitic inductance of capacitor in square structure

a(mm)	0.5	0.75	1.0	1.25	1.5
L(nH)	0.56	0.644	0.721	0.8	0.865

분석 결과 캐패시터의 IN/OUT 간의 거리가 증가할수록 인덕턴스 값이 증가했고 단위길이당의 인덕턴스는 0.307 nH/mm 정도 되었다. 이를 수식으로 표현하면 아래와 같다.

$$L = 0.56 + (a-0.5) \times 0.307 \quad (2)$$

위의 결과들을 이용하면 정사각형 구조를 적용할 경우 임의의 구조에 대해 고주파 특성을 예측할 수 있다.

$$X = j2\pi fL + \frac{1}{j2\pi fC} \quad (3)$$

$$= j2\pi f(0.56 + 0.307 \times (a-0.5)) + \frac{1}{j2\pi f \times 5 \times a^2}$$

예를 들어 a=1.2 mm 인 경우 C=7.2 pF, L=0.7749 nH 이 되고 2.5 GHz에서의 reactance 성분은 3.33 Ω 이 된다.

3.2. 유효 면적 tuning에 대한 해석

캐패시터의 IN/OUT pad 방향에 수직인 방향으로의 면적 tuning에 대한 경향을 조사하였고 그 모양이 아래 그림에 나타나있다.

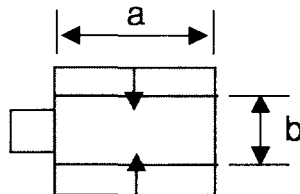


Fig. 4 Tuning the effective area of capacitor

수평방향의 길이를 고정하고 수직방향의 길이를 조절해 가면서 캐패시턴스 변화를 조사하였는데 그 결과는 아래 표와 같다.

Table 3 Capacitance in the variation with vertical length of capacitor

	a=1.0 mm			a=1.5 mm				
b(mm)	0.5	0.75	1.0	0.5	0.75	1.0	1.25	1.5
C(pF)	2.758	3.916	4.733	4.111	6.001	7.74	9.213	10.56

위의 결과에서 알 수 있듯이 면적당 캐패시턴스, 즉 용량 밀도가 캐패시터 내부로 갈수록 더 크게 나타났고 이는 캐패시터의 외곽부분으로 갈수록 field가 내부에 저장되지 못하고 radiation 되는 현상에 기인한다. 위의 결과를 바탕으로 설계 식을 도출하면 아래와 같다.

$$Cd = 5.69 - 0.09\left(\frac{b}{a}\right) - 0.9\left(\frac{b}{a}\right)^2 \quad (4)$$

$$C = Cd \times a \times b \quad (5)$$

고주파 특성을 예측하기 위해서 기생 인덕턴스 성분에 대해서도 계산해보았다.

Table 3 Parasitic inductance in the variation with vertical length of capacitor

	a=1.0 mm			a=1.5 mm				
b(mm)	0.5	0.75	1.0	0.5	0.75	1.0	1.25	1.5
L(nH)	0.719	0.713	0.721	0.85	0.867	0.883	0.859	0.865

이 결과에서 보면 기생 인덕턴스 성분은 IN/OUT 방향에 수직인 방향의 길이에 관계없이 일정함을 알 수 있다. 정사각형 구조해석에서 수평방향의 길이만 변수화한 이유가 바로 여기에 있다. 정사각형 구조는 식(4)에서 $a=b$ 인 경우가 된다. 식(3)에서 캐패시턴스 부분을 식(1)대신 (4),(5)로 대치하면 모양에 관계없이 적용할 수 있는 좀 더 일반적인 식을 도출할 수 있는데 아래에 제시되어 있다.

$$X = j2\pi fL + \frac{1}{j2\pi fC} \quad (6)$$

$$= j2\pi f(0.56 + 0.307 \times (a - 0.5)) + \frac{1}{j2\pi f \times [5.69 - 0.09\left(\frac{b}{a}\right) - 0.9\left(\frac{b}{a}\right)^2] \times a \times b}$$

위의 결과를 이용하면 특정 주파수에서 원하는 reactance를 갖는 캐패시터를 설계할 수 있다.

4. Conclusion

정사각형과 변형된 모양의 캐패시터 구조에 대한 해석을 통해 캐패시턴스와 기생 인덕턴스를 추출하였고 구조와의 관계를 정량화하였다. 단위면적당 캐패시턴스는 내부로 갈수록 증가하였고 기생 인덕턴스는 캐패시터의 IN/OUT 간의 거리에만 영향을 받았다. 위에서 얻은 수식을 이용하여 특정주파수에서 원하는 reactance를 구현할 수 있었고, 특히 캐패시터가 적용되는 모듈 내부의 실제 공간을 고려하면서 설계할 수 있기 때문에 공간 활용 효율도 극대화할 수 있었다.

Reference

- [1] Kieran Delaney, IEEE Transaction on advanced packaging, vol. 22 NO. 1. p.68 February 1999
- [2] Yutaka Taguchi, 2000 Electronics Components and Technology Conference p.454