

# 시간제약조건을 가진 비동기 회로의 효율적 합성을 위한 축소상태그래프의 생성

<sup>0</sup>고기웅<sup>1</sup>, 김의석<sup>1</sup>, 이동익<sup>1</sup>, 서범수<sup>2</sup>

<sup>1</sup>광주과학기술원 정보통신공학과

<sup>2</sup>한국전자통신연구원 전자상거래연구부 SCM연구팀  
{fishbear, uskim, dilee}@kjist.ac.kr, bsseo@etri.re.kr

## Reduced State Graph Generation for Efficient Synthesis of Asynchronous Circuits with Timing Constraints

Ko, Ki Woong<sup>0</sup>, Euseok Kim, Dong-Ik Lee, and Seo, Beom Su

Dept. of Information and Communications, Kwang-Ju Institute of Science and Technology  
SCM Team, Department of EC, ETRI

### 요약

시간 제약 조건을 가진 타임드 페트리넷으로부터 최적화된 비동기식 제어회로를 생성하기 위해서는 시간 분석을 통하여 도달 가능한 상태만으로 구성된 축소 상태 그래프를 생성하는 작업이 매우 중요하다. 본 논문에서는 기존의 방법들이 적용 가능한 타임드 페트리넷의 범주에 제약을 가하거나 혹은 회로의 합성과는 직접적인 상관없이 시간 분석을 위하여 대규모의 시간 상태 그래프를 부가적으로 생성하는 문제를 해결하기 위하여 타임드 페트리넷으로부터 축소된 시간 상태 그래프를 직접적으로 생성하는 방법을 제안한다. 실험 결과는 제안된 방법이 모든 범주의 타임드 페트리넷으로부터 빠른 시간 내에 합성에 충분한 축소된 상태그래프를 생성함을 보여준다.

### 1. 서론

속도 독립 회로(Speed-Independent Circuits)는 무(無) 클럭 왜곡 및 저전력·고성능의 장점을 가지는 대표적인 비동기 회로의 일종이다[1][2]. 속도 독립 회로는 회로 구성 소자들의 임의의 지연시간에 상관없이 올바르게 동작하지만, 이를 위해 다소간 중복적인 회로구조를 가진다. 그러므로 회로의 임·출력 신호들간의 보다 정확한 시간 정보 혹은 시간 제약들을 획득하고 이를 회로의 합성 과정에 반영함으로써 주어진 시간 정보 안에서 올바르게 동작하면서 면적과 동작 속도의 측면에서 보다 최적화된 비동기 회로를 합성 할 수 있다.

시간 제약 조건을 가진 비동기 회로의 사양을 기술하는 타임드 페트리넷으로부터의 합성에서 가장 중요한 과정은 시간 분석을 통하여 도달 가능한 상태만으로 구성된 축소된 상태 그래프를 생성하는 것이며, 기존의 대표적인 작업으로 [3]와 [4]가 있다. [3]의 방법은 주어진 타임드 페트리넷을 비 주기적으로 2세대 연속하여 펼친 후에 이를 분석하여 축소된 상태 그래프를 생성한다. 그러나 [3]의 방법은 사양으로 주어진 타임드 페트리넷의 범주가 결정성 페트리 넷(Deterministic Petri Net)으로 한정되는 치명적인 문제점을 가진다. [4]는 정확한 시간 분석을 위해 시간 상태 그래프를 생성한 후에 이로부터 축소된 상태 그래프를 생성한다. 그러나 부가적으로 생성되는 상태 그래프의 생성 시간과 규모가 매우 커서 시간 제약 조건을 가진 비동기 회로의 효율적인 합성 과정에는 적합하지 않다는 단점을 갖는다.

본 논문에서는 임의 구조의 타임드 페트리넷으로부터 별도의 시간 상태 그래프를 생성함이 없이 직접적으로 축소된 상태 그래프를 생성하는 방법을 제안한다. 제안된 방법은 상태 그래프의 상태에 대응하는 토큰을 가진 장소들의 집합에서, 각각의 장소에 누적된 시간구간을 분석하여 도달 가능한 상태만을 생성함으로써 타임드 페트리넷으로부터 직접적으로 축소된 상태 그래프를 생성할 수 있다.

2장에서는 시간 제약 조건을 가진 비동기 회로의 사양 기술 방법인 타임드 페트리넷에 대하여 설명한다. 본 논문의 핵심인 3장에서는 임의의 타임드 페트리넷으로부터 직접적으로 회로의 합성에 충분한 축소된 상태 그래프를 생성하는 방법을 설명한다. 4장과 5장에서는 실험 결과 및 본 논문의 결론을 제시한다.

### 2. 타임드 페트리넷 (Timed Petri-net)

**정의 2.1 (타임드 페트리넷)** 타임드 페트리넷은  $\Sigma_T = (P, T, F, M_0, \Delta)$ 의 5-튜플로 정의한다.  $P$ 는 장소(place)의 집합이며,  $T$ 는 전이(transition)의 집합을 나타낸다.  $F$ 는  $F \subseteq (P \times T) \cup (T \times P)$ 로 전이(장소)와 장소(전이)사이의 연결들의 집합이다.  $M_0$ 는 초기 마킹으로 초기적으로 토큰을 가지고 있는 장소들의 다중집합이다.  $\Delta$ 은 장소에 대한 시간제약으로  $(L, U)$ 로 표시하며  $L$ 은 하위제약(Lower Bound),  $U$ 는 상위제약(Upper Bound)을 나타낸다. 이때  $L$ 과  $U$ 는 이때  $0 \leq L \leq \infty, 0 \leq U \leq \infty, L < U$ 이다.

타임드 페트리넷은 페트리넷[5]의 한 종류로서 페트리넷의 기본적인 속성을 포함하며 추가로 다음과 같은 성질을 갖는다. 타임드 페트리넷의 장소  $p$ 에 토큰이 들어오면  $p$ 에 대응하는 시간  $c$ 는 0부터 순차적으로 증가한다.  $p$ 에 대하여  $c$ 가  $L$ 이상  $U$ 이하이면  $p$ 는 만족되어졌다고 하며,  $c$ 가  $U$ 보다 클 경우  $p$ 는 만료되어졌다고 한다. 이때 토큰은  $[L, U]$ 사이에서 발생(token fire)할 수 있다. 타임드 페트리넷의 전이  $t$ 의 모든 전위장소(Preplace)들이 만족되면 전이  $t$ 는 점화 가능하며  $t$ 가 점화한 후에는  $t$ 의 전위장소에 있던 토큰들은  $t$ 의 후위장소(Postplace)들로 옮겨진다. 타임드 페트리넷의 시간 제약  $\Delta$ 는

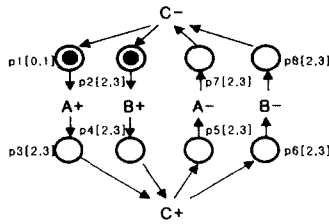


그림 1. 타임드 페트리넷의 예

합성될 제어회로의 입·출력 신호들의 발생에 대한 시간 제약을 나타낸다. 예를 들어, 그림 1의 타임드 페트리넷에서  $p2[2, 3]$ 은 C의 값이 0으로 전이한 후에 적어도 2만큼의 시간이 흐른 후에 그러나 3만큼의 시간이 지나기 전에 B의 값이 1로 전이함을 나타낸다. 타임드 페트리넷의 동작에 관한 보다 상세한 설명은 [3, 4]를 참조하도록 한다. 그림 1은 타임드 페트리넷의 예이다.

3. 축소상태그래프(Reduced State Graph)의 생성

타임드 페트리넷으로부터 생성한 상태그래프는 일반 페트리넷으로부터 생성한 상태그래프와 비교하여 도달 가능한 상태수가 줄어들게 된다. 이때 타임드 페트리넷의 상태그래프를 축소상태그래프라 하며 축소상태그래프는 상태그래프에 포함된다. 축소상태그래프는 회로생성을 위한 입력이 되며 상태수가 작을수록 간단한 회로를 합성할 수 있다. 그림 2의 (a)는 그림 1로부터 시간제약조건을 제거했을 경우 생성된 상태그래프이고, 그림 2의 (b)는 시간제약조건을 고려하여 상태수가 줄어든 축소상태그래프이다. 그림 2의 (b)는 상대적으로 고려해야하는 상태의 개수가 줄어들어 합성 시 더 좋은 성능을 보인다. 축소상태그래프생성에 관한 더 자세한 설명은 [3]를 참고한다.

본 논문에서 제안한 축소 상태그래프 생성 방법은 알고리즘 1에 기술되어 있다. 일반적인 상태그래프 생성알고리즘과 거의 유사하나 각 상태에 존재하는 마킹에 대해 시간을 계산하는 부분과 이러한 시간을 이용하여 점화 가능한 전이를 선택하는 방법이 추가되었다. 다음은 알고리즘에 추가된 부분에서 사용하는 정의 및 정리이다.

정의 3.1 (토큰발생 시간) 축소상태그래프의 각 상태에 대응하는 타임드 페트리넷의 마킹에서, 토권을 가지고 있는 각각의 장소들과 상태와 상태를 연결하여 주는 전이들은 다음과 같이 정의되는 초기 마킹으로부터의 누적 시간  $\Phi(p) = [L, U]$ 와  $\Phi(t) = [L, U]$ 을 가진다.

- 1)  $\Phi(p) = [\Delta(p)'L, \Delta(p)'U]$ : p는 초기 마킹에 속한 장소를 나타낸다.
- 2)  $\Phi(p) = [\Phi(t)'L + \Delta(p)'L, \Phi(t)'U + \Delta(p)'U]$ : p는  $M \setminus t \setminus M'$ 에서  $p \notin M$  이나  $p \in M'$ 인 장소이다. t는 마킹 M으로의 입력 전이를 나타낸다. M과 M'에 모두 속하는 p는 마킹 M에서와 동일한 누적시간을 가진다.
- 3)  $\Phi(t) = [\max\{\Phi(p)'L \mid p \in \cdot t\}, \max\{\Phi(p)'U \mid p \in \cdot t\}]$   
:  $\cdot t$ 는 t의 전위장소들의 집합이다.

마킹을 이루는 각 장소들의 누적 시간  $\Phi$ 는 그 장소가 토권을 가질 수 있는 가장 빠른 시간과 토권이 발생하는 가장 늦은 시간을 표시하는 제약이다. 전이는 전위 장소가 토권으로 채워져서 모두 토권 점화 가능한 가장 빠른 시간부터 가장 늦은 시

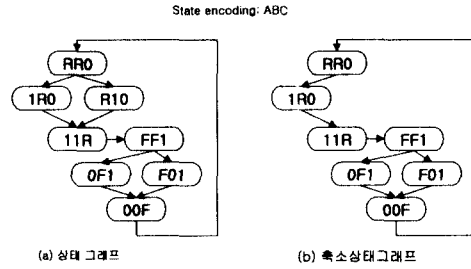


그림 2. 상태그래프와 축소상태그래프

Algorithm get\_RSG ( $\Sigma_T = (P, T, F, M_0, \Delta)$ )

```

{
  Reached := From := M0 ;
  do {
    New := ∅ ;
    for each s ∈ From
    {
      firable := GetFirable(From);
      for each transition t ∈ firable
      {
        newstate := GetNewState(s, t);
        Time_Accumulation(newstate, s);
        New := New ∪ newstate;
      }
      From := New - Reached;
      Reached := New ∪ Reached;
    }
  } while (From ≠ ∅)
}
    
```

알고리즘 1. 축소상태그래프 생성 알고리즘

간을 제약으로 갖는다. 정의 3.1은 알고리즘 1에서 Time\_Accumulation()에 해당하는 부분으로 이전상태와 새로 생성된 상태를 비교하여 시간을 계산한다. 시간은 정의 3.1에 의해 계산되고, 이전 상태에 존재하던 전이와 장소들은 동일한  $\Phi$ 를 갖는다.

정의 3.2 (점화 가능한 전이) 축소상태그래프의 한 상태 s에서 다음의 두 조건들 중에서 하나를 만족하는 전이 t는 점화 가능하다. 상태 s에 대응하는 마킹 M에서 시간 제약을 고려하지 않았을 때 점화 가능한 전이들의 집합을  $T_{en}$ 이라고 하면,

- 1)  $\Phi(t)'L = \min\{\Phi(t)'L \mid t \in T_{en}\}$ 을 만족하는 전이 t는 상태 s에서 점화 가능하다.
- 2) (1)의 조건을 만족하는 전이 t'에 대하여,  $\Phi(t)'L \leq \Phi(t')'U$ 을 만족하는  $T_{en}$ 에 속한 전이 t는 상태 s에서 점화 가능하다.

즉 주어진 마킹에서 구조적으로 점화할 수 있는 전이중 시간적으로 가장 빠르게 나타날 수 있는 전이와 이 전이의 누적시간과 교차하는 누적시간을 가진 전이는 점화할 수 있다. 정의 3.2는 알고리즘 1에서 GetFirable()에 해당한다.

그림 3은 그림1의 타임드 페트리넷을 통해 그림 2 (b)의 축소 상태그래프를 생성하기 위한 과정의 일부이다. 초기상태에서 토큰발생 시간은 정의 3.1의 1)에 따라 값을 계산한다. 초기상태에서 시간제약을 고려하지 않았을 때 점화 가능한 전이는

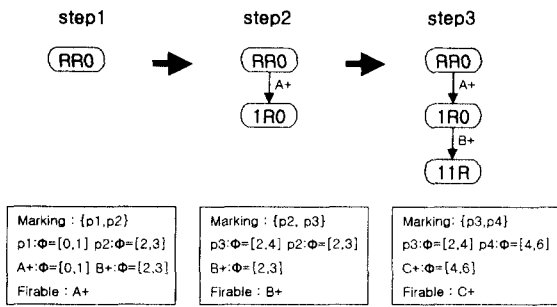


그림 3. 축소상태그래프의 생성과정

A+,B+이고 정의 3.1의 3)에 따라 시간을 계산하면 정의 3.2의 1)에 따라 점화 가능한 전이는 A+이다. 이 전이를 점화하여 다음 상태로 이동하면서 새롭게 생성되는 마킹 {p3, p4}는 정의 3.1의 2)에 따라 전이 A+의 시간에 자신의 Δ값을 더하여 시간 값 Φ를 갖는다. 계속 동일한 방법으로 더 이상 추가되는 상태가 없을 때까지 상태를 추가하면 그림 2의 (b)와 같은 축소상태그래프를 얻을 수 있다.

알고리즘 3.1에 의해 생성되는 축소상태그래프가 합성 시 올바른 동작을 보장하려면 다음과 같은 정리를 만족하여야 한다.

**정리 3.1** 알고리즘 3.1에 의해 유도된 축소상태그래프는 타임드 페트리넷으로부터 생성 가능한 모든 상태를 포함한다.  
**증명** > 알고리즘 3.1에 의해 생성되는 축소상태그래프가 타임드 페트리넷의 상태들을 포함하려면 축소상태그래프의 각각의 상태에서 타임드페트리넷에서 점화 가능한 전이의 집합은 정의 3.2에 의해 선택되는 전이의 집합에 포함되어야 한다. 양쪽 모두 생성되는 초기상태는 같고 초기상태로부터 유도되는 모든 상태에서 동일한 전이 선택 알고리즘을 사용한다. 그러므로 정의 3.2의 전이 선택 방법이 타임드 페트리넷의 행위를 위배하지 않음을 보이면 된다. 여기서는 대우를 취하여 알고리즘 3.2에서 점화 가능하지 않으면 타임드 페트리넷에서도 점화 가능하지 않음을 증명한다. 더 자세한 증명은 [6]을 참고한다.

4. 실험 결과

표1은 타임드 페트리넷으로 기술된 사양에 대하여 시간 분석을 통해 축소상태그래프를 생성하는데 소요된 시간 및 상태의 개수를 측정 한 것이며, 펜티엄 866Mhz, 메모리 128M에서 측정하였다. ATACS는 미국의 유타대학교(University Of Utah)에서 개발된 시간제약조건을 가진 비동기 회로를 위한 합성틀로서 시간상태그래프를 생성한 다음, 이를 이용해 다시 축소상태그래프를 생성한다. New Algorithm이란 본 논문에서 제안한 축소상태그래프를 생성하는 방법이다. 위에서 상태수는 축소상태그래프의 상태의 개수를 말한다. 위의 실험결과를 통하여 보았을 때 생성 시간과 생성 가능한 축소상태수에서 본 논문에서 제안한 방법이 더 좋은 성능을 보인다는 것을 알 수 있다. 특히 ATACS의 경우 시간상태수가 5만개만 넘어도 상태공간 생성에 실패하여 결과적으로 실제 4000 정도의 상태수를 가지는 회로의 합성에도 실패한다. 하지만 본 논문에서 제안한 방법은 시간상태를 생성하지 않으므로 축소상태공간 생성시간을 현저히 줄일 수 있다. 특히 상태공간 생성시간 측면에서 ATACS와 비교했을 때 현저한 속도의 향상을 보인다.

표 1. ATACS와의 제안된 알고리즘을 통하여 생성된 축소상태그래프들의 상태개수 및 생성시간 비교

타입드 페트리넷	ATACS		New Algorithm		시간 복잡도
	소요 시간	상태개수/생성수	소요 시간	상태개수	
타입드 페트리넷	0.00s	241/6	0.00s	18	20
타입드 페트리넷	0.11s	654/50	0.34s	55	70
타입드 페트리넷	0.32s	1182/8	0.00s	8	8
타입드 페트리넷	0.90s	429/43	0.01s	44	44
타입드 페트리넷	0.00s	13/9	0.00s	9	9
타입드 페트리넷	0.00s	128/30	0.00s	35	35
타입드 페트리넷	0.00s	38/11	0.00s	11	12
타입드 페트리넷	0.00s	42/14	0.00s	14	32
타입드 페트리넷	0.01s	82/24	0.00s	24	80
타입드 페트리넷	0.05s	208/42	0.02s	42	182
타입드 페트리넷	0.15s	464/76	0.06s	76	448
타입드 페트리넷	0.44s	1042/142	0.15s	142	1024
타입드 페트리넷	1.33s	2324/272	0.39s	272	2304
타입드 페트리넷	4.99s	5142/530	0.97s	530	5120
타입드 페트리넷	12.78s	11288/1044	2.41s	1044	11264
타입드 페트리넷	45.23s	24682/2070	5.93s	2070	24576
타입드 페트리넷	N/A	N/A	14.43s	4012	53248
타입드 페트리넷	N/A	N/A	34.70s	8218	114688

5. 결 론

임의의 소자지연에 상관없이 올바르게 동작하는 속도독립 회로에 대하여, 시간 제약을 가진 비동기 회로는 시간제약만 충족된다면 면적과 성능의 측면에서 속도독립회로에 비하여 보다 최적화되어질 수 있다. 그러나 기존의 방법들은 최적화를 위한 시간 분석 과정에서 중간단계로 시간상태그래프를 사용함으로써 새로운 상태공간폭발 문제를 야기할 수 있으며 결과적으로 속도 독립 회로에서 빠른 시간 안에 합성 가능한 상태수를 가지는 회로의 경우에도 합성에 실패할 수 있다. 본 연구에서는 이러한 상태공간폭발의 원인이 되는 시간상태그래프 생성단계를 제거함으로써 현저한 속도 향상을 얻었다. 게다가 제안된 방법은 임의의 구조의 타임드 페트리넷으로부터 축소상태그래프를 생성할 수 있다. 하지만 시간 관계 계산에 최소한의 정보만을 이용함으로써 회로 기술의 종류에 따라 시간상태그래프로부터 얻을 수 있는 상태그래프보다 상태의 개수가 많은 축소상태그래프를 얻는 경우도 있다. 하지만 최악의 경우에도 무한 지연을 가정한 회로의 상태그래프와 같은 개수의 상태를 생성한다. 그러므로 본 논문에서 제안한 방법은 시간제약을 가진 비동기 회로의 효율적 합성을 위해 효과적으로 이용될 수 있으리라 생각한다.

참 고 문 헌

[1] S. Hauck, "Asynchronous design methodologies: An overview," Proc. IEEE, vol.83, no.1, 1995  
 [2] E. Pastor, J. Cortadella, A. Kondratyev, and O. Roig, "Structural methods for the synthesis of speed-independent circuits," IEEE Trans. CAD., vol.17, no.11, 1998  
 [3] C. J. Myers, T. H.-Y. Meng, "Synthesis of Timed Asynchronous Circuits," IEEE tans. ON VLSI SYSTEMS, vol. 1, no.2, 1993  
 [4] C. J. Myers, T. G. Rokicki, and T. H.-Y. Meng, "POSET Timing and its Application to the Synthesis and Verification of Gate-Level Timed Circuits," IEEE Trans. on CAD, vol.18, no. 6, 1999  
 [5] T. Murata, "Petri Nets: Properties, Analysis and Applications," Proc. IEEE, vol.77, no.4, 1989  
 [6] K. W. Ko, "Reduced State Graph Generation for Efficient Synthesis of Asynchronous Circuits," Technical Report ,TR-01-08-20 , http://csrl.kjist.ac.kr/~kwko.