

# ACE2000 MPLS 시스템을 위한 VC 머징 제어기 설계

박완기<sup>1\*</sup> 박대근<sup>2\*</sup> 정연쾌<sup>3\*</sup> 김대영<sup>4\*</sup>  
한국전자통신연구원 네트워크 연구소<sup>1</sup> 충남대학교 정보통신공학과<sup>2</sup>  
wkpark@etri.re.kr

## A Design of VC merging controller for MPLS systems over ACE2000

Wan-Ki Park<sup>1\*</sup> Dae-Geun Park<sup>2\*</sup> Youn-Kwae Jeong<sup>3\*</sup> Dae-Young Kim<sup>4\*</sup>  
Network Labs. ETRI, Dept. of Info. & Comm. Eng. Chungnam Nat' Univ.

### 요 약

ACE2000 MPLS 시스템은 대용량 국가 교환시스템으로 사용하기 위해 개발한 ACE2000 ATM 교환시스템에 Ships-in-the-night 모드 형태로 MPLS 기능을 추가함으로써 사용자들에게 차별화 된 서비스를 제공할 수 있는 시스템이다. MPLS 시스템에서는 채널 사용의 유연성과 채널 자원의 효율적인 사용을 위해 VC 머징 기능을 요구하고 있다. ACE2000 MPLS 시스템에서는 고성능 SAR 소자를 이용하여 VC 머징 모듈을 개발하여 사용하고 있다. VC 머징 기능을 위해서는 고성능 SAR로 구성되어 있는 입력부로부터 패킷을 받아들이 채널 연결설정 정보에 따른 VC 머징 제어기의 패킷 처리 후 또 하나의 고성능 SAR로 구성되어 있는 출력부로 전달하여야 한다. VC 머징 제어기에서는 머징 수신부로부터 UTOPIA-2 인터페이스를 통해 패킷을 받아들이 일반 AAL-5 데이터 패킷, 포워딩 엔진 제어 및 PPP 제어 등을 위한 EFC 패킷 그리고, 순수 ATM 셀로 구분/처리한 후 UTOPIA-2 인터페이스를 통해 머징 송신부로 보내고 있다. 본 논문에서는 ACE2000 MPLS 시스템에 도입된 VC 머징 기술에 대한 내용으로서 고성능 SAR 소자를 이용한 VC Merger의 핵심 기술인 VC 머징 제어기 설계기술에 대하여 언급하였다.

### 1. 서 론

폭발적으로 증가하는 인터넷 사용자의 증가 및 대용량 서비스를 필요로 하는 사용자들의 요구 서비스에 대한 다양화는 기존의 인터넷 구조로서는 더 이상 수용할 수 없는 한계에 이르렀다. 따라서, 기존의 네트워크 상황을 고려하면서 이러한 위기 상황에 대처하기 위해 등장하기 시작한 것이 MPLS(Multi Protocol Label System)이다. MPLS 시스템을 직접 적용하는 가장 현실적인 방법이 현재 개발되어 있는 ATM 교환기의 L2 스위칭 기능을 활용하는 것이다. ACE2000 MPLS 시스템은 국가 교환망으로 사용하기 위해 개발된 ACE2000 ATM 교환시스템에 ships-in-the-night 모드 형태로 ATM 교환시스템에 MPLS 기능을 추가함으로써 사용자들에게 차별화 된 서비스를 제공할 수 있는 시스템이다. MPLS 시스템에서는 채널 사용의 유연성 및 채널 자원의 효율적인 사용을 위해 VC 머징 기능이 요구되어 진다<sup>[1][2][3][4]</sup>. ACE2000 MPLS 시스템에서는 고성능 SAR 소자를 이용하여 VC 머징 모듈을 구성하여 개발하였다.

본 논문에서는 ACE2000 MPLS 시스템의 VC 머징 시스템 및 시스템의 요구조건에 대하여 언급하였고, 이 요구조건을 바탕으로 만들어진 VC 머징 엔진의 제어기 설계 및 시험결과에 대하여 논한다.

### 2. ACE2000 MPLS VC 머징 시스템 및 요구 조건

ACE2000 MPLS 시스템은 국가 교환망에 사용하기 위해 개발된 ATM 교환시스템에 Ships-in-the-night 모드 의 구조를 갖도록 하여 ATM 교환기 본래의 기능을 그대로 유지하면서 MPLS 기능을 추가하는 형태로 개발된 시스템이다. 따라서, 이 시스템은 그림 1에서 보는 바와 같이 ACE2000 AIM(ATM Interface Module)의 기본 구조에 하드웨어로 구성된 고성능 패킷 포워딩 엔진 및 VC 머징 기능을 갖는 보드가 가입자 보드 및 ATM 보드 사이에 추가되는 구조로 하드웨어 형상을 구성하게 된다. ACE2000 MPLS 한 모듈은 2.5Gbps의 트래픽 처리 용량을 갖는 시스템으로서 이 모듈은 LER(Label Edge Router) 또는 LSR(Label Switching Router)로서 동작할 수 있다. 본 논문에서 언급하고자 하는 VC 머징 제어기는 ACE2000 MPLS 시스템의 MIM(MPLS Interface Module) 구조에서 그림 1에서 보는 바와 같이 가입자 보드와 ATM 보드 사이의 위치하는 HFMA(High-performance Forwarding engine & VC Merging board Assembly)의 한 블록을 구성하는 VC 머징 모듈의 제어기 이다. VC 머징 모듈은 두 개의 고성능 SAR 소자, VC 머징 제어기(FPGA) 및 그 주변회로로 구성된 모듈이다.

VC 머징 모듈에서 처리되어야 하는 데이터는 ACE2000 AIM ATM 보드인 HALA(High speed ATM layer board Assembly) PBA로부터 ATM 셀

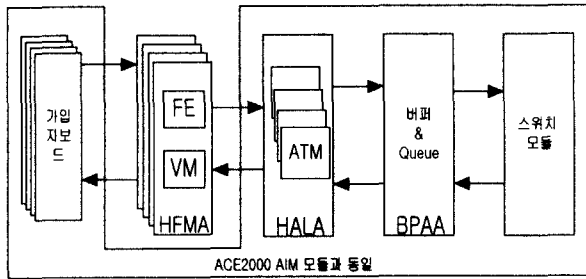


그림 1. ACE2000 MPLS 모듈 구성도

타입으로 입력된다. ATM 셀로 VC 머징에 입력된 패킷은 상위의 채널 설정 정보에 따라 고성능 SAR 소자에서 AAL-5 프레임은 재조립 과정을 거친 후 오버헤드를 붙인 후 VC 머징 제어기로 전달되고, 순수 ATM 셀인 경우에는 셀 조립과정 없이 오버헤드만을 붙인 후 VC 머징 제어기로 전달된다.<sup>15)</sup>

3. VC 머징 제어기 설계 및 구현

3.1 VC 머징 제어기 구조

ACE2000 MPLS 시스템에서의 VC 머징은 고성능 SAR 소자를 이용하여 구성되었다. 그림 2는 ACE2000 MPLS 시스템의 VC 머징 모듈 구성도를 보여준다. 그림 2에서 보는 바와 같이 VC 머징 모듈로 입력되는 모든 패킷들은 ATM 셀 형식으로 스위치 모듈로부터 ATM 모듈을 거쳐 VC 머징 모듈에 입력되게 된다. VC 머징 모듈로 입력된 셀은 고성능 SAR 소자 및 패킷 메모리로 구성된 수신부에서 재조립(Reassemble) 과정을 거친다. 패킷으로 재조립된 패킷들은 UTOPIA 패킷 모드 인터페이스를 통해 VC 머징 제어기로 입력된다. VC 머징 제어기로 입력된 패킷은 패킷 유형에 따라 VC 머징 테이블로부터의 룩업된 채널 설정 정보에 의해 일련의 패킷 처리를 거친 후 또 하나의 SAR로 구성된 VC 머징 송신부로 전달되게 된다..

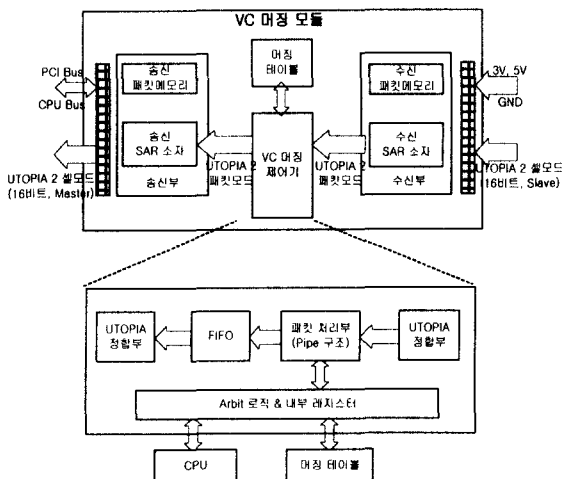


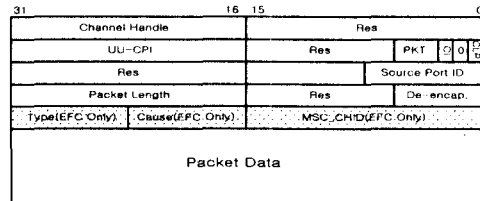
그림 2. VC 머징 제어기 구조도

VC 머징 제어기에서는 그림 2에서 보는 바와 같이 두 개의 고성능 SAR 소자 정합을 위한 UTOPIA 정합부, Pipe 구조로 되어 있는 패킷 처리부, 패킷 흐름 제어를 위한 FIFO 및 CPU와 SSRAM으로 구성되어 있는 머징 테이블 제어를 위한 Arbit 로직 & 디버깅 및 통계처리를 위한 내부 레지스터로 구성되어 있다.

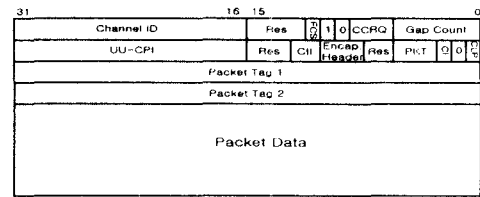
MPLS 시스템에서 사용되는 제어 패킷인 경우 같은 AAL-5 조립과정을 거친 후 VC 머징 제어기로 전달되게 된다. VC 머징 제어기는 VC 머징 기능을 수행하기 위한 일련의 패킷 처리 과정을 거친 후 VC 머징 출력부 기능을 담당하는 또다른 고성능 SAR로 전달되게 된다. 이 때, VC 머징 모듈의 입출력부 기능을 담당하는 2 개의 고성능 SAR와 VC 머징 제어기의 인터페이스는 16 비트 UTOPIA Level-2 인터페이스가 사용된다.

3.2 패킷 유형에 따른 처리

VC 머징 모듈로 입력되는 셀들은 상위로부터의 채널 연결 설정 정보에 따라 해당 패킷이 AAL-5 프레임인 경우 고성능 SAR 소자의 기능에 의해 재조립된 후 Canonical 헤더라고 불리는 오버헤드를 붙인 후 VC 머징 제어기로 전달되고, 순수 ATM 셀인 경우에는 SAR 소자에서 재조립 과정을 거치지 않고 오버헤드만을 붙여 그대로 전달(바이패스) 된다. VC 머징 제어기와 수신부의 연결은 VC 머징 제어기에서 처리되는 패킷 유형은 일반 AAL-5 데이터 패킷, EFC(Extended Forwarding Control) 패킷, 순수 ATM 셀의 3 가지 패킷으로 구분하여 처리된다. Canonical 헤더 부분은 SAR 소자에서 셀 재조립 후 패킷 모드로 처리할 수 있도록 SAR 소자에서 사용되는 채널 핸들 값, 패킷 유형, 패킷 길이, 송신 포트 식별값 등의 16바이트로 구성된 오버헤드 필드이다. VC 머징 제어기에서 수신 및 송신시의 패킷 포맷은 그림 3과 같다.



a) 수신 시의 프레임 포맷



b) 송신 시의 프레임 포맷

그림 3. VC 머징 제어기에서의 프레임 포맷

실질적으로 VC 머징 제어기의 임무는 상위로부터의 채널 설정에 따라 그림 3. a)의 모양으로 수신된 패킷

을 그림 3. b)의 모양으로 패킷을 변환한 후 VC 머징 송신부에 보내는 것이다.

3.2.1 일반 데이터 패킷(AAL-5 프레임)

일반 데이터 패킷은 그림 3. a) 형식으로 된 패킷을 수신하여 첫번째 필드가 채널 핸들(Channel Handle)값을 오프셋 값으로 하여 머징 테이블로부터 VC 머징 송신부의 SAR 소자에서 사용될 채널 식별값(Channel Identifier)를 찾아내어 해당 필드를 변환하여 VC 머징 송신부로 UTOPIA-2 인터페이스를 통해 전달하게 된다. 그림 4.는 패킷 유형에 따른 머징 테이블의 각 필드의 의미를 보여준다.

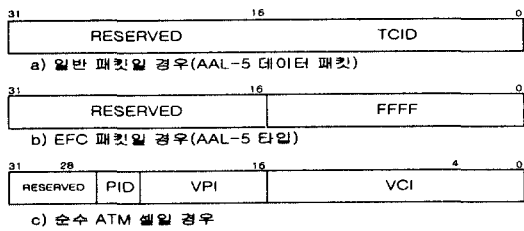


그림 4. VC 머징 테이블 구성

3.2.2 EFC(Enhanced Forwarding Control) 패킷

ACE2000 MPLS 시스템에서 사용되는 제어 패킷은 MSC(MPLS Service Controller) 하드웨어 포워딩 엔진을 제어하기 위해 사용된다. 이 패킷은 AAL-5 패킷 포맷으로 전달되고, 그림 3. a)에서 보는 바와 같이 EFC 패킷은 일반적인 패킷 오버헤드에 패킷 페이로드(Payload) 부분에 제어를 위해 필요한 "Type", "Cause" 필드와 이 제어 패킷에 대한 응답을 보내기 위해 MSC의 채널 식별값이 포함되어 있다. 이 패킷에 대한 VC 머징에서의 처리는 먼저 패킷이 수신되면 일반 AAL-5 패킷과 마찬가지로 채널 핸들값을 오프셋 값으로 하여 머징 테이블로부터 TSAR의 채널 식별값을 찾아낸다. 그러나, EFC 패킷일 경우 머징 테이블로 읽어온 이 채널 식별값은 "FFFF" 값을 갖게 된다. 이 값을 갖는 패킷은 EFC 패킷으로 판단하여 페이로드의 "MSC\_CHID" 필드의 값으로부터 머징 송신부의 SAR 소자에서 사용될 채널 식별값으로 변환하게 된다. 이렇게 처리된 패킷은 일반 AAL-5 프레임과 마찬가지로 머징 송신부에 전달되게 된다.

3.2.3 순수 ATM 셀(Raw Cell)

순수 ATM 셀은 앞에서 언급한 바와 같이 머징 송신부의 SAR 소자에서 재조립 과정을 거치지 않고, 패킷 오버헤드만을 붙인 후 머징 제어기로 보내진다. 머징 제어기에서는 패킷이 수신되면 일반 AAL-5 데이터 패킷과 마찬가지로 채널 핸들값을 오프셋값으로 하여 머징 테이블로부터 포트 식별값(PID, Port Identifier), VPI, VCI 값을 추출하게 된다. 머징 제어기의 패킷 처리부에서 수신된 패킷 오버헤드의 패킷 유형 필드(PKT, Packet Type) 필드를 검사하여 이 패킷이 순수 ATM 셀이면, 송신부 SAR 소자에서 사용될 채널 식별값은 미리 설정된 대표 채널 식별값으로 대체하고, 그림 3. b)의 "Packet Tag 2" 필드에 머징 테이블로

부터 찾아낸 VPI, VCI값을 대체한 후 송신부의 SAR 소자에 보냄으로써 머징제어기의 기능을 완성된다.

VC 머징 모듈로 입력되는 패킷은 그 종류에 따라 다음과 같은 절차로 요약되어 패킷 유형에 따라 구분되어 처리되게 된다.

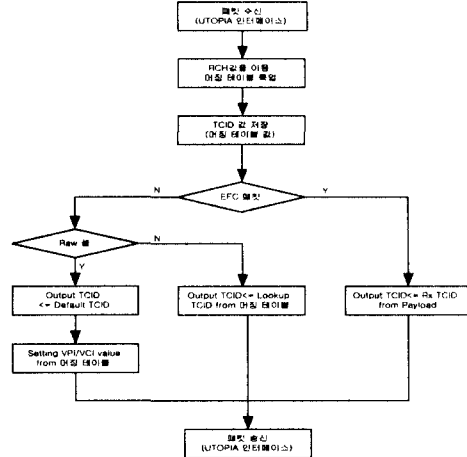


그림 4. VC 머징 제어기의 패킷 처리 절차

4. 결론

ACE2000 MPLS 시스템에서는 채널 사용의 유연성 및 채널 자원의 효율적인 사용을 위해 VC 머징 기능을 제공할 수 있는 VC 머징 장치를 개발하였다. 본 논문에서는 고성능 SAR 소자를 이용하여 개발된 VC 머징 모듈의 핵심 구성품인 VC 머징 제어기의 설계에 관하여 논하였다. VC 머징 제어기에서는 고성능 SAR 소자로 구성된 패킷을 일반 AAL-5 프레임 데이터, EFC 패킷, 순수 ATM 셀로 구분하여 처리하도록 설계되었다. 또한, 제어기내에서 패킷 처리부를 파이프라인 구조로 만들어 처리함으로써 입력되는 패킷에 대하여 Line Rate로 VC 머징 기능을 원활히 수행할 수 있었다.

참고문헌

[1] B.Jamoussi et al., "MPLS Ships in the Night Operation with ATM," Internet draft, draft-jamoussi-mpls-sin-00.txt, Aug. 1998.  
 [2] Indra Widjaja, "Performance Issues in VC-Merge Capable Switches for Multiprotocol Label Switching," IEEE Journal on selected area in communications, Vol. 17, No. 6, pp. 1178-1189, June 1999.  
 [3] Peifang Zhou, "Reducing buffer requirement for VC-merge capable ATM switches," GLOBECOM'99, Vol. 1a, pp.44-8, 1999.  
 [4] Pao DCW, "Frame-level interleaving approach to VC merging in input-buffered ATM switch," IEE Electronics Letters, Vol.36, pp.1090-1100, June 2000.  
 [5] 윤병영 외 2인, "VC merging 장치의 운용 방법에 관한 연구", 2000년도 한국정보처리학회 추계학술대회 논문집 제 7권 제2호, pp1537-1540, Oct. 2000.