

휴대용 MPEG 응용기기를 위한 비동기식 곱셈기 설계

나윤석⁰ 김건수 홍유표 황인석
동국대학교 전자공학과, 동국대학교 밀리미터파 신기술 연구센터
nyseuk@dgu.edu

An Asynchronous Multiplier Design of Mobile MPEG Application

Yun-Seuk Na⁰ Kyeoun-Soo Kim You-Pyo Hong In-seok Hwang

Millimeter-wave INnovation Technology research center(MINT), Dongguk University

요 약

본 논문은 여러 가지 데이터 압축 표준에서 채택하고 있는 이차원 이산 여현 변환과 그 역 변환(DCT/IDCT)를 위한 효율적인 비동기식 행렬 벡터 곱셈기를 설계하였다. 본 논문에서 제안되어진 곱셈기는 일반적으로 DCT/IDCT의 입력 데이터가 대부분 zero입력이거나 또는 작은 비트수로 표현 가능하다는 점을 이용하여 저전력 고성능 동작을 구현할 수 있도록 설계하였다. 비동기식 설계 방식을 채택하여 Zero입력일 경우 곱셈과정을 생략하고, 정적 회로에 기초한 특정 계산 완료 인지 방식(Speculative Completion Sensing)와 비트 분할된 곱셈기를 이용하여 입력 비트 슬라이스에 대해 동적으로 회로의 계산부분을 활성화/비활성화를 동작을 할 수 있도록 설계되어졌다.

1. 서 론

이산처리신호 알고리즘 중 특히 2차원 DCT(Discrete Cosine Transform)[1]는 다양한 데이터 압축표준에 있어 매우 유용하게 사용되고 있으며, 이미 DCT의 하드웨어 구현을 위한 많은 연구 결과와 상업용 칩[4]들이 개발되어 왔다. 곱셈기는 이산 신호 처리 알고리즘 구현에 필수적인 뿐만 아니라, 대부분의 영상 데이터 압축 회로에서 사용되어 지고 있다. 특히, 휴대용 멀티미디어 디바이스들의 활성화는 고성능 저전력 DCT/IDCT 회로를 더욱 요구하게 되었고 이에 따라 압축 데이터 알고리즘 구현을 위한 곱셈기의 구현은 점점 더 그 중요성을 더해가고 있다. 본논문의 곱셈기는 기존의 동기식 방식을 이용하지 않고, 비동기 방식으로 이산 신호처리를 고속으로 처리할 뿐만 아니라, 저전력을 구현해 내는 것을 목표로 하고 있다. 본 설계에서 계획하고 있는 회로는 MPEG의 핵심 연산 블록인 DCT/IDCT를 저전력-고속으로 수행하기 위한 곱셈기이다.

2. 비동기식 행렬 벡터 곱셈기 구조

본 논문의 곱셈기는 비동기식 설계 방식을 채택하여 입력에 따라 회로 전체가 동작하는 방식이 아닌 계산에 필요한 부분만을 선택적으로 활성화할 수 있도록 설계하였다. 본 설계에서는 DCT/IDCT 입력 데이터의 특성을 통계적 분석하고, 입력 데이터 중 부호(혹은 부호확장)와 관련된 비트들은 복잡한 곱셈 연산 중에는 무시하고, 연산 종료 직전 최종 결과치를 보정함으로써 연산 전체의 복잡도와 소

요 시간을 단순화 시킬 수 있다는 점에 착안하였다.

그림1은 설계하고자 하는 비동기 저전력-고속 곱셈기의 블록 다이어그램이다. 회로의 전체 동작은 인가되는 입력 데이터를 부호와는 무관한 비트가 몇 비트 인지를 제안되어진 Mask logic을 이용하여 판단, 분류한 후, 불필요한 부호비트는 0으로 마스크 한 후, 0으로만 이루어진 데이터는 계산 과정을 생략하고, 또한 곱셈기에서 계산과정에 필요한 부분만을 스위칭 시킴으로써 고속의 데이터 처리를 가능케 하였다. 모든 연산이 끝난 뒤 최종 단에서는 Mask되었던 값을 복원하여 정확한 최종 결과값이 만들어지도록 보정하는 부분으로 구성되어 있다.

2.1 비트 슬라이스 분할과 Mask 검출

본 회로에서는 입력을 효율적으로 필요한 비트만을 선택적으로 활성화하여야만 한다. Zero 검출과 각 입력비트를 활성화되는 비트에 따라 4가지경우로 최적화하여 분류하였다(m(2),m(1),m(0)). 입력에 의한 계산비트의 활성화 정도에 대한 정보는 Mask 회로에서 전달한다. (그림2)

2.2 비동기식 곱셈기 구조

본 논문의 곱셈기는 그림 3에서 보여주는 것처럼 비트 분할된 캐리 세이프 곱셈기와 계단 패턴의 비트 슬라이스에 기본으로 하고 있다. 캐리 세이프 곱셈기는 다른 곱셈기에 비해 전력에서 큰 이득이 있다. 또한 제안되어진 곱셈기는 입력에 대해 부분 동작을 하므로 계산 과정 중 적절한 부호 확장을 해주어야 올바른 출력 값을 얻을 수 있는데 캐리 세이프 곱셈기는 이러한 부호 확장이 매우 단순하므로 설계가 용이하다. 계단패턴의 비트 슬라이스는 각각의 입력에 대한 변형된 비

트 폭들에 대해 계산이 가능하다 본 논문의 곱셈기 구조는 두 가지 면에서 여러 가지 비트 폭들에 대한 계산을 가능하게 한다. 먼저 입력은 4가지 비트 슬라이스로 구분되는데 만약 두 비트 슬라이스만 계산에 필요한 경우는 나머지 부호 비트들은 입력 Anding 회로를 통해 zero로 강제로 셋팅 되어 진다. 두 번째 특징은 비트 슬라이스 경계에서 가장 오른쪽 이동된 입력의 부호를 필요한 만큼 확장해준다.

2.3 축적기

축적기는 곱셈 결과를 주어진 수식에 따라 덧셈/뺄셈과정을 수행한다. 축적기 역시 곱셈기와 마찬가지로 비트 슬라이스에 의한 부분 계산을 수행한다. 비트 슬라이스에 대한 정보는 곱셈기에서 사용된 Mask 신호를 저장했다가 사용하므로 또 다른 회로를 필요로 하진 않는다. 축적기는 리플 캐리 덧셈기를 기본 구조로 하고 있다.

2.4 Speculative completion sensing

정확하고도 효율적인 제어신호의 생성을 위해 본 설계에서는 speculative completion sensing[5] 기법을 이용하여 제어신호를 생성하였다. 그리고 이 기법을 이용하여 데이터의 특성에 따라 분류되어진 각 단이 얼마만큼의 지연 시간을 가질 것인가를 고려하여 특정 단이 연산을 마친 뒤 최대한 빠르게 다음 단이 연산을 개시토록 고안하였다. 기존의 회로들이 모든 입력 비트에 대해 회로가 연산되어지길 기다리는 방식으로 worst case 속도에 의해 그 회로의 속도가 결정되어 진다. 그러나, 이번에 설계한 회로에서는 speculative completion sensing 기법을 이용하여 들어오는 입력 비트를 분류하여 회로에서 입력의 연산에 필요한 부분만의 연산 지연 시간을 계산하여 각각의 입력에 따른 완료 신호를 지연 신호로 이용하므로 average-case의 속도를 갖도록 설계하였다. 그림 4에서는 곱셈기에 대한 Speculative completion sensing 회로를 간략하게 보여준다.

3. 레이아웃 과 시뮬레이션 결과

그림 5는 설계되어진 회로의 레이아웃을 보여준다. 레이아웃은 Cadence를 사용하였다. 회로의 설계는 전형적인 Full custom 설계 방식을 따랐으며 회로에 동작에 대해서는 Verilog를 사용하여 동작과 타이밍등에 대해 검증하였다.

핵심 모듈의 최악의 경우의 입력 벡터에 대한 HSPICE 시뮬레이션 결과를 표 1에 나타내었다. 곱셈기와 축적기 각각에 대해 따로 구분하였다. 본 행렬-벡터 곱셈기는 비동기 회로이므로 동기회로에서처럼 최대 동작 속도를 주기로 표현하는 대신 평균cycle time을 성능의 평가기준으로 삼을 수 있으며 본 곱셈기의 경우 약 5.4ns를 얻었다. 한편 전력소모 측면에서는, 10개의 임의 데이터를 입력으로 사용한 경우 약 60pJ의 전력 소모가 측정되었다.

4. 결론

전형적인 동기식 계산부분과 비교할 때 본 논문에서 제안되어진 곱셈기의 시뮬레이션 결과는 본 논문의 곱셈기가 전력과 성능면에서 상당히 의미 있는 좋은 결과를 보인다고 할 수 있다.

이것은 이차원 이산 역변환 (DCT/IDCT)와 같은 이미지 프로세싱에서 비동기적인 설계의 장점들을 충분히 보여줄 수 있다고 생각되어 진다.

5. References

[1] N. Ahmed, T. Natarajan, and K. Rao, "Discrete Cosine Transform," *IEEE Transactions on Computers*, vol. C-23, pp.90-93, Jan.1974
 [2] A. D. Gloria and M. Olivieri, "Statistical Carry Lookahead Adders," *IEEE Transactions on Computers*, vol.45, No3, pp.340-347, March 1996
 [3] A. Madisetti and A. N. Willson Jr., "A 100 MHz 2-D DCT/IDCT Processor for HDTV Applications," *IEEE Transactions on CAS for Video Tech.*, vol. 5, no. 2, pp. 158-165, 1995.
 [4] S. Uramoto, Y. Inoue, A. Takabatake, J. Takeda, Y. Yamashita, M. Terane, and M. Yoshimoto, "A 100 MHz 2-D Discrete Cosine Transform Core Processor," *IEEE Journal of Solid-State Circuits*, Vol. 36, pp. 492-499, April 1992.
 [5] S. M. Nowick, K. Y. Yun, P. A. Beerel, and A. E. Dooply, "Speculative Completion for the Design of High-Performance Asynchronous Dynamic Adders," in *Proceedings of International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pp. 210-223, 1997.
 [6] L. S. Nielsen, and J. Sparsø, "Designing Asynchronous Circuits for Low Power: An IFIR Filter Bank for a Digital Hearing Aid," *Proceedings of the IEEE*, vol. 87, no. 2, pp. 268-281, Feb. 1999.

표 1. Delay 와 power consumption 시뮬레이션 결과. (D: Delay (ns), E: Energy (pJ)).

	Multiplier	
	Delay (ns)	Energy (pJ)
Zero Detected	0.812	2.51
1 bit-slice activated	3.25	27
2 bit-slices activated	3.99	40.3
3 bit-slices activated	4.31	62.5
All bit-slices activated	5.84	82.7
Synchronous	5.84	DCT
		IDCT
		47.39
		32.22
	Accumulator	
	Delay (ns)	Energy (pJ)
Zero Detected	0	0
1 bit-slice activated	3.62	11.1
2 bit-slices activated	4.67	13.3
3 bit-slices activated	6.07	16.9
All bit-slices activated	7.68	23.3
Synchronous	7.68	DCT
		IDCT
		17.76
		10.38

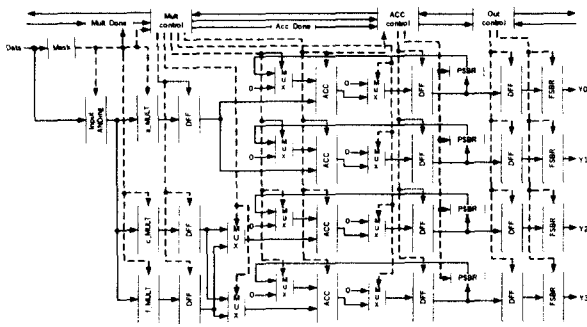


그림 1. 본 논문에서 제안되어진 비동기식 곱셈기

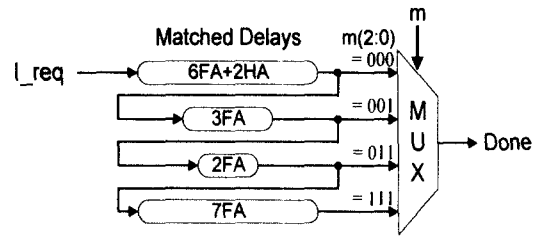


그림 4. 곱셈기를 위한 Speculative completion sensing 회로

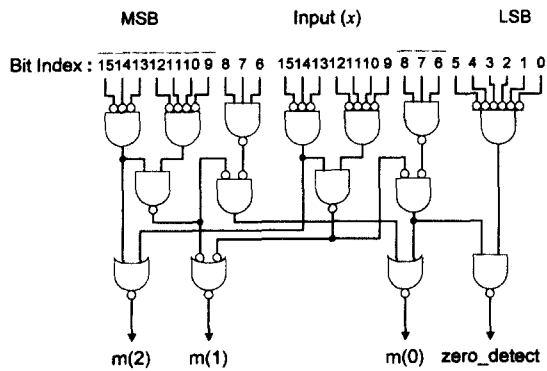


그림 2. Mask 회로

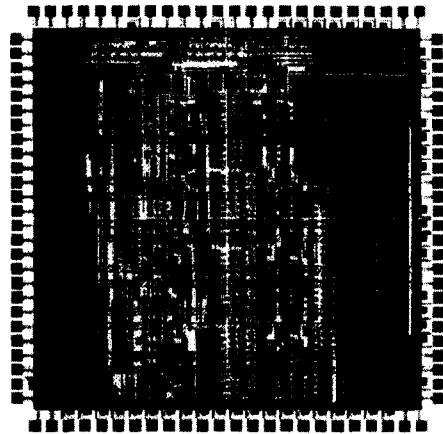


그림 5. 본 논문에서 제안 되어진 곱셈기의 레이아웃

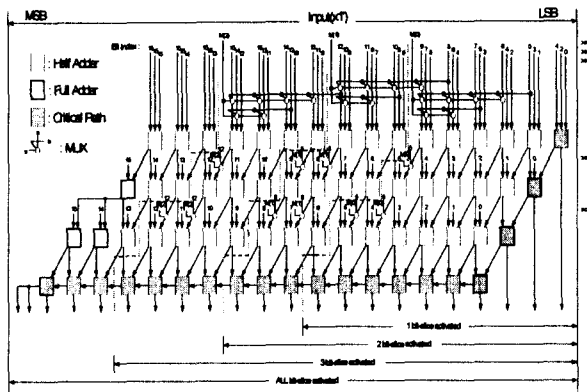


그림 3. Carry-Save 곱셈기

*본 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 학과과학재단의 우수연구센터 지원금에 의하여 수행되었습니다.