

엑시머 레이저를 이용한 극히 얇은 접합과 소스, 드레인의 형성과 50nm 이하의 극미세 n-MOSFET의 제작

Ultra Shallow Junction with Source/Drain Fabricated by Excimer Laser Annealing and realized sub-50nm n-MOSFET

정은식, 배지철, 이용재
(Eun Sik Jung, Ji Cheol Bea, Yong Jae Lee)

Abstract

In this paper, novel device structures in order to realize ultra fast and ultra small silicon devices are investigated using ultra-high vacuum chemical vapor deposition(UHVCVD) and Excimer Laser Annealing (ELA). Based on these fundamental technologies for the deep sub-micron device, high speed and low power devices can be fabricated. These junction formation technologies based on damage-free process for replacing of low energy ion implantation involve solid phase diffusion and vapor phase diffusion.

As a result, ultra shallow junction depths by ELA are analyzed to 10~20nm for arsenic dosage($2 \times 10^{14}/\text{cm}^2$), excimer laser source($\lambda=248\text{nm}$) is KrF, and sheet resistances are measured to $1\text{k}\Omega/\square$ at junction depth of 15nm and realized sub-50nm n-MOSFET.

Key Words : ELA, UHVCVD, KrF

1. 장

최근의 반도체 기술은 초 고집적화, 초 고속화하기 위해서 소자의 극 미세화가 도모되고 있으며, 크기는 50nm 이하의 극 미세 소자의 영역에 돌입하고 있다. 이상에서 이러한 소자를 제작하기 위해 여러 가지 축소 기술이 제안되고 있다. 그러나 기존의 축소 기술에 의해 제작된 소자는 SCE(Short Channel Effect) 문제가 심각하게 일어나고 있으며, 더불어 비축소 인자인 이동도, 임계전압, 기생저항 성분들이 많은 영향을 주고 있음을 나타낸다[1]. 이러한 문제를 해결하기 위해 스파이크 RTA(Rapid Thermal Annealing) 공정, Pocket Implant 공정, 플

라즈마 도핑 공정, 등의 공정 기술이 개발되고 보고되고 있다. 물론 이러한 기술들은 소스와 드레인 영역과 소스, 드레인 확장 영역의 접합깊이가 수십nm인 극히 얇은 접합 형성에 이용된다. 그러나 이러한 얇은 접합을 형성시키면 예기치 못한 비축소 인자에 의해 활성영역의 면 저항이 커지게 된다.

본 연구는 MOSFET에서 게이트 활성영역의 면 저항을 줄이기 위한 방법으로 비소(As)를 저 에너지 이온 주입 후 급속 열처리 어닐링 방법과 엑시머 레이저 어닐링 방법으로 극히 얇은 접합을 형성하였으며 50nm 이하의 극 미세 n-MOSFET를 제작 및 전기적인 특성을 측정, 분석 하였다. 게이트길이 50nm 이하의 극 미세 n-MOSFET를 제작하기 위해 $2 \times 10^{14}/\text{cm}^2$ 농도의 비소를 저 에너지 이온 주입 방법으로 이온주입 후 엑시머 레이저 어닐링 공정을 하여 소스 드레인 확장 영역의 접합깊이가 15nm이고, 이때 $1\text{k}\Omega/\square$ 의 낮은 저항을 가지는 기법을 제안한다.

동의대학교 전자공학과
(부산시 진구 가양동
Fax : 051-890-1674
E-mail : yjlee@hyomin.dongeeui.ac.kr)

2. 본 론

2.1 소자 제작 공정.

극히 얇은 접합기술에서 비축소 인자에 의해 생기는 높은 면 저항을 감소시키기 위한 방법으로 ELA 기술을 이용한 게이트 길이 50nm 이하의 극 미세 NMOSFET를 제작하기 위해서 기판은 <100>, 비저항이 10~15[Ω-cm] P형 실리콘 웨이퍼를 사용하였다.

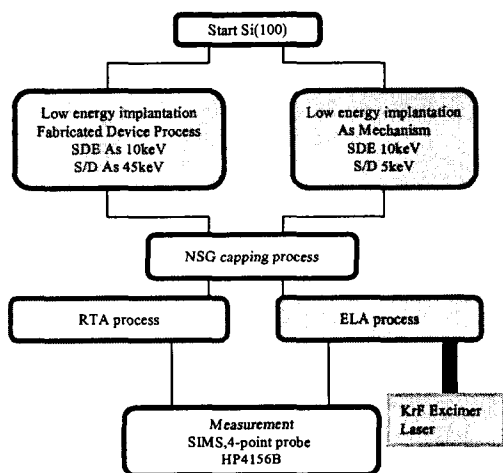


그림 1. 소자 제작 공정 순서도 및 ELA 특성 분석을 위한 시료 제작 공정
Fig. 1. Experimental Procedure

그림 1은 본 연구를 위한 시료를 제작하기 위한 공정 순서도로 SDE 영역은 비소(As)를 $2 \times 10^{14}/\text{cm}^2$ 의 농도로 10keV의 에너지로 이온 주입하였고 S/D 영역은 비소(As)를 $5 \times 10^{15}/\text{cm}^2$ 농도를 45keV의 에너지로 이온 주입 한 후 엑시머 레이저 어닐링을 하였다. 이때 실리콘에서의 전반사를 방지하기 위하여 반사 보호막으로서 NSG(None-doped Silicate Glass)를 APCVD로 450°C에서 450Å, 800Å, 1000Å의 두께로 각각 증착 시킨 다음, 질소 분위기에서 1000°C 5초간 급속 열처리 어닐링 방법과 엑시머 레이저 어닐링 방법으로 각각 SDE와 S/D를 형성 하였다. 그리고 n-MOSFET의 제작 공정은 먼저 P형(100) 방향과 10Ω-cm 웨이퍼를 사용하였으며 문턱 전압 이온주입과 펀치 쓰루 이온주입은 각각 $1.5 \times 10^{13}/\text{cm}^2$, 30keV, $1.5 \times 10^{13}/\text{cm}^2$, 80keV의 BF_2 를 주입 하였다. 게이트 산화막은 습식 산화막으로 850°C에서 두께는 30Å 성장시켰으며, Poly-Si 두께는 1600Å으로 640°C에서 LPCVD 로 성장 시켰다. 또 다결정 게이트를 축소 시키기 위한 제거(Ashing) 기술로

0.15μm에서 0.05μm 이하의 게이트를 형성 할 수 있었다. 마지막으로 S/D 영역 형성 후 레이저 어닐링을 질소분위기에서 실시하였다. 이후 NSG 1000Å, PSG 5000Å을 형성한 후 콘택을 형성하여 급속화 공정으로 1.5%의 실리콘이 함유된 알루미늄으로 배선하였고, 최종적으로 수소 어닐링을 450°C에서 30분간 하였다. 게이트 길이 0.05μm의 극미세 트랜지스터를 성공적으로 제작할 수 있었으며 좋은 전기적인 특성을 관찰할 수 있었다[3,4].

2.2 실험 결과

기존의 방법으로 얇은 접합을 형성 할 때 저 에너지 이온주입법과 스파이크 RTA 공정이 보고 되었지만, 많은 문제점이 나타나고 있다. 대표적인 것이 TED(Transient Enhanced Diffusion) 현상과 고농도 주입 문제 이다. 그러나 본 실험에서 50nm이하의 극 미세 소자에서 극히 얇은 접합을 형성하며 면저항도 낮은 값을 갖는 접합 형성을 위해 이온 주입 에너지도 수 keV 이하로 낮추는 저 에너지 이온주입 기술을 이용하였으며, 어닐링 기술과 RTA법과 레이저 어닐링 법을 사용하였다.

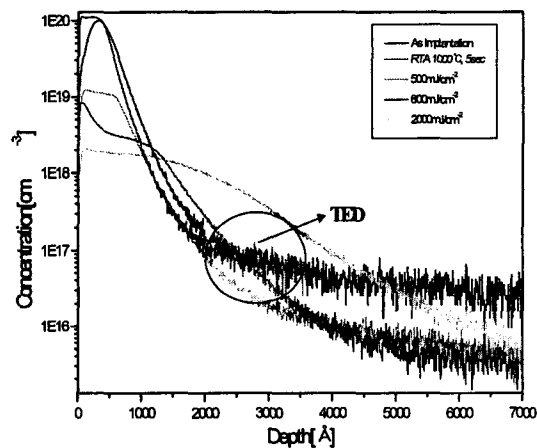


그림 2. 비소의 농도 분포 As, 10keV, $2 \times 10^{14}/\text{cm}^2$
Fig. 2. Doping Profile of ArsenicAs, 10keV, $2 \times 10^{14}/\text{cm}^2$

그림2는 비소를 $2 \times 10^{14}/\text{cm}^2$ 의 농도로 10keV의 에너지로 이온주입 후 500mJ/cm², 600mJ/cm², 2000mJ/cm²로 엑시머 레이저 어닐링 한 것과 급속

열처리 공정을 했을 때의 농도 분포의 SIMS 결과인데 엑시머 레이저 어닐링 공정시 인가하는 에너지의 함수의 비율로서 비소의 거동 메카니즘이 인가하는 에너지가 증가함에 따라 접합깊이가 깊어지며 급격한 농도곡선을 가지는 것을 알수 있었다. 또한 엑시머 레이저 어닐링 시 $600\text{mJ}/\text{cm}^2$ 이하의 저 에너지 일 경우에는 낮은 농도 주입을 해서 RTA 보다 높은 고농도를 가질 수 있는 것을 확인 할 수 있었으며, 이는 극 미세 소자에서 SDE 영역의 고농도 주입문제를 해결 할 수 있음을 의미한다. 그리고 엑시머 레이저 어닐링과 급속 열처리 어닐링 공정 후 농도에 따른 분포를 보면 급속 열처리 어닐링 공정을 했을 때 엑시머 레이저 어닐링 공정을 했을 때 보다 접합 깊이가 더욱 얇아졌고, TED 현상이 제거됨을 알 수 있다.

실제 소자공정시의 엑시머 레이저 어닐링 시 에너지가 높으면 실리콘 보다 낮은 융점을 가진 다결정 실리콘이 기화되어 다결정 실리콘의 게이트 내부저항을 높이게 하는데 이를 보정하기 위해 NSG의 두께를 조절하여 실리콘표면 에너지 흡수율을 증가시키는 방법을 이용하여 소자를 제작하였다.

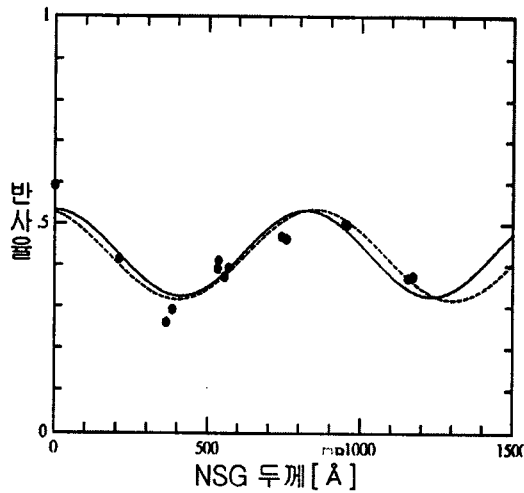


그림 3. 반사보호막 NSG 두께 변화에 따른 반사율의 변화
Fig. 3. Reflection of transformation as a function in variable thickness of NSG

그림 3은 위에 제기된 문제점을 해결하기 위한 방법으로 실리콘의 에너지 흡수율을 증가시키기 위해 반사보호막을 형성시켜서 실험한 결과인데 NSG의 막 두께가 45nm에서 가장 낮은 반사율을 가지는 것을 볼 수 있는데 반사율이 크면 레이저 어닐링 시

에너지 흡수율이 줄어든다. 그러므로 낮은 에너지에서 어닐할 때 흡수율을 좋게 하기 위한 NSG의 두께는 최소 반사율에서 찾을 수 있다.

그림4,5 는 SDE에 As를 $2 \times 10^{14}/\text{cm}^2$ 농도로 10keV의 에너지로 이온주입하고 S/D 영역에는 As를 $5 \times 10^{15}/\text{cm}^2$ 의 온도로 45keV로 이온주입 후 $260\text{mJ}/\text{cm}^2$ 의 에너지로 ELA, 스파이크 RTA를 각각 실시하였다. 채널 폭은 $10\mu\text{m}$ 일 때 게이트 길이는 $0.03\mu\text{m}$, $0.18\mu\text{m}$, $0.23\mu\text{m}$, $0.53\mu\text{m}$ 으로 변화시켜가면서 만든 트랜지스터의 Id-Vg 그래프로 드레인 전압을 0.1V를 인가하여 전기적인 특성을 평가하였다. 그림에서 보는 것처럼 ELA 했을 때 게이트 길이 30nm에서 누설 전류가 $5 \times 10^{-11}\text{A}$ 이고 스파이크 RTA에 의한 것은 $5 \times 10^{-8}\text{A}$ 로 전류가 적게 흐르는 것으로 보아 채널이 제대로 형성 되었음을 알 수 있다. 이는 레이저 어닐링에 의한 확산 곡선이 훨씬 급격하게 변화였으며, TED현상이 적게 일어나서인 것으로 사료되어진다.

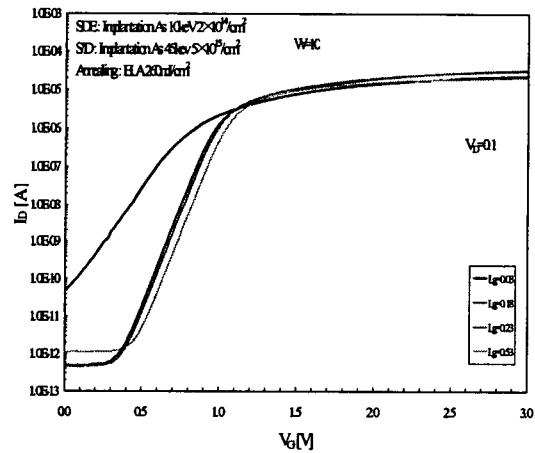


그림 4. ELA로 제작된 NMOSFET의 Id-Vg 곡선
Fig. 4 Fabricated NMOSFET using by ELA of Id-Vg Curve

그림 6은 SDE에 As를 $2 \times 10^{14}/\text{cm}^2$ 농도로 10keV의 에너지로 이온주입하고 S/D 영역에는 As를 $5 \times 10^{15}/\text{cm}^2$ 의 온도로 45keV로 이온주입 후 $260\text{mJ}/\text{cm}^2$ 의 에너지로 ELA 하여 제작된 채널 폭은 $10\mu\text{m}$ 이고 채널 길이는 30nm인 트랜지스터의 Id-Vd 그래프이다. 게이트길이 30nm에서도 성공적으로 채널이 형성되는 것을 보여주었으며, 포화영역도 비교적 안정된 것을 볼 수 있었다. 그러나 드레인 소스영역의 얇은 접합형성으로 포화 전압점의 이동과 낮은 전류특성이 나타났다. 극 미세소자 제작에 있어서 드레인

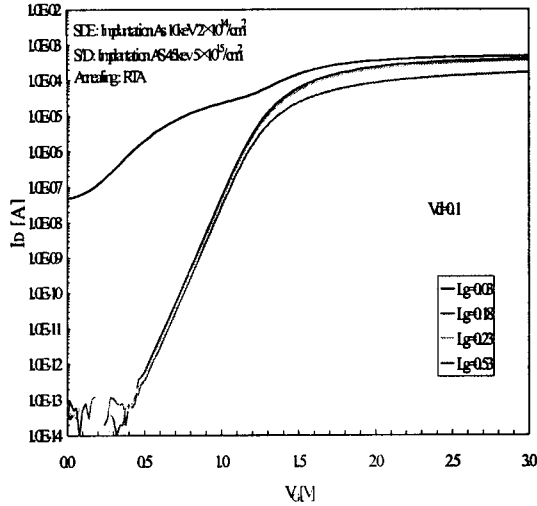


그림 5. RTA로 제작된 NMOSFET의 Id-Vg 곡선
 Fig. 5 Fabricated NMOSFET using by RTA of Id-Vg Curve

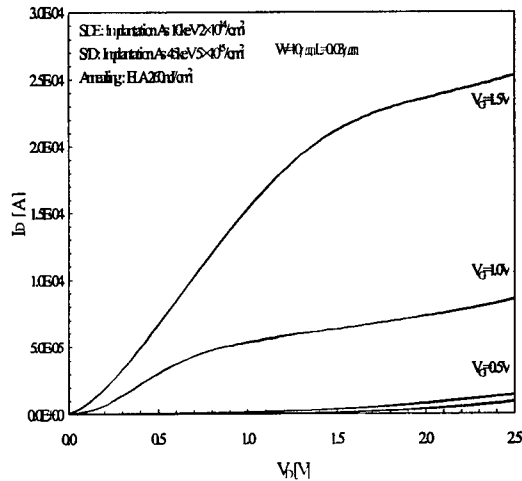


그림 6. ELA로 제작된 NMOSFET의 Id-Vd 곡선
 Fig. 6. Fabricated NMOSFET using by ELA of Id-Vd Curve

소스영역의 기생저항의 영향은 소자의 전기적 특성을 저하시킬 것으로 추측된다. 3장의 본문 내용이 들어가는 자리입니다.

3. 결론

게이트 채널 길이 50nm이하의 극 미세 n-MOSFET의 SDE 영역에 낮은 면저항을 갖는 접합 형성을 위해 엑시머 레이저 어닐링 기술을 이용하였으며, ELA 공정으로 고농도의 접합과 극히 얇은 접합(16nm) 형성이 가능하였으며, NSG를 사용한 반사 보호막의 영향은 레이저의 파장과 반사보호막의 굴절률에서 최대 흡수율을 가지는 것을 확인하였다.

그리고 게이트 채널 길이 50nm이하의 극 미세 소자 제작을 위해 급격한 농도 곡선과 더불어 낮은 면저항을 가지는 접합기술이 필요한데 엑시머 레이저 어닐링 기술은 소자에 가장 적합한 공정기술로 여겨진다.

참고 문헌

- [1] S. Wolf "Silicon Processing for the VLSI Era" Vol 2. Process Intergration p.154, 1990.
- [2] T. Ohno, Y. Kado, M. Harada, T. Tsuchiya, A high-performance Ultra-thin quarter-micron CMOS/SIMOX technology, Symp. VLSI Tech., pp.25-26, 1993.
- [3] Ji Chel Bea, Characteristics of Ultra Fast and Ultra Small Semiconductor Device. Thesis of Dr., Tohoku Uni. pp.100-117, 2000. 9
- [4] Yong Jae Lee, Excimer Laser Annealing Technology for Ultra Shallow Junction Formation. IEEK 2000. 12