

## 산화막을 이용한 SiC 기판의 macrostep 형성 억제

### Suppression of Macrosteps Formation on SiC Wafer Using an Oxide Layer

방 옥, 김남균, 김상철, 송근호, 김은동

(Wook Bahng, Nam-Kyun Kim, Sang-Cheol Kim, Geun Ho Song and Eun-Dong Kim)

#### Abstract

In SiC semiconductor device processing, it needs high temperature anneal for activation of ion implanted dopants. The macrosteps, 7~8nm in height, are formed on the surface of SiC substrates during activation anneal. We have investigated the effect of thermally-grown SiO<sub>2</sub> layer on the suppression of macrostep formation during high temperature anneal. The cap oxide layer was found to be efficient for suppression of macrostep formation even though the annealing temperature is as high as the melting point of SiO<sub>2</sub>. The thin cap oxide layer (10nm) was evaporated during anneal then the macrosteps were formed on SiC substrate. On the other hand the thicker cap oxide layer (50nm) remains until the anneal process ends. In that case, the surface was smoother and the macrosteps were rarely formed. The thermally-grown oxide layer is found to be a good material for the suppression of macrostep formation because of its feasibility of growing and processing. Moreover, we can choose a proper oxide thickness considering the evaporate rate of SiO<sub>2</sub> at the given temperature.

**Key Words** : cap oxide, macrostep, SiC, ion implantation, activation anneal

#### 1. 서 론

SiC는 1800℃이하에서는 확산이 거의 일어나지 않는다. 따라서 단결정 성장이나 에피박막성장시 in-situ도핑을 제외하고는 전자소자제조 공정중에서의 도핑은 불가능하다. 즉, SiC를 이용한 반도체소자 제조에서는 이온주입공정이 필수적이다. 이 경우에도 기존의 Si에 비해 고에너지로 이온주입을 하여야 하기 때문에 고온에서 이온주입을 하여야 하고, 또한 주입한 이온들의 활성화를 위한 열처리공정을 고온에서 하여야 한다. 특히 p-type이온주입의 경우 일반적으로 1600℃이상의 후 이온주입 열처리공정이

필요한 것으로 알려져 있다. SiC는 용액으로 존재하지 않고 1400℃이상에서는 Si, Si<sub>2</sub>C, SiC<sub>2</sub>등의 상으로 분해가 일어나기 시작한다. 이 경우 가장 큰 문제가 되는 것이 기판표면에 macrostep이 형성되는 것이다. 이는 SiC가 여러 가지 polytype이 존재하여 이의 조절을 위해 에피박막성장시 off-axis기판을 사용하는 step controlled epitaxy를 사용하기 때문이다. 즉, off-axis기판이 고온중에 노출되면 표면 원자들의 surface migration이 활발해져 커다란 고랑 형태의 step bunching을 유발하게 된다. 이는 온도와 시간등의 실험 조건에 따라 그 크기가 달라지나, SiC 격자상수의 수배~수십배까지 형성되는 것으로 알려져 있다. 이러한 macrostep들이 표면에 형성되면 전자소자, 특히 planar구조의 소자에서 채널의 이동도를 급격히 저하시키게 된다[1]. 최근에 연구가 많이 진행되고 있는 4H-SiC의 경우 bulk이동도는

한국전기연구원 전력반도체그룹  
(경남 창원시 성주동 28-1)  
Fax: 055-280-1590  
E-mail : bahng@keri.re.kr

6H에 비해 뛰어나지만 채널이동도가 낮은 결과를 보이고 있다[2]. 따라서 4H-SiC를 이용한 소자제조에 있어서는 macrostep의 형성이 큰 문제가 되며, 이를 억제하는 것이 아주 중요하다. 최근에 이에 대한 연구로 열처리중  $\text{SiH}_4$ 를 주입하여 분위기를 Si-excess로 조절하려는 시도가 있었으나, 그 조절이 용이하지 않음을 보고하였다[3]. Thomas등[4]이 최근 탄소마스크를 이용하여 macrostep형성을 억제하는 연구를 보고한 바도 있다. 본 연구에서는 다른 화합물 반도체와 비교해 SiC의 장점으로 생각되어지는 native oxide를 이용해 고온 열처리시의 macrostep형성을 억제하는 연구를 수행하였다.

## 2. 실험

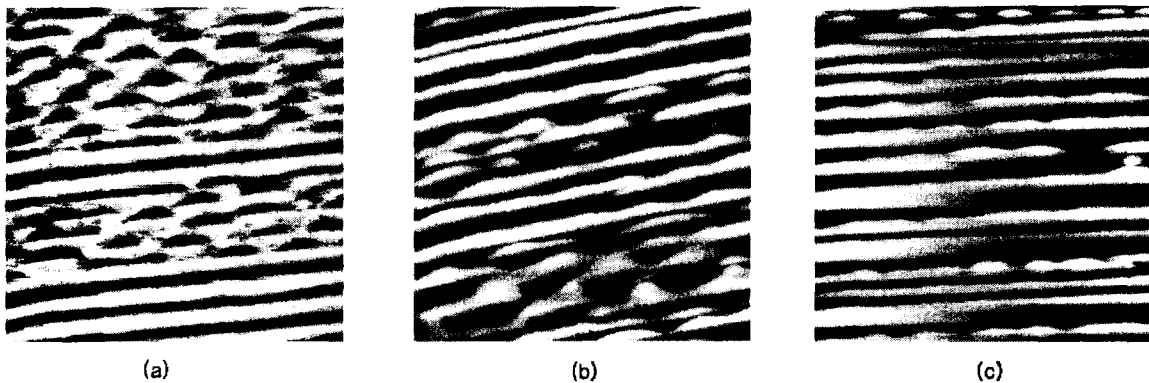
실험에 사용한 탄화규소 기판은 Cree사로부터 구입한 상용 4H-SiC 기판이었으며, off-angle은  $8^\circ$  이었다. 열처리시 시편은 아래와 뒷면이 SiC wafer로 구성된 내경 2"크기의 graphite crucible내에 장착되었으며, 이때 아래위 wafer간의 거리는 10mm로 하였다. 아르곤 가스 분위기 600Torr에서 1500, 1600, 1700 $^\circ\text{C}$ 에 대해 각각 30~40분간의 열처리를 행하였다. Al이온을 고온(650 $^\circ\text{C}$ )에서 주입한 기판의 경우 표면처리를 하지 않은 상태로 열처리 하였으며, 산화막의 보호막 역할을 알아보기 위하여는 이온 주입하지 않은 기판을 각각 10nm, 50nm두께의 열산화막을 성장시켜 열처리 하였다. 산화막이 존재하는 기판의 경우, 열처리 직후 표면과 산화막을 제거한 후

의 표면을 각각 atomic force microscope (AFM)을 이용하여 분석, 비교하였다.

## 3. 결과 및 고찰

탄화규소 기판에 이온주입을 행하면, 이온이 고에너지로 주입되므로 표면손상에 의해 거친 형상을 나타낸다. Al이온을 650 $^\circ\text{C}$ 에서 30~260keV의 다중에너지로 주입한 시편을 각각 1500 $^\circ\text{C}$ , 1600 $^\circ\text{C}$ , 1700 $^\circ\text{C}$ 에서 40분간 열처리한 기판의 표면형상을 그림 1에 나타내었다. 그림에서 알 수 있듯이 불규칙한 표면이 열처리 온도가 높아짐에 따라 좀더 규칙적으로 변화된다. 이는 이온주입시 손상된 표면이 점차 회복되면서 macrostep을 형성하고 있음을 알 수 있다. 이때 step의 크기는 2~7nm정도이었다. 이러한 표면에 전자소자 특히 평면소자를 제조하는 경우, 채널이동도가 극히 나빠지게 된다[1]. 특히, 채널내 전하의 경로가 형성된 step에 대하여 수직으로 형성되면 훨씬 더 낮은 이동도를 보이게 된다. 즉, 고온에서 열처리하여 주입한 이온들을 충분히 활성화를 시켜도 이동도가 나빠져 소자의 특성을 저하시키게 된다. Capano등[3]은 열처리 온도가 증가할수록 각 step들간의 간격이 좁아진다고 보고하였으나, 본 실험결과에서는 1500, 1600, 1700 $^\circ\text{C}$ 로 열처리 온도가 증가하여도 그 간격은 거의 변화하지 않음을 보여주고 있다. AFM측정을 통해 얻은 rms(root mean square) 값도 거의 변화가 없었다.

SiC에서의 주입이온 활성화 열처리공정이 고온이



**Fig. 1.** Atomic force micrographs of high temperature annealed SiC wafers. Each side of micrograph is  $10\mu\text{m}$  in length. The samples were annealed for 40min at (a)1500 $^\circ\text{C}$ , (b) 1600 $^\circ\text{C}$ , (c) 1700 $^\circ\text{C}$ , respectively. As increased the anneal temperature, the macrostep structure becomes clear. The line type features are the image of macrosteps and the discontinuous features are formed due to the irradiation damage induced during high energy ion implantation.

기 때문에 이러한 표면형상 변화를 억제할 적절한 재료를 찾기가 쉽지않다. 본 연구에서는 고온 열처리 공정 이전에 열산화를 이용하여 산화막을 성장시키고 이를 고온 열처리중의 SiC기판 표면의 보호막으로 사용하고자 하였다. 산화층을 고온 열처리의 보호막 재료로 사용하는데 있어 가장 큰 문제점은 SiC의 열처리 온도가 너무 고온이어서 SiO<sub>2</sub>의 분해가 일어난다는 것이다. 즉 고온 열처리시 SiO<sub>2</sub>의 분해가 아주 빨리 일어나게 되면 보호막이 없는 상태에서의 열처리와 같은 결과를 얻게 될 것이다. 그림 2는 10nm의 얇은 산화막을 성장시킨 SiC wafer를

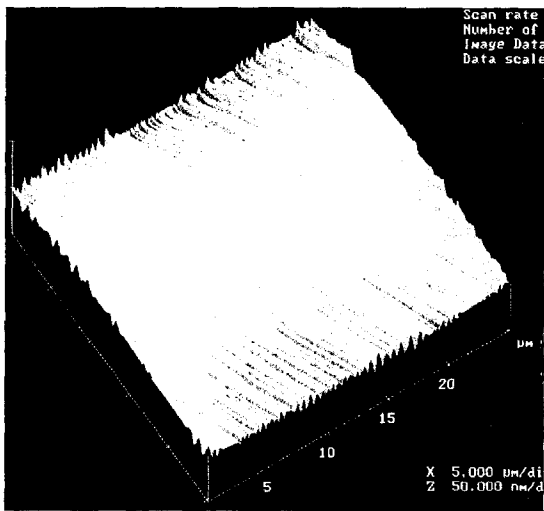


Fig. 2. An atomic force micrograph of a sample annealed at 1600°C for 30min. A 10nm thick thermal oxide was grown on the surface before annealing. The well aligned macrosteps were clearly shown.

1600°C에서 30분간 열처리 한후의 표면을 AFM으로 측정 한 것이다. 산화막이 존재하였음에도 불구하고 열처리후의 표면 형상은 고온 열처리시 자주 관찰되는 step bunching 현상이 아주 잘 일어나 있음을 보여주고 있다. 즉, 열처리 초기에 산화막이 모두 분해해 버리고 이후 산화막이 없는 상태에서 열처리과정을 거치게 됨으로써 잘 발달된 macrostep들을 보여주는 것으로 생각된다. 각 step들의 높이는 수십~250 Å까지 관찰되고, 주로 100Å 정도의 step이 가장 많이 나타난다. step간의 간격은 0.4~0.6 μm 정도이었다. 이렇게 산화막이 없거나 아주 얇은 경우에 특정한 방향으로 macrostep들이 형성되는 것은 표면의 SiC가 승화되거나 혹은 표면화산을 통해 열역학적으로

안정한 표면구조를 형성하기 때문으로 반도체 공정에서 사용되는 SiC기판이 에피박막형성을 용이하게 하기 위해 <11 $\bar{2}$ 0>방향으로 4H-SiC의 경우에는 8°, 6H-SiC의 경우에는 3.5° 기울어져 있기 때문이다. 따라서 macrostep들은 <1 $\bar{1}$ 00>방향으로 직선적으로 형성되게 된다.

두꺼운 산화막의 경우 그림 3에서와 같이 열처리 후에도 산화막이 남아있는 것을 알 수 있다. 즉, 두꺼운 산화막의 경우에는 고온임에도 잔존하여 SiC wafer의 surface migration등에 의한 modification을 억제하는 역할을 함을 알 수 있다. 표면을 살펴보면 열처리 도중 산화막이 많이 손상된 것을 알 수 있다. 즉 열처리 온도가 산화막이 기화할 수 있는 고온이기 때문에 부분적으로 산화막이 기화되는 도중에 열처리가 행해진 것으로 고려된다. 따라서 산화막의 주어진 온도에서의 기화속도를 고려하여 산화막 두께를 조절함으로써, 원하는 열처리 시간중에 산화막이 전부 기화되지 않고 잔존할 수 있도록 조절이 가능함을 의미한다. 가운데부분의 큰 step은 열처리도중 산화막내에 crack이 형성 발달된 것으로 보인다. 이렇게 crack이 형성된 부분에서는 산화막이 보호막으로서의 역할을 하지 못하고 SiC기판표면의 승화가 일어날 수도 있다. 따라서 기판표면 전체에 대해 열처리도중 macrostep의 형성을 억제하기 위해서는 산화막내 crack의 형성도 억제하여야 한다. 산화막내의 crack은 주로 기판과 박막간의 열팽창계수 차에 의해 생성되는 것으로 주어진 온도에서 열팽창

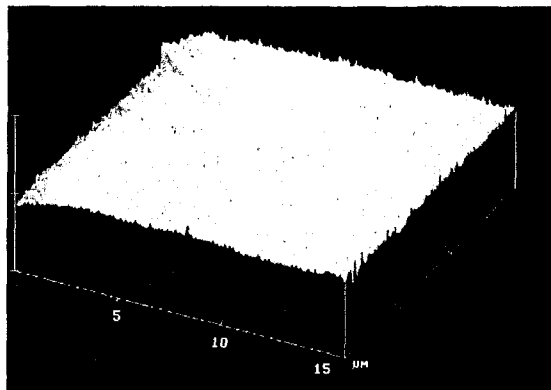


Fig. 3. An atomic force micrograph of SiC substrate annealed at 1600°C for 30 min. A 50nm thick thermal oxide layer was grown before annealing. It shows rough, damaged surface morphology of the remained oxide layer.

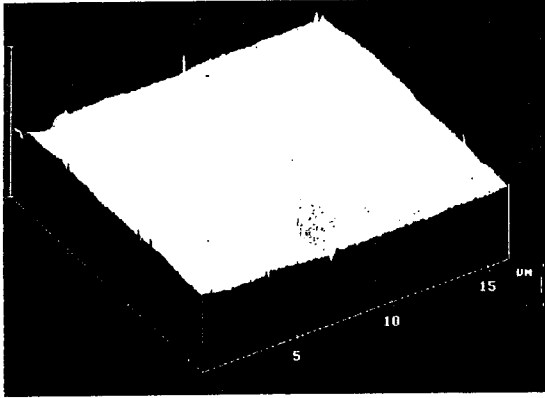


Fig. 4. An atomic force micrograph of SiC substrate annealed at 1600°C for 30 min with a 50nm thick cap oxide layer. The micrograph was taken from the surface after removing of the oxide layer.

계수차에 의한 stress를 견딜수 있는 적절한 두께의 산화막을 이용하는 것이 중요하다.

산화막을 제거한 후의 표면 형상을 관찰한 것을 그림4에 나타내었다. 기판표면에서는 불연속적이며 작은 step들만을 관찰할 수 있다. 이 step들의 높이는 1~4nm정도이었다. 산화막을 이용한 열처리의 경우 macrostep형성을 많이 억제할 수 있는 것으로 판단된다. 즉, 산화막이 승화되는 온도에서 열처리를 함에도 불구하고 열처리 기간동안 산화막이 SiC기판의 표면에 잔존하면 macrostep의 형성을 억제할 수 있음을 알 수 있다. 이는 산화막이 SiC기판에 대해 우선적으로 승화하여 기판의 표면이 기상에 드러나지 않으면 SiC의 기상으로의 승화가 일어나지 않고, 표면에서의 원자들의 이동도 표면이동 (surface migration)이 아닌 산화막내에서의 확산으로 일어나야 하므로 그 속도가 훨씬 작아져 얻어진 결과로 관찰할 수 있다. 따라서 각각의 열처리 온도에서의 산화막의 승화속도를 알고 있으면 주어진 온도에서의 적절한 보호막으로서의 산화막두께를 계산해 낼 수 있다. 그림에 나타난 합물부는 폭  $3.5\mu\text{m}$ , 깊이 150 Å이며, 돌출부보다 출현빈도가 낮다. 돌출부는 직경 600, 높이 700 Å 정도의 입자형태이다. 이들은 다른 추출물이나 이차상이 아닌 SiC로서, 산화막성장 당시 형성된 것을 추정된다. 추후 이들 합물부 및 돌출부의 생성원인 및 억제방법에 대해 좀 더 자세한

연구를 수행할 계획이다.

#### 4. 결 론

SiC의 고온 열처리과정이 SiO<sub>2</sub>의 분해가 일어나는 고온임에도 불구하고, SiO<sub>2</sub> capping을 하였을 경우 macrostep형성을 억제하는데 효과가 있음을 확인하였다. SiO<sub>2</sub>의 열적 분해가 일어나는 고온에서의 공정이므로 열역학적 평형상태보다는 반응속도론적인 측면을 고려하여 실험을 설계하여야 한다. 즉, 얇은 산화막을 채용하였을 경우에는 열처리 초기에 모두 분해가 일어나 보호막 효과를 얻지 못하였으며, 충분히 두꺼운 산화막을 채용한 경우에는 30분간의 고온 열처리중에도 모두 분해되지는 않고 일부분이 잔존하여 보호막으로서 역할을 하여 결과적으로 macrostep의 형성을 억제함을 확인하였다

#### 감사의 글

AFM측정을 도와주신 기계연구원 최인규씨와 포항공대 한상윤씨께 감사드립니다. 본 연구는 산업자원부 차세대 연구개발사업인 SiC반도체 기술개발 사업의 지원을 받아 수행되었습니다.

#### 참고 문헌

- [1] S. Scharnholz, E. Stein von Kamienski, A. Götz, C. Leonhard and H. Kurz, Mat. Sci. Forum, 264-268, 1001 (1998).
- [2] M. V. Rao, J. B. Tucker, M. C. Ridgway, C. W. Holland, N. Papanicolaou and J. Mittereder, J. Appl. Phys., 86(2), 752 (1999).
- [3] M. A. Capano, S. Ryu, M. R. Melloch, J. A. Cooper, Jr. and M. R. Buss, J. Electron. Mater., 27, 370 (1998).
- [4] C. Thomas, C. Taylor, J. Griffin, W. L. Rose, M. G. Spencer, M. Capano, S. Rendakova and K. Kornegay, Mat. Res. Soc. Symp. Proc., 572, 45 (1999).