고효율, 저전력 Switched-Capacitor DC-DC 변환기의 설계 및 구현

Design and Implementation of High-Efficiency, Low-Power Switched-Capacitor DC-DC Converter

김남균*, 김상철*, 방 욱*, 송근호**, 김은동*
(Nam-Kyun Kim, Sang-Cheol Kim, W. Bahng, Geun-Ho Song, and Eun-Dong Kim)

Abstract

In this paper, we design and fabricate the high-efficiency and low-power switched-capacitor DC-DC converter. This converter consists of internal oscillator, output driver and output switches. The internal oscillator has 100㎑ oscillation frequency and the output switches composed of one pMOS transistor and three nMOS transistors. According to the configuration of two external capacitors, the converter has three functions that are the Inverter, Doubler and Divider. The proposed converter is fabricated through the 0.8㎛ 2-poly, 2-metal CMOS process. The simulation and experimental result for fabricated IC show that the proposed converter has the voltage conversion efficiency of 98% and power efficiency more than 95%.

Key Words : DC-DC Converter, Charge Pump, Mixed-Signal IC, IPM, Power Device

1. 서 론

휴대 기기의 소형화, 고효율화 및 EMI 대책 등으로 인덕터가 없는 전원의 채용이 증가하고 있다. 또한 세계적으로 고효율 inductorless DC-DC 변환 IC(charge pump IC)에 대한 연구가 매우 활발히 진행되고 있다[1,2,3,4].

Switched capacitor DC-DC 변환기는 그림 1에서와 같이 MOSFET 스위치(S1, S2, S3, S4)와 에너지 전달용 커패시터(C1, C2)로 구성된다. 그림 1은 Inverter의 구조인데 Vin 입력 전압이 인가될 경우 출력에는 입력 전압이 반전된 -Vin 전압이 나타난다. S1과 S3 스위치가 같이 ON, OFF 되고, S2와 S4가 같이 ON, OFF 된다. 그러므로 MOSFET 스위치를 ON, OFF 시키기 위한 발진기(oscillator)도 내장되어 있다.

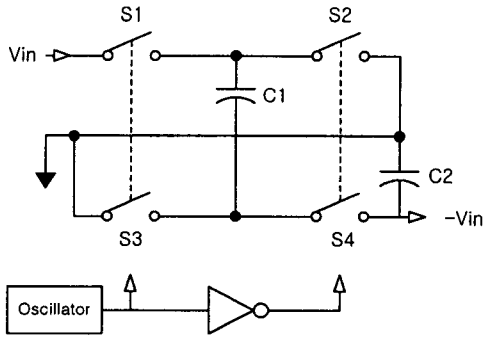

그림 1. Switched-capacitor DC-DC 변환기의 구조

* : 한국전기연구원 전력반도체그룹
(경남 창원시 성주동 28-1번지 한국전기연구원,
Fax: 055-280-1590
E-mail : nkkim@keri.re.kr)
** : 경상대학교

본 연구에서는 50㎃급 고효율, 저전력 switched-capacitor DC-DC 변환기를 0.8㎛ CMOS 공정으로 설계, 제작하였다.

2. Switched-Capacitor DC-DC 변환기

본 논문에서는 0.8㎛ CMOS 공정으로 switched-capacitor DC-DC 변환기를 설계하였다. 그림 1은 DC-DC 변환기의 전체 회로도로 발진기, 전류원(current source), 구동단 그리고 스위치단으로 구성된다. 발진기는 MOSFET로 구현된 R과 C, 비교기, 그리고 논리 게이트로 구현되었다. 발진기는 하나의 입력(EN)과 하나의 출력(OSC)을 가진다. EN 입력은 발진기를 제어하는 입력으로 High 신호를 인가할 경우 발진기가 동작을 하지 않고 출력이 High 상태를 유지하며, Low 신호를 인가할 경우 발진 신호를 출력한다. 발진기의 발진주파수는 공급전압이 5V일 경우 100㎑로 설계하였다.

구동단은 발진기의 OSC 출력을 받아 구동능력을 키워주는 4개의 inverter 단으로 구성되며, OSC와 위상이 동일한 신호와 반전된 신호를 발생하여 출력단 MOSFET를 구동한다. 출력 스위치단은 하나의 pMOSFET와 3개의 nMOSFET로 구성되었다. 4개의 MOSFET 중, 하나의 pMOSFET와 nMOSFET가 ON일 경우 나머지 2개의 nMOSFET는 OFF 되어 서로 반대되는 ON, OFF 동작을 반복하며, 외부에 커패시터가 연결될 경우 charge pumping 동작을 하게된다.

출력단은 50㎃의 출력구동전류를 얻기 위하여, 3개의 nMOSFET은 W/L 크기가 8000㎛/0.8㎛으로, 하나의 pMOSFET은 16000㎛/0.8㎛으로 설계하였다.

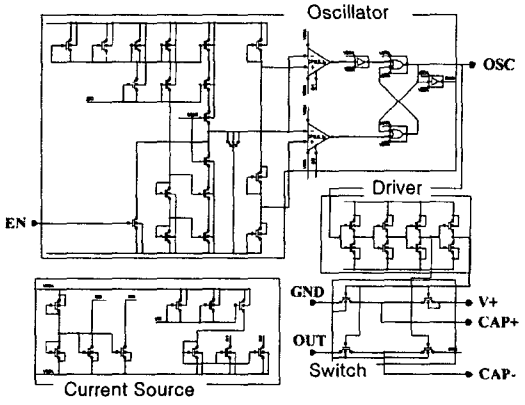

그림 1. Switched-Capacitor DC-DC 변환기의 회로도

DC-DC 변환기는 외부에 연결되는 2개의 커패시터와 공급 전압에 따라서 Inverter, Doubler, Divider로 동작한다. 2개의 외부 커패시터 중 하나는 CAP+와 CAP- 사이에 연결되고, 나머지 하나는 출력단에 연결된다.

Inverter의 경우 V+ 단자에 입력 전압 Vin을 연결하고 OUT 단자를 출력으로 구성하며, OUT 단자에는 -Vin 전압이 나타난다. 그리고 Doubler의 경우 GND 단자에 입력 전압 Vin을 연결하고 V+ 단자를 출력으로 구성하며, V+ 단자는 2×Vin 전압을 출력한다. Divider는 V+ 단자에 입력 전압 Vin을 연결하고 GND 단자를 출력으로 구성하며, GND 단자의 출력 전압은 Vin/2가 된다.

입력 전압 범위는 Inverter와 Doubler로 동작할 경우 2.5V에서 5V이며, Inverter의 출력은 -2.5V에서 -5V, Doubler의 출력은 5V에서 10V 이다. Divider로 동작할 경우 입력 전압 범위는 2.5V에서 10V이고 출력 전압은 1.25V에서 5V 사이의 전압값을 가진다.

3. 모의실험

제안하는 switched-capacitor DC-DC 변환기는 Cadence의 Analog Artist Simulator를 이용하여 모의실험 하였다.

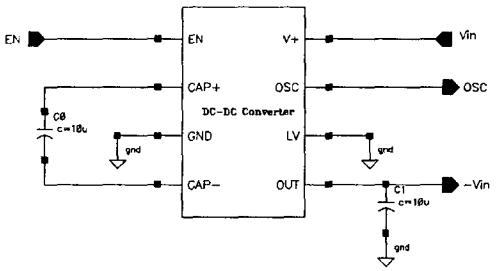

그림 2. Inverter의 구성도

그림 2는 Inverter를 모의실험 하기 위한 회로 구성으로, 공급전압은 V+ 단자로 입력되며 OUT 단자를 통하여 반전된 공급전압이 출력된다. 그림 3은 모의실험 결과로 입력전압 5V에 대한 출력전압과 전류를 나타낸다. 처음 20㎲ 동안은 EN 전압을 High로 인가하여 내부 발진기가 동작하지 않으므로 출력 전압이 변환되지 않는다. 20㎲ 이후 EN 단자에 Low 전압을 인가할 경우 발진기가 발진함에 따라 출력 전압은 낮아지기 시작하여 입력과 반전된 출력 전압까지 변환된다. 출력 전압은 -4.71V로 약 0.29V

의 전압강하가 발생하였다. 이러한 전압강하는 MOSFET 스위치의 ON 저항에 의해 발생한다. 그리고 출력에 100Ω의 저항을 연결하여 출력 전류를 측정한 결과 47.1mA로 나타났는데, 이는 전압강하에 따른 전류변화로 50mA의 전류를 충분히 출력 가능함을 알 수 있다.

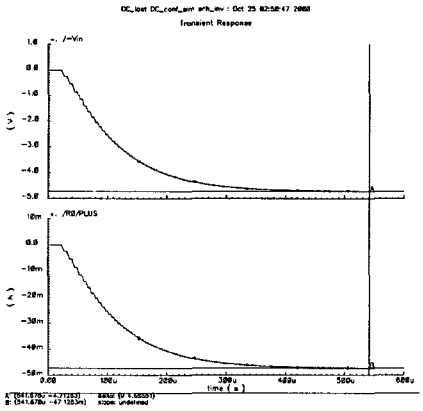

그림 3. 5V 입력에 대한 Inverter의 모의실험 결과

그림 4는 Doubler를 모의실험을 위한 회로 구성을 나타내며, 그림 5는 모의실험 결과로 입력전압 5V에 대한 출력전압과 전류를 나타낸다. 모의실험 결과 출력 전압이 9.7V로 나타나 Inverter와 유사한 0.3V의 전압강하가 나타났다.

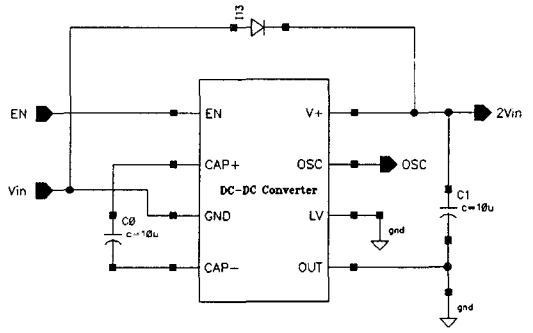

그림 4. Doubler의 구성도

입력 전압을 10V로 Divider 모의실험 결과 출력 전압이 4.93V로 전압강하가 매우 적게 나타나 Inverter나 Doubler에 비하여 좋은 특성을 가졌다. 모의실험 결과 입력 전압이 낮아짐에 따라 전압강하가 크게 나타나며, 입력 전압이 높을수록 전압강하가 적게 나타났다.

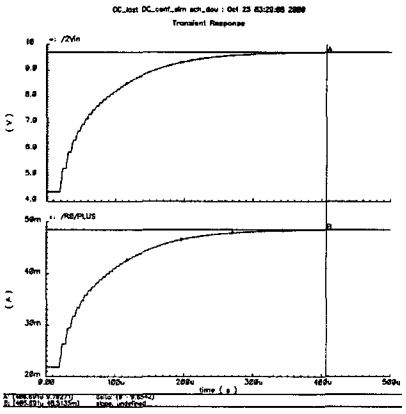

그림 5. 5V 입력에 대한 Doubler의 모의실험 결과

4. 레이아웃 및 측정결과

설계된 DC-DC 변환기는 0.8㎛, 2-poly, 2-metal CMOS 공정으로 레이아웃 되었다. 그림 6은 전류원을 포함하는 oscillator에 대한 레이아웃으로 크기는 350㎛ × 90㎛이다. Oscillator의 R, C는 MOSFET으로 구현되었다.

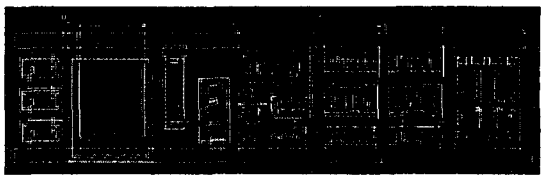

그림 6. Oscillator의 레이아웃

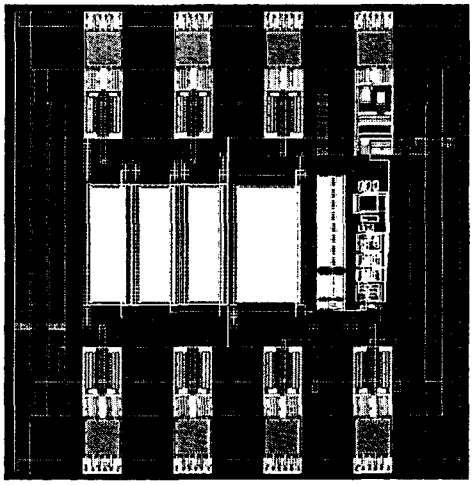

그림 7. Switched-Capacitor DC-DC 변환기의 전체 레이아웃

그림 7은 switched-capacitor DC- DC 변환기에 대한 전체 레이아웃을 나타낸다. 출력 MOSFET은 각각 80㎛/0.8㎛(nMOSFET) 크기와 160㎛/0.8㎛(pMOSFET) 크기의 MOSFET 100개를 병렬로 연결하여 레이아웃 하였다. 코어의 크기는 1000㎛ × 400㎛이고 출력패드를 포함한 전체 칩의 크기는 1300㎛ × 1300㎛이다.

그림 8은 제작된 IC에 대한 Inverter의 측정결과로 입력전압을 5V 인가할 경우 출력전압은 -4.88V로 나타났다. 이는 모의실험 출력전압 -4.71V에 비하여 더 뛰어난 특성을 가진다.

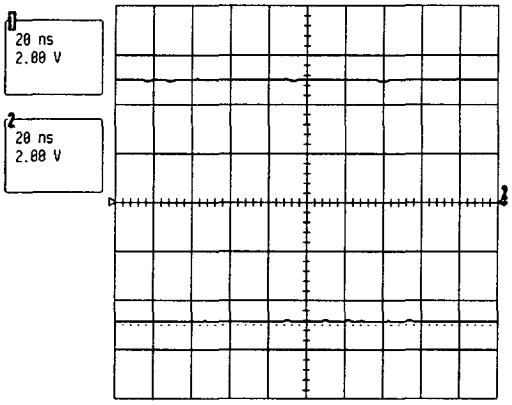

그림 8. 제작된 IC에 대한 측정결과 - Inverter

제작된 IC에 대한 실험결과 5V 입력시 전압변환율이 98%로 매우 높게 나타났으며, 입력전압이 낮아짐에 따라 전압변환율이 조금씩 낮아졌다. 또한 회로 내의 발진기와 출력 구동단 이외에는 소모되는 전력이 없어 전력효율에 있어서도 95% 이상으로 나타났다. 이상에서 살펴본 바와 같이 본 논문에서 제안하는 switched-capacitor DC-DC 변환기가 전압변환율도 높으면서 전력소모가 적어 고효율, 저전력 특성을 가진다는 것을 알 수 있다.

5. 결 론

본 논문에서는 charge pumping을 이용한 50㎃급 switched-capacitor DC-DC 변환기를 설계하였다. 변환기는 내부 발진기, 출력 구동단, 출력 MOSFET 스위치단으로 구성된다. 외부에 2개의 커패시터를 연결함에 따라 Inverter, Doubler, Divider의 세 가지 동작 모드를 가진다. 제안하는 변환기는 0.8㎛ 2-poly, 2-metal CMOS 공정으로 제작되었다. 모의실험 및 제작된 IC에 대한 실험 결과 98%의 전압변환율과 95% 이상의 전력효율을 가짐을 알 수 있었다.

참고 문헌

[1] P. Favrat, P. Deval, M. J. Declercq, "A high-efficiency CMOS voltage doubler", IEEE Journal of Solid-State Circuits, Vol. 33, No. 3. pp410-416, 1998.

[2] J. T. Wu, K. L. Chang, "MOS charge pumps for low-voltage operation", IEEE Journal of Solid-State Circuits, Vol. 33, No. 4, pp592-597, 1998.

[3] S. V. Cheong, H. Chung, and A. Ionovici, "Inductorless DC-to-DC converter with high power density", IEEE Tran. on Ind. El, Vol. 41, No. 2, 1994.

[4] B. Arntzen and D. Maksimovic, "Switched-capacitor DC/DC converter with resonant gate drive", IEEE Tran. on Power Electronics, 1998.