

Mold 법에 의해 제작된 FED용 전계에미터어레이의 특성 분석.

Fabrication & Properties of Field Emitter Arrays using the Mold Method for FED Application.

류정탁*, 조경제**, 이상윤***, 김연보*, K. Oura****.

(Jeong-Tak Ryu*, Kyung-Jea Cho**, Sang-Yun Lee***, Yeon-Bo Kim*, Kenjiro Oura****)

Abstract

A typical Mold method is to form a gate electrode, a gate oxide, and emitter tip after fabrication of mold shape using wet-etching of Si substrate. In this study, however, new Mold method using a side wall space structure is used in order to make sharper emitter tip with a gate electrode. Using LPCVD(low pressure chemical vapor deposition), a gate oxide and electrode layer are formed on a Si substrate, and then BPSG(Boro phospher silicate glass) thin film is deposited. After, the BPSG thin film is flowed into a mold as high temperature in order to form a sharp mold structure. Next TiN thin film is deposited as a emitter tip substance. The unfinished device with a glass substrate is bonded by anodic bonding techniques to transfer the emitters to a glass substrate, and Si substrate is etched using KOH-deionized water solution. Finally, we made sharp field emitter array with gate electrode on the glass substrate.

Key Words : Mold, FEA, BPSG, Anodic Bonding, LPCVD

1. 서론

진공미세소자는 마이크로파 소자, 내온도-방사선 소자, 전계방출디스플레이(FED), 미세센서 등의 용도로 새로운 전자소자로 최근 각광을 받고 있다 [1-3]. 전계 에미터 소자에서 전자의 방출은 소자 구

조 및 에미터 물질, 에미터 모양에 따라 그 효율이 크게 달라진다. 현재 전계 에미터 소자의 구조는 크게 캐소드와 아노드로 구성된 이극형(diode)과 캐소드, 게이트, 아노드로 구성된 삼극형(triode)으로 분류할 수 있다. 삼극형 구조는 전자 방출을 위한 전계를 캐소드와 인접한 게이트로 인가하기 때문에 이극형에 비해 저전압 구동이 가능하고, 게이트로 방출 전류를 쉽게 제어할 수 있기 때문에 많이 개발되고 있다. 에미터 물질로는 금속, 실리콘, 다이아몬드, 다이아몬드상 탄소(DLC), 탄소계 재료등이 이용되고 있다.

기존의 mold 법에 의한 전계방출 소자의 제조 방법은 에미터 팁을 제조함에 있어서, 게이트를 mold 형태 위에서 만들지 못하거나, 게이트를 만들더라도 팁끝이 게이트 높이와 맞지 않게 된다[4]. 그러므로 팁끝이 게이트 전극보다 높게 되어, 게이트에 의한

* 대구대학교 정보통신공학부
(경북 경산시 진량읍 내리리 15번지 대구대학교,
Fax : 053-850-6619, E-mail : jryu@taegu.ac.kr)
** 대구대학교 중앙기기센터
(경북 경산시 진량읍 내리리 15번지 대구대학교,
Fax : 053-850-5749, E-mail : kjcho@taegu.ac.kr)
*** 경북대학교 물리학과
(대구시 북구 산격동 137번지 경북대학교)
**** 일본 Osaka University

전기장이 효과적으로 인가되지 못하는 구조가 되고, 또 게이트를 유리판 상에서 제작해야 하는 문제점이 있다. 본 연구에서는 이러한 문제점을 해결하는 방법으로 기존의 제조 방법과는 달리 새로운 공정의 mold 법을 이용해서 게이트를 가진 뾰족한 에미터 어레이를 제작하였다. 또한 뾰족한 형태의 팁을 만들기 위해서 BPSG 막을 사용하였다. mold 법의 특성은 게이트 절연막을 끝이 뾰족한 형태로 증착할 수 있고, 따라서 뾰족한 에미터 어레이를 제작할 수 있게 된다. 팁의 높이와 맞는 게이트 전극을 미리 형성하여 삼극형의 전계 에미터 어레이를 제작할 수 있었고, 팁을 형성하기까지 반도체 공정을 사용하였다.

2. 실험방법

2.1 Transfer mold 법에 의한 제조 방법

본 연구는 새로운 공정의 mold 법을 이용하여 뾰족하고 균일한 전계 에미터 어레이를 제조하는 것으로 실리콘 기판 대신에 유리 기판을 이용하였으며 팁 제작시까지는 반도체 공정을 이용하였다. 그리고 실리콘 기판과 유리 기판을 접합시킬수 있는 정전접합 기술과 팁을 노출시키기 위한 기술로서 실리콘 기판을 제거할 수 있는 KOH 용액을 사용하였다.

Fig. 1은 전계방출 팁의 제조 방법을 나타낸 것이다. 먼저 실리콘 기판(5인치 n형, 비저항 5~8 Ω -cm) 위에 산화막을 LPCVD 방법으로 300nm 두께로 증착한 후 게이트 전극 물질로 폴리실리콘을 300nm 두께로 증착하였고, 게이트 절연층 위에 첫 번째 방법으로 TEOS 산화막을 500nm 두께로 증착한 다음, 광학 스텝프를 이용하여 팁 마스크를 패터닝한 후 산화막을 차례로 식각하여 홀지름을 1 μ m로 형성하였다[Fig. 1(a)]. 이러한 구조 위에 산화막을 증착하는데 증착과 식각을 세 번 수행하여 RIE(Reactive Ion Etching) 방법에 의해서 다층의 측벽 스페이스 구조를 형성하였다[Fig. 1(b)]. 하지만 이 방법에 의해서는 절대로 뾰족한 형태의 모양을 얻을 수 없었다. 두 번째 방법으로 게이트 절연층에 BPSG 박막을 증착하여 950 $^{\circ}$ C의 고온에서 flow를 시키는 방법을 사용하여 전극 물질이 잘 매립될 수 있게 절연막의 단면을 경사지게 형성시켰으며[Fig. 1(a')], RIE 방법에 의해서 증착과 식각을 두 번 수행하여 뾰족한 팁 형태를 형성하였다[Fig. 1(b')]. 그 다음 공정으로 증착과 식각을 반복하여 형성하는 공정은 플라즈마 CVD 반응로에서 SiH₄, N₂O 가스로 200nm의 두께로 증착한후, 반응로 안에서 그대로 아르곤(Ar) 가스로 100nm의 두께로 식각하고 이러한 증착과 식각을 반

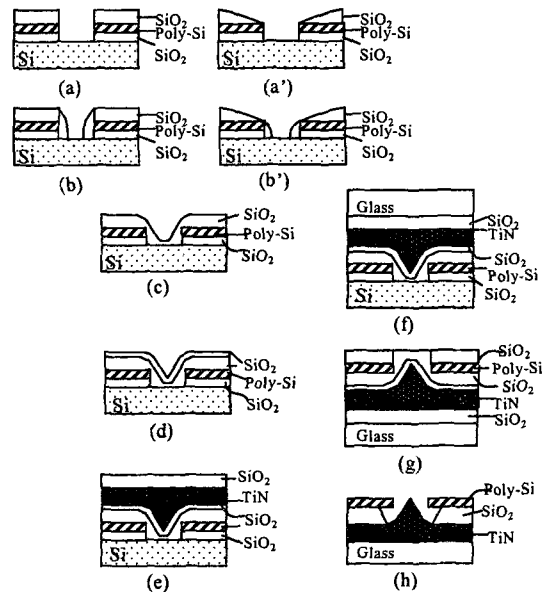


그림 1. Transfer Mold 공정.

Fig.1. Transfer Mold Process.

복하여 증착되는 단면의 모서리가 둔해져서 절연막의 단면이 경사가 지게 형성하였다[Fig. 1(c)]. 다음은 게이트 전극과 팁 끝의 높이를 일치시키기 위해 추가적으로 LPCVD방법에 의해 일정한 두께의 절연막을 증착시키는 공정이다[Fig. 1(d)]. 형성된 mold 위에 에미터 팁 물질로 TiN을 200nm 증착하여 전계방출 팁을 형성하였고, 그리고 에미터 팁 물질 위에 산화막을 1000nm 증착하여 KOH 용액에서 실리콘 기판을 제거시 팁 보호막으로 이용했다[Fig. 1(e)]. 그 다음 공정으로 산화막 위에 파이렉스 유리를 접합시키기 위해서 정전접합을 이용하여 접착시켰다[Fig. 1(f)]. 이러한 접합된 유리 기판과 실리콘 기판을 연마(polishing) 장비를 사용하여 실리콘 기판(625 μ m)을 80% 정도 갈아내고 난 후 나머지 실리콘 기판을 80 $^{\circ}$ C의 KOH 용액에서 2시간 동안 식각하여 완전히 제거하였다[Fig. 1(g)]. 그리고, 마지막 공정으로 산화막을 불산(HF) 용액에서 부분적으로 제거한 후 뾰족한 에미터 팁을 노출시켰다[Fig. 1(h)].

2.2 유리-실리콘 기판 접합 기술

mold 형태의 전계 에미터 어레이(FEA)를 제조하기 위해서는 유리 기판과 실리콘 기판을 서로 접합시키는 것은 가장 중요한 공정중의 하나이다. 본 실

험에서는 유리 기판과 실리콘 기판을 접합시키기 위해서 정전접합 방법을 사용하였다. 파이렉스 유리를 이용하는 실리콘-유리간의 정전 메카니즘은 일반적인 유리막을 이용한 실리콘-실리콘 간의 접합 메카니즘과 유사하다[5]. Fig. 2는 정전접합 장치의 배치도를 보여준다. 접합장치는 히터 및 온도제어기, 직류전압 공급장치등으로 구성되어 있다. 이때 온도는 500℃까지 올릴수 있도록 되어 있고, 직류전압은 3kV까지 올릴수 있도록 제작하였다. 전원의 양극 부분은 실리콘 막에 음극 부분은 파이렉스 유리막에 연결되어 있다.

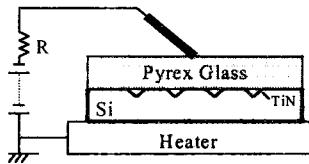


그림 2. 실리콘-유리의 정전접합 모형.
Fig. 2. The Schematic of Si-glass anodic bonding.

3. 결과 및 고찰

Fig. 3은 mold 형태 위에 LPCVD 방법으로 산화막을 각각 TEOS 막과 BPSG 막을 증착하여 식각과 증착 공정을 반복하여 수행한 결과 형성될 최종 에미터 팁 모양을 비교한 SEM 사진이다. 먼저 TEOS 막을 증착하고서 식각과 증착을 반복 수행한 결과 [Fig. 3(a)] 팁 모양이 뾰족한 형태가 아닌 직각형태로 되었다. 그리고 팁 끝은 게이트 전극 아래에 위치한다는 것을 알수 있었다. 또한 절연막과 게이트 전극, 산화막의 두께를 일정한 비율이 아닌 다른 두께로 증착하여도 결과는 똑같이 나왔다. 팁을 뾰족한 형태로 제작하기 위해서 위 방법에서 해결해야 할 과제는 측벽의 각이 수직인 각이 아니고, 완만하고 경사지게 만드는 것이다. 본 연구에서는 위의 방법의 해결책으로 산화막을 TEOS 막이 아닌 BPSG 막을 증착하여 최종적으로 뾰족한 팁 형태를 얻을 수 있었다. 먼저 BPSG 막을 950℃의 고온에서 열처리하여 홀 형태에서 산화막의 각도를 직각에서 포물선 형태로 경사지게(약 45°) 제조하였다[Fig. 1(b)] 여기서 중요한 결과는 BPSG 막을 증착하여 고온에서 열처리시 게이트 절연층의 박막이 포물선 형태로 형성되었고, 또한 뾰족한 팁 형태의 제조에 있어서 홀 지름의 측면이 측벽 식각에 의하여 팁 끝 모양이 뾰족해져서 식각 후에 산화막을 증착하여 팁 끝을 게이트 중앙에 만들 수 있었다. 그리고 BPSG

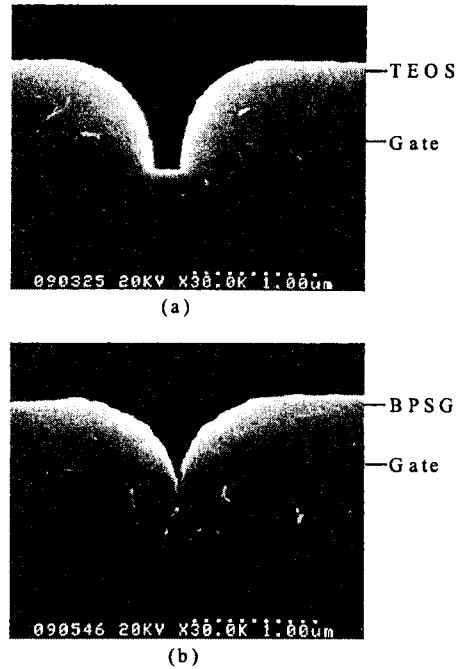
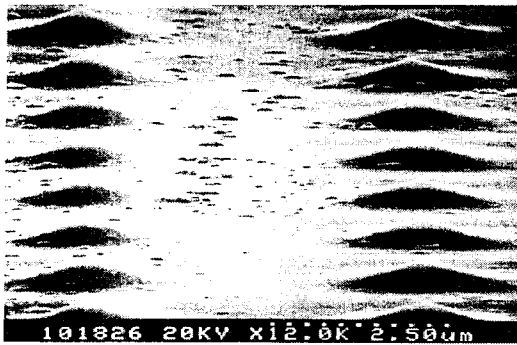


그림 3. Mold 형성 후의 SEM 사진
(a) TEOS, (b) BPSG

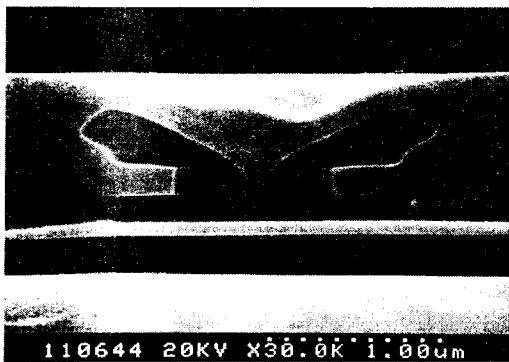
Fig. 3. SEM photographs of after mold formation by (a) TEOS, (b) BPSG.

박막 증착 두께에 따라 고온에서 열처리시 포물선 각도의 기울기 값 차이에 따라 즉, 각도가 경사지고 완만해지는 포물선의 형태에 따라 팁의 높이 및 게이트 절연층의 두께를 결정할 수 있다는 것이다. Fig. 4는 mold 법에 의해 제작된 유리기판 위에 형성된 TiN 전계 에미터 어레이의 구조를 SEM을 이용하여 분석한 결과를 나타내었다. Fig. 4(a)에서 볼 수 있듯이 팁과 팁 사이의 거리는 5μm이며, 전계 에미터 어레이가 전체적으로 균일하게 형성되었음을 알 수 있다. Fig. 4(b)는 1개의 에미터 팁의 단면사진을 나타내는데, 팁의 높이는 약 1.07μm이며, 팁 끝 반경은 약 358Å 정도이었다. 팁 끝의 형태는 뾰족하면서 안정된 구조를 보여 주고 있고, 팁 표면은 다소 거칠어 보였다. 다음으로 전계 에미터 어레이를 제조하기 위해서는 실리콘 기판과 유리 기판을 접합시키는 것이 아주 중요한 기술 중의 하나이다.

본 연구에서는 접합 온도와 인가전압, 접합시간, 그리고 실리콘 기판 위에 형성된 물질 즉, 산화막, 폴리실리콘, TiN의 증착 두께에 따른 정전접합의 조건을 분석하였다. 접합온도가 200℃이하일때는 접합에 필요한 충분한 가열이 되지 못하여 접착률이 크게



(a)



(b)

그림 4. TiN FEA에 대한 SEM 사진.

Fig. 4. SEM photograph of the TiN FEA.

떨어졌고, 400°C 이상이 되면, 유리 기판과 실리콘 기판간의 열팽창 계수 차이에서 오는 스트레스에 의한 열적 변형이 증대되기 때문에 접합 면적비가 감소되기 때문이라 생각된다. 두께 변화는 계면에 흐르는 전류 밀도에 큰 영향을 미치지 않는다. 전류 밀도가 비슷한 값을 가지므로 접합 압력은 산화막과 폴리 실리콘, 그리고 TiN의 두께에 큰 영향을 받지 않고 비슷한 값을 가지게 된다. 즉, 여러 물질이 증착된 실리콘과 유리와의 접합에서는 접합에 미치는 인자는 같은 전류 밀도에서 전류 용량이 더 큰 영향을 미치게 된다. 이와 같이 같은 접합 압력에 의해 접합이 일정하게 접합 계면의 평행 방향으로 변형된다고 볼 수 있다. 접합공정에서 접합면적비에 가장 큰 영향을 주는 공정변수는 접합 온도임을 알수 있었고, 다음은 접합시간, 접합압력 순으로 영향이 크고, 직류 전압이 가장 영향이 작은 것으로 분석되었다. 또한 최적의 접합온도는 300°C, 직류전압은 500V, 접합시간은 10분일 때 최고의 성능을 발휘함을 알수 있었다.

4. 결론

본 연구는 유리기판 위에 전계 에미터 어레이를 제작하는 것으로 기존의 제조 방법과는 달리 새로운 공정의 mold 법으로 실리콘 기판위에 미리 게이트 전극과 게이트 절연층을 형성 한 후 그 위에 LPCVD 방법으로 BPSG 박막을 증착하고서 고온에서 열처리하여 게이트 절연층을 포물선 형태로 만들어서 증착과 식각 공정을 반복하여 뾰족한 팁 형태를 형성하여 팁 물질로 TiN을 증착하였다. 유리판과 팁 물질이 증착된 실리콘 웨이퍼를 접합시 팁 물질을 보호하기 위해 산화막을 증착하여 파이렉스 유리판에 접합 조건으로 정전접합을 실시하였고, 뾰족한 팁을 노출시키기 위해 실리콘 기판을 완전히 제거하여 최종적으로 게이트를 가진 뾰족한 전계 에미터 어레이를 제작하였다.

이러한 mold법은 기존의 패키징 문제점인 실리콘 기판과 유리 기판 사이에 와이어 접합하는 기술과 유리와 실리콘 기판간의 접합 문제점을 해결할 수 있으며, mold 형태위에 저 일함수 층을 증착하기 쉬우며, 증착층의 두께를 두껍게 형성할 수 있고, 그리고 좋은 균일성을 가진 전계 에미터 어레이를 형성할 수 있으며, 향후 불이는(tiling) 기술에 의해 대면적화가 가능할 것이다.

참고 문헌

- [1] C. A. Spindt, I. Brodie, L. Humphrey, and E. R. Westerberg, J. Appl. Phys. 47, P5248 (1976).
- [2] C. A. Spindt, C. E. Holland, A. Rosengreen, and I. Brodie, J. Vac. Sci. Tech. B11(2), P468 (1993).
- [3] H. F. Gray, J. L. Shaw, D. Temple, Proceedings of the 8th International Vacuum Microelectronic Conference, Portland, Oregon, P27 (1995).
- [4] M. Nakamoto, T. Ono & Y. Nakamura, Sixth International Vacuum Microelectronics Conference, Late News 28, P345 (1993).
- [5] G. Wallis et al., J. Appl. Phys. 40, P3946 (1969).