

고전압 사이리스터 제작을 위한 Computer Simulation

Computer Simulation for High Voltage Thyristor Fabrication

김상철, 김은동, 김남균, 방 옥

Sang-cheol Kim, Eun-dong Kim, Nam-kyun Kim, Wook Bahng

Abstract

Thyristor devices have 3-dimensional complicated structure and were sensitive to temperature characteristics. Therefore, it was difficult to optimize thyristor devices design. We have to consider many design parameter to characterize, and trade-off relations. The important parameters to design thyristor devices are cathode structure, effective line width, cathode-emitter shunt structure, gate structure, doping profile and carrier lifetime. So, we must consider that these design parameters were not acted separately. However, there are many difficulties to determine optimized design parameters by experiment. So, We used specific design software to design thyristor devices, and estimated the thyristor devices characteristics.

Key Words : High Voltage Thyristor, Breakdown Voltage, Leakage Current, Lifetime

1. 서론

1947년 트랜지스터의 출현으로 반도체시대가 도래한 후 10년이 지나 미국의 GE사와 RCA사에 의해서 사이리스터는 거의 같은 시기에 개발되어 상품화가 되었다. 1년이 지나 사이리스터는 일본에도 전해져 GE 및 RCA와의 기술체류를 통하여 새로운 종류의 사이리스터 소자가 개발되기 시작하였다.

이 새로운 소자를 GE에서는 실리콘 정류소자 또는 반도체 정류소자 SCR[®]이라는 이름으로 명하였으며 RCA사에서는 이 소자의 성질이 사이라트론과 비슷하고 2개의 트랜지스터의 복합구조라는 점에서 Thyatron과 Transistor의 두 낱말을 합성하여 사이리스터(Thyristor)로 명하였다. 이와 같은 새로운 소자는 1963년 IEC (International Electrotechnical Commission) 총회에서 사이리스터로 규정되어 현재 까지 사용되고 있다. 이러한 새로운 반도체 소자를 개발함으로써, 전력반도체라는 반도체의 한 분야가

열렸으며, 개발 당시에는 10A정도의 전류처리능력과 수백 V 정도의 전압저지능력을 가지고 있었지만, 현재에는 정격전류로는 약 6,000A, 정격전압으로는 무려 12kV 급까지 발전되었다. 사이리스터는 다른 전력소자와 비교하여 고전압, 대전류화, 단위 시간당 전류내량 및 전력제어비가 우수한 장점이 있다.

최근에는 시스템의 고속 스위칭화에 따라 중 용량 (1500V 이하, 수백 암페어 급)에서는 20kHz까지 스위칭이 가능한 IGBT(절연 게이트 바이폴라 트랜지스터)가 사이리스터의 시장을 대체하고 있으며 MCT (MOS Controlled Thyristor) 및 SiTh (정전유도 Thyristor) 등과 같은 고속의 새로운 소자가 개발됨으로써 그 역할이 점점 더 축소되고 있으나 대용량 소자의 경우 IGBT 등의 경우 소자의 구조적인 문제로 인하여 사이리스터가 아직은 중요한 소자로 인식되고 있다.

2. 모델링을 통한 소자 특성 해석

사이리스터 소자는 복잡한 3차원 구조로 되어 있으며, 온도에도 민감한 특성을 나타낸다. 따라서 사이

한국전기연구원 전력반도체그룹
(경남 창원시 성주동 28-1)
Fax : 055-280-1590
E-mail : sckim@keri.re.kr

리스터 소자를 최적으로 설계하는 것은 상당히 어렵다. 제반 특성을 결정하는 설계변수가 매우 많고, 이들간의 상호관계도 매우 복잡하다. 사이리스터 특성을 결정하는 주요 설계변수로는 캐소드의 모양, 실효선폭, 주변길이, 캐소드-에미터 단락구조의 모양, 크기, 거리, 패턴 및 게이트 구조, 도핑농도 구조, 캐리어 lifetime 등이다. 따라서 이러한 설계변수들이 사이리스터 소자의 여러 특성에 미치는 영향을 정량적으로 산출하여 최적설계 해야 한다. 그러나 실험적인 방법으로 최적설계 하기에는 변수가 많기 때문에 시간과 비용이 많이 들고, 최적설계가 되었는지도 판별하기가 어렵게 된다. 따라서 본 연구에서는 반도체 소자 시뮬레이터를 이용하여 사이리스터 소자의 특성을 예측하였다.

다이오드, 사이리스터의 해석적 모델을 컴퓨터로 계산한 ANALYSIS와 반도체 소자 기본 방정식인 연속방정식, 포아손방정식을 수치해석적으로 계산한 프로그램인 ISSLEDOVANIE를 이용했다.

전력용 다이오드, 사이리스터의 특성을 계산하는 프로그램인 ANALYSIS로는 사이리스터의 turn-off time, $(dV/dt)_{crit}$, 반복 피크전압(V_{DRM}), 누설전류, 게이트 트리거 전류, surge전류 등을 계산했으며, ISSLEDOVANIE는 전류-전압특성을 계산하는데 사용하였다.

ANALYSIS는 다이오드 및 사이리스터를 이차원적으로 해석하는 프로그램이다. 이 프로그램에서는 캐소드 에미터 단락구조를 해석하기 위하여 식 (2-1)을 사용했고, 이 식을 계산하기 위해서 p 베이스의 sheet resistance를 입력상수로 처리했으며, 식 (2-2)과 같은 실효 에미터 단락저항(effective emitter shunt resistance) R_{eff} 를 도입했다.

$$I_{dis}(t) = C_2 \frac{dV}{dt} \quad (2-1)$$

$$R_{eff} = R_{pb} \left[\frac{r_0^2}{2} \left\{ \ln \left(\frac{r_0}{r_{sh}} \right) - \frac{1}{2} \left(1 - \frac{r_{sh}^2}{r_0^2} \right) \right\} - \frac{r_0(r_0 - r_{sh})^3}{3(r_0^2 - r_{sh}^2)} \right] \quad (2-2)$$

여기서 $(dV/dt)_{cr}$ 및 turn-off 시간을 계산하기 위해서는 소자의 도핑농도 구조, p 베이스 및 n 베이스의 소수 캐리어 lifetime, 캐소드 에미터 단락구조, 소자의 온도를 입력변수로 사용했다.

한편 surge전류를 계산하기 위해서는 실리콘 소자를 포함한 다층구조에 대한 다음과 같은 비선형 열전달 방정식을 풀어야 한다.

$$\frac{\partial T_i}{\partial t} = a_i \frac{\partial^2 T_i}{\partial x^2} \quad (2-3)$$

$$c\rho \frac{\partial T}{\partial t} = \lambda \frac{\partial^2 T}{\partial x^2} + \left(\frac{\partial \lambda}{\partial T} \right) \left(\frac{\partial T}{\partial x} \right)^2 + Q(t, T) \quad (2-4)$$

T_i : node의 온도,

a_i : 열확산계수 (thermal diffusion coefficient)

c : 열용량 (specific heat capacity)

ρ : 밀도, λ : 열전도도 (thermal conductivity)

여기서 $Q(t)$ 는 소자에서 소모된 전력밀도로, 단면적이 S , 실리콘 웨이퍼의 두께가 W_{Si} 인 소자에, 크기가 I_M 이고 주파수가 ω 인 사인파 surge전류가 반주기 동안 인가되었다면 다음과 같다.

$$Q(t) = \frac{1}{SW_{Si}} [V_0 I_M \sin \omega t - (I_M \sin \omega t)^2 r_T(T)(1 + \zeta \Delta T)], \quad (2-5)$$

$$\omega t \leq \pi, \quad \omega t > \pi$$

이때 V_0 는 온 상태 전압이고, $r_T(T)$ 는 I-V 특성곡선으로부터 구해지는 소자의 동특성 저항(dynamic resistance), ζ 는 온도보상 상수이다. 일반적으로 소자가 견딜 수 있는 최대 surge전류는 surge과형, 패키지 형태 등에 따라서 다르다. 따라서 소자의 전압-전류 특성, 동특성 저항, 다수 캐리어 주입시 베이스의 캐리어 lifetime과 소자의 각 층에 대한 구조 및 열적특성, 계면의 열저항 등을 고려해야 한다. 본 연구에서는 surge전류 계산을 위한 입력변수로 실리콘 소자, Cu, Mo 판의 구조 및 열적특성, 다수 캐리어 주입시의 lifetime, 펄스형태 등을 사용하였다.

3. 계산결과

사이리스터 소자가 순방향 차단상태에 있을 경우에는 대부분의 전계가 p 베이스와 n 베이스 접합 J_2 에 걸리며, 역방향 차단상태일 경우에는 애노드와 n 베이스 접합 J_1 에 걸리게 된다. 일반적으로 n 베이스의 도핑농도가 p 영역보다는 상당히 낮으므로 대부분의 공핍층은 n 베이스에 형성된다. 한편 n 베이스 폭이 커지거나 n 베이스의 소수 캐리어 lifetime이 낮아지면 내전압 특성은 향상되지만 순방향 특성이 저하된다. 따라서 소자의 내전압을 설계하기 위해서는 순방향 전압-전류 특성과의 trade-off를 고려해야 한다.

그림 1에 p+n 확산접합에서 p+의 표면농도가 $1 \times 10^{18} \text{cm}^{-3}$, 접합 깊이가 $40 \mu\text{m}$ 일 때의 n-베이스 저항률에 따른 애벌런치(avalanche) 항복전압의 변화를 나타내었다. 그림에서 n-베이스의 저항률이 $50 \Omega\text{cm}$ 이상에서 1600V 이상의 항복전압을 얻을 수 있었다. 그러나 일반적으로 해석적인 계산에서 언급

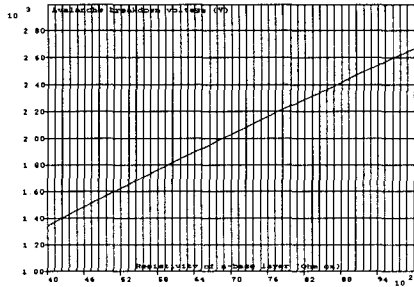


그림 1. n-베이스 저항률의 변화에 따른 항복전압의 변화

한 바와 같이 1000V 이상의 고전압 소자의 경우 반복최대전압 V_{DRM} , R_{RM} 보다 10% 이상의 전압으로 설계하여야 하며, 또한 사용 Si-웨이퍼의 저항률 분포가 전 범위에서 10% 정도의 편차를 가지므로 최종적으로 약 20% 이상의 전압 여유를 두어야 한다. 따라서 본 연구에서 요구되는 1600V의 반복최대전압을 구현하기 위해서는 목표 값을 1900V 이상, 2000V 정도로 설계하여야 한다. 그림에서 1900V 이상의 설계 값을 얻기 위해서는 n-베이스의 저항률을 약 $70\Omega\text{cm}$ 로 선정하였다.

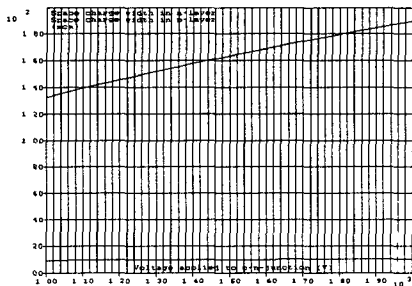


그림 2. 인가전압의 변화에 따른 공핍층의 변화

그림 2에 인가전압의 변화에 따른 p-베이스 및 n-베이스의 공핍층 넓이를 나타내었다. 1600V를 인가하였을 때 n-베이스의 공핍층은 최소 $170\mu\text{m}$, p-베이스의 공핍층은 $15\mu\text{m}$ 정도이다. 그림에서 인가전압이 1000V에서 1600V로 변함에 따라 p⁺-층의 공핍층의 변화가 거의 없으며 전체 공핍층 폭의 약 10% 정도를 차지하고 있어 전체 항복전압의 약 10% 정도를 p⁺ 영역에서 기여하는 것으로 보인다. p-영역의 표면 농도를 낮추게 되면 이 영역으로의 공핍영역 폭이 증가하게 되는데, 이것은 소자의 특성 및 주입효율 등의 설계 기준에 따라 적절한 값을 선택

하여 사용하여야 한다. n-영역에서는 인가전압이 증가하면 공핍층의 폭도 비례적으로 증가하는 경향을 보이고 있다.

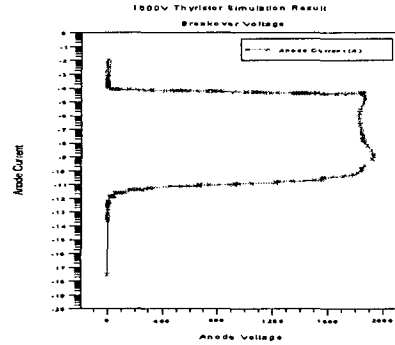


그림 3. 모델링 사이리스터 소자의 항복전압 특성

그림 3에 Silvaco사의 2차원 소자 Simulator인 Atlas를 이용하여 계산하였으며 사이리스터 소자의 순방향 breakover전압은 약 1,900V 정도로 앞의 결과(그림 1)와 거의 비슷하다

한편 사이리스터의 항복전압은 누설전류에 의한 증폭현상 때문에 개별 pn 접합 보다는 낮아지게 된다. 순방향 누설전류 J_D 는 역바이어스 전류밀도, 애벌런치 증배계수(avalanche multiplication factor), 전류이득 α 에 의해서 결정되며, 이들 값은 소자의 캐리어 lifetime, n 베이스 폭 등에 의해서 영향을 받게 된다. 역바이어스 전류밀도는 공핍층의 양단 끝으로부터 소수 캐리어 확산길이 내에서 발생하는 캐리어에 의한 확산전류 및 공핍층 내에서 발생하는 캐리어에 의한 드리프트(drift) 전류에 의해서 결정된다. 일반적으로 넓은 밴드 갭을 가진 실리콘 소자의 경우 상온에서는 드리프트 전류가 지배적이며, 고온에서는 확산전류도 무시할 수 없을 정도로 커지게 된다. 확산전류 및 드리프트 전류는 소자의 캐리어 lifetime에 큰 영향을 받게 되는데, 본 연구에서는 캐리어 lifetime을 전자선 조사(electron irradiation)에 의해서 조절된 것으로 사용했다. 또한 드리프트 전류는 공핍층 폭에 비례하게 되며, 공핍층 폭은 소자의 도핑농도 및 인가전압에 의해서 결정되므로 p 베이스 및 n 베이스의 도핑농도를 조절하여 공핍층 폭을 제어하면 누설전류를 조절할 수 있다.

그림 4에는 표 1에 표시한 것처럼 인가전압이 1600V, n 베이스의 소수 캐리어 lifetime τ_{p0} 가 1.3

μs , p 베이스의 소수 캐리어 lifetime τ_{n0} 는 $5\mu\text{s}$ 이고, 캐소드 접합깊이가 $15\mu\text{m}$ 일 때의 온도에 따른 누설 전류의 변화를 나타냈다. 그림에 표시된 것처럼 본 연구의 설계 값인 최대허용 반복 피크전압의 허용치를 인가한 경우에 소자의 접합온도가 150°C 까지 높아져도 누설전류는 5mA 이하로 나타났다.

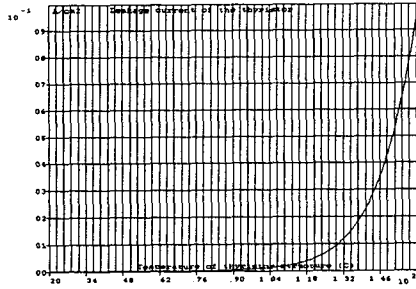


그림 4. 사이리스터 소자의 온도에 따른 누설전류

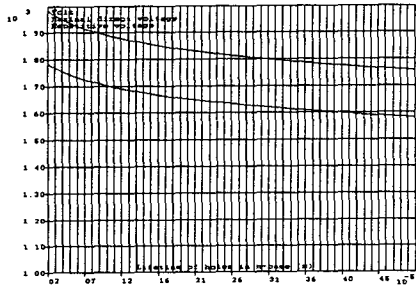


그림 5. n-베이스의 소수 캐리어 lifetime에 따른 사이리스터의 내전압특성

그림 5에 상온(25°C)에서 n 베이스의 소수 캐리어 lifetime τ_p 에 따른 사이리스터 소자의 최대 항복전압(breakover voltage) V_{BO} , 누설전류 J_D 를 5mA 정 의하여 반복 피크전압 V_{DRM} 및 V_{RRM} 을 계산한 결과를 나타냈다. 그림에서 소수 캐리어 lifetime τ_p 가 증가하면 베이스의 소수 캐리어 확산길이 L_p 가 증가 함으로써 전류이득이 커지기 때문에 항복전압이 낮아지게 된다. 따라서 높은 항복전압을 얻기 위해서는 τ_p 를 낮추어야 한다. 그러나 τ_p 가 낮아지면 상대적으로 소자의 순방향 전압-전류 특성을 저하시킨다. 그림에서 τ_p 가 $2\mu\text{s}$ 까지 증가해도 $V_{DRM,RRM}$ 을 잘 만족시킬 수 있다. 따라서 제조공정 중에 소자의 캐리어 lifetime이 어느 정도 변해도 본 연구에서 얻고자 하는 내전압 특성을 쉽게 만족시킬 수 있다. 그러나 n 베이스 폭이 커지면 순방향 특성이 저하되

므로 이들과의 trade-off를 고려해야 한다.

표 1. 누설전류 계산에 사용된 사이리스터 소자의 사양

항 목	기호	단위	
p+n 접합깊이	x_{j1}	μm	40
캐소드 접합깊이	x_{j3}	μm	15
Acceptor 표면농도	N_{SA}	cm^{-3}	2×10^{18}
n 베이스 저항률	ρ_n	Ωcm	70
n 베이스의 소수 캐리어 lifetime	τ_n	μs	1.3
p 베이스의 소수 캐리어 lifetime	τ_p	μs	5
n 베이스 폭	W_n	μm	220
인가전압	V_D	V	1600
온도범위	-	$^\circ\text{C}$	20-160

4. 결 론

본 연구에서는 $1600\text{V}/100\text{A}$ 급 사이리스터 소자를 설계하기 위한 모델링을 수행하였다. 내전압 1600V 를 얻기 위해서는 일반적으로 목표 값에 비하여 약 20% 정도의 여유를 두고 설계하는 것이 보통이다. 따라서 본 연구에서는 1900V 의 내전압을 얻기 위한 웨이퍼의 저항률 및 두께를 결정하였다. 계산에 의해 얻은 웨이퍼의 사양은 저항률 $70\Omega \cdot \text{cm}$ 이며 1600V 가 인가되었을 때 pn 접합에서의 공핍층의 폭을 계산하여 실리콘웨이퍼의 두께는 $300\mu\text{m}$ 로 결정하였다.

모델링 결과에 의하여 p-베이스의 폭을 $40\mu\text{m}$ 정도로 하였으며 이 값은 npn 트랜지스터 및 pnp 트랜지스터의 전류이득의 합, $\alpha_{npn} + \alpha_{pnp} \approx 1$ 의 조건을 만족시키며 턴-온 특성 및 턴-오프 특성을 고려하여 npn 트랜지스터의 전류이득 값이 pnp 트랜지스터의 전류이득에 비하여 크게 하기 위하여 최적의 값을 선택하여야 한다.

감사의 글

본 연구는 과학기술부 지원의 한·러 국제공동 연구사업으로 수행되었으며 이에 감사드립니다.

참고 문헌

- [1] A. A. Jaeklin, Power Semiconductor Devices and Circuits, Plenum Press, 1992.
- [2] A. Blicher, Thyristor Physics, Springer-Verlag, 1976.
- [3] B. Jayant Baliga, Modern Power Devices, John Wiley & Sons, 1987.