

MOS 소자의 대체 게이트 산화막으로써 HfO₂/HfSi_xO_y 의 구조 및 전기적 특성 분석

Structural and electrical characterizations of HfO₂/HfSi_xO_y as alternative gate dielectrics in MOS devices

강혁수, 노용한
(Hyeoksu Kang, Yonghan Roh)

Abstract

We have investigated physical and electrical properties of the HfO₂/HfSi_xO_y thin film for alternative gate dielectrics in the metal-oxide-semiconductor device. The oxidation of Hf deposited directly on the Si substrate results in the HfSi_xO_y interfacial layer and the high-k HfO₂ film simultaneously. Interestingly, the post-oxidation N₂ annealing of the HfO₂/HfSi_xO_y thin films reduces(increases) the thickness of an amorphous HfSi_xO_y layer(HfO₂ layer). This phenomenon causes the increase of the effective dielectric constant, while maintaining the excellent interfacial properties. The hysteresis window in C-V curves and the midgap interface state density(D_{itm}) of HfO₂/HfSi_xO_y thin films less than 10 mV and ~3×10¹¹ cm⁻²-eV without post-metallization annealing, respectively. The leakage current was also low (1×10⁻⁵ A/cm² at V_g = +2 V). It is believed that these excellent results were obtained due to existence of the amorphous HfSi_xO_y buffer layer. We also investigated the charge trapping characteristics using Fowler-Nordheim electron injection: We found that the degradation of HfO₂/HfSi_xO_y gate oxides is more severe when electrons were injected from the gate electrode.

Key Words : HfO₂/HfSi_xO_y, alternative gate dielectrics, dielectric constant, D_{itm}, leakage current,

1. 서론

MOS(metal-oxide-semiconductor) 소자의 게이트 절연막으로써 현재 사용되고 있는 SiO₂의 두께가 20 Å 이하로 얇아지면서 야기되는 직접 터널링(direct tunneling)에 의한 누설전류 및 신뢰성 문제를 극복하기 위해 고유전율을 가지는 절연체를 이용한 대체 게이트 산화막에 대한 연구가 현재 활발히 진행되고 있다[1]. 이러한 물질들 중 유전상수가 비교적 큰 TiO₂(40~170), Ta₂O₅(20~25), 및

(Ba,Sr)TiO₃(> 300) 등은 Si과 직접 접촉시켰을 때 열적 불안정성과 높은 누설전류로 인해 부수적으로 완충 역할을 하는 막(buffer layer)의 사용이 불가피하여 공정의 복잡해지고 미세패턴에 제한되는 단점이 있다[2-4]. 그러나, 최근에 보고되어지고 있는 HfO₂, ZrO₂ 및 이들의 silicate 물질은 중간 절연막 없이 Si과 안정적인 결합을 하여 구조 및 전기적 특성이 우수하다고 보고되어지고 있다[5-10].

본 논문에서는 HfO₂를 게이트 절연막으로 선택하여 연구하였다. HfO₂는 다른 금속계열의 산화막보다 높은 밴드갭(~5.68 eV), 높은 유전상수(~40) 그리고 높은 생성열(271 kcal/mol)등의 장점을 가지며, 별도의 중간 절연막 없이도 Si 기판과 안정적인 결합을 한다[5,6]. 특히, HfO₂ 제조과정 중 HfO₂ 와 Si 사이에 열적으로 안정한 비정질 층(amorphous

* 성균관대학교 전기전자 및 컴퓨터공학부
(경기도 수원시 장안구 천천동 300번지 성균관대학교)
Fax : 031-290-5819
E-mail : hyeoksu@hanmail.net)

layer)인 Hf-silicate(HfSi_xO_y)가 형성되는데, 이 계면층은 유전상수가 HfO_2 보다 낮아(~ 13), 전체 박막의 유전상수를 저하시키지만, 누설전류를 최소화 시켜주는 중요한 역할을 하는 것으로 보고되어져 있다 [7,8].

본 연구에서는 스퍼터링 방법으로 Hf 박막 증착 후 산화 및 열처리 공정을 통해 제조된 $\text{HfO}_2/\text{HfSi}_x\text{O}_y$ 구조를 가지는 박막의 구조 및 전기적인 특성을 분석하였다.

2. 실험 방법

Hf 증착 전 n-type Si 웨이퍼의 세정을 위해 다음의 과정을 수행하였다 : Si 기판을 트리클로에틸렌, 아세톤, 메탄올 순으로 각각 5분간 초음파 세척 후 탈 이온수로 씻어낸다. 그리고, 기판에 남아있는 금속성분을 제거하기 위해서 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ (=1:1:6)용액에 담그어 10분간 초음파 세척 후, 탈이온수로 씻어낸다. 마지막으로 Si 기판의 자연 산화막을 제거하기 위해 $\text{HF}:\text{H}_2\text{O}$ (=1:10) 용액에 20초간 담근 후 탈이온수에 세척하고 질소 불기로 건조시킨다. Hf 박막의 증착은 Si 웨이퍼 위에 상온에서 non-reactive rf-magnetron sputtering 방법으로 증착하였다. 스퍼터링 증착시 증착 조건으로, 압력 및 power는 각각 40 mTorr와 50 W, 증착시간은 4분이다. Hf 박막 증착 후 전기로(furnace)를 사용하여 500 °C, 120분간의 산화(oxidation)공정과, 500 °C, N_2 , 60분간의 열처리(annealing)공정을 수행하였다. MOS 캐패시터를 제작하기 위해, 게이트 전극으로 알루미늄(Al)을 열 증발장치(thermal evaporator)를 사용하여 약 1000 Å의 두께로 증착하였다. 물리적인 특성 분석은 TEM(transmission electron microscopy), XPS (X-ray photoelectron spectroscopy) 그리고 AES (Auger electron spectroscopy)를 통해 두께, 계면 박막의 형성 유무와 종류에 대해 분석하였고, 전기적인 특성분석은 1 MHz의 주파수에서 Boonton 7200 capacitor meter 및 4275A LCR meter를 이용하여 HF/&S C-V 특성을 살펴보고, HP 4140 pA meter/dc voltage source를 이용하여 전류-전압(I-V)특성을 분석하였다.

3. 실험결과

그림 1은 열처리 전(a) 및 후(b)의 TEM 이미지를 나타낸 것이다. 그림에서 볼 수 있듯이 HfO_2 와 Si 사이에 비정질 층으로 보이는 HfSi_xO_y 층이 형성되

었음을 볼 수 있다. 이 계면층은 Hf의 산화 공정중에 형성된 것으로 이후 전기적 특성 분석 결과들에서 살펴보겠지만, 우수한 전기적 특성을 나타내게 되는 원인이 된다. 한편, 알루미늄과 HfO_2 사이에 또 다른 비정질 층(Al이 포함된 Hf 산화막층)이 형성된 것을 볼 수 있는데, 이것은 G. D. Wilk 등에 의해 실험적으로 보고된바 있다[8]. 이 새로운 비정질 층은 순수 HfO_2 박막보다 상대적으로 낮은 유전상수값을 가지어 EOT (equivalent oxide thickness)와 유전상수의 감소를 야기시키기 때문에 상대적으로 반응성이 적은 게이트전극(Pt 혹은 poly-Si)의 사용이 요구된다[8].

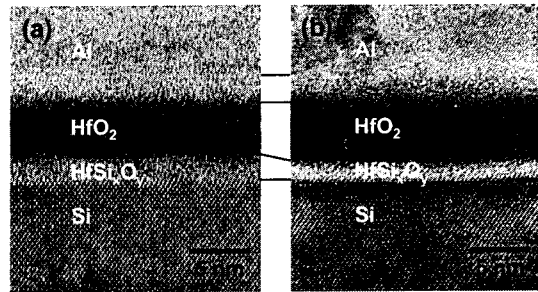


그림 1. $\text{HfO}_2/\text{HfSi}_x\text{O}_y$ 박막의 열처리 전(a) 및 후(b)의 TEM 사진

그림 1에서의 $\text{HfO}_2/\text{HfSi}_x\text{O}_y$ 박막은 N_2 열처리 후 $\text{HfO}_2(\text{HfSi}_x\text{O}_y)$ 층이 증가(감소)됨을 볼 수 있다. 이것은 N_2 열처리 동안 Si과 O의 확산(diffusion)으로 인해 HfO_2 의 일부분이 HfSi_xO_y 로 바뀐 것으로 사료되어진다.

그림 2는 열처리 전(a) 및 후(b)의 Hf 4f XPS spectra를 나타낸 것이다. 분석을 위해 Mg x-ray 소스로 3 keV의 constant analyser energy(constant ΔE)를 사용하였고, 각각의 binding energy는 C 1s 피크(285 eV)로 보정시킨 것이다. 열처리 전 후 모두 HfO_2 피크(16.8 eV)가 나타났으며, 약 13 eV에서 HfSi_xO_y 피크층이 나타난 것을 볼 수 있다. 이 HfSi_xO_y 피크는 열처리 후 intensity가 감소되는 경향을 보였다. 이것은 TEM 결과에서처럼 열처리 후 HfSi_xO_y 의 두께가 감소된 것으로 보여진다.

그림 3은 열처리 전(a) 및 후(b)의 AES 결과를 나타낸 것이다. 그림에서 알 수 있듯이 열처리 전 후 모두계면 쪽에서 Hf, Si 그리고 O가 혼합된 평탄한 HfSi_xO_y 층이 나타남을 확인할 수 있었다. 이 층은 열처리 후 평탄 부분이 더 작아짐을 볼 수 있는데, 이것은 앞의 그림의 TEM과 XPS에서 확인되었듯이 N_2 열처리 후 HfSi_xO_y 층의 감소로 인한 것으

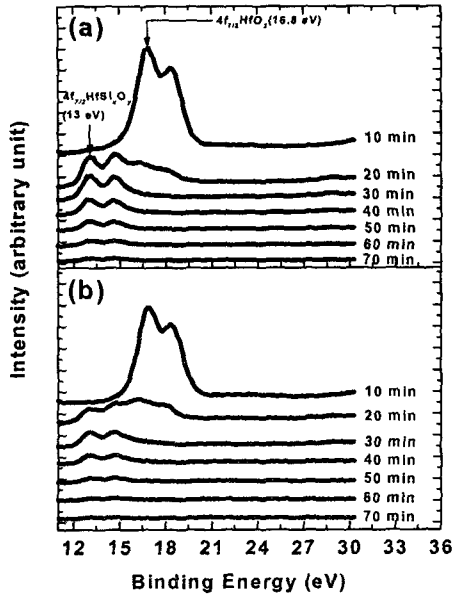


그림 2. HfO₂/HfSi_xO_y 박막의 열처리 전 및 후의 Hf 4f XPS spectra

로 보여진다.

그림 4는 열처리 전 및 후 C-V 및 I-V 특성(내부그림)을 나타낸 것이다. 먼저 C-V 특성을 살펴보면, 열처리에 상관없이 이력곡선 폭은 10 mV 이하로 적게 관찰되었다. C-V 측정에서의 이력특성은 산화막내에 존재하는 결합과 Si 기판과의 전하교환으로 나타나기 때문에 제조된 박막은 결합이 적어 우수한 특성을 가지고 있는 것으로 판단된다[11]. 또한, 열처리 전보다 열처리 후 산화막의 캐패시턴스 값(C_{ox})이 증가되는 경향을 보였으며, 계산된 EOT 값도 40 Å에서 열처리 후 34 Å로 감소되었다. 이것은 앞에서 설명한바와 같이, 열처리시 유전상수가 낮은 HfSi_xO_y 층의 두께는 감소되고 유전상수가 높은 HfO₂ 층은 두께가 증가하여 전체 산화막의 캐패시턴스 값이 커지는 것으로 사료된다. 한편 C-V 곡선이 열처리 후 양의 방향으로 이동되는 경향을 보였는데, 이것은 열처리 후 산화막내에 존재하던 양의 전하가 중성화 되면서 양의 전하의 양이 줄어든 것으로 사료된다. 열처리 전 및 후의 I-V 특성(내부그림)을 살펴보면, I-V 곡선의 형태는 유사하고 단지 저전계에서 낮은 누설전류를 나타내는 평평한 부분(10⁻⁸~10⁻⁷ A/cm²)이 열처리 후 감소된 것을 볼 수

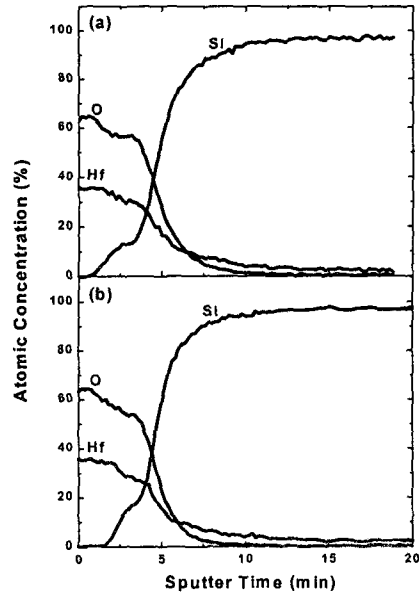


그림 3. HfO₂/HfSi_xO_y 박막의 열처리 전(a) 및 후(b)의 AES

있고, 이는 HfSi_xO_y 층의 두께 감소로 인한 것으로 사료된다.

그림 5은 HF&QS C-V 및 그로부터 계산된 계면 전하 밀도(내부그림)를 나타낸 것이다. 금속 증착 후 열처리 공정인 PMA(post metallization annealing)

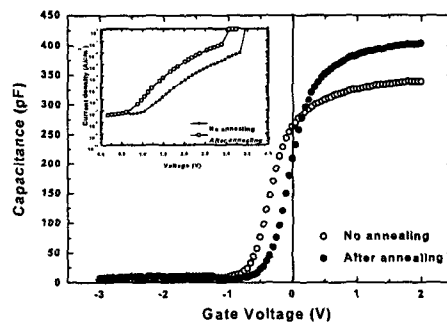


그림 4. Al/HfO₂/HfSi_xO_y/Si 캐패시터의 열처리 전(○) 및 후(●)의 C-V 및 I-V 특성(내부그림)

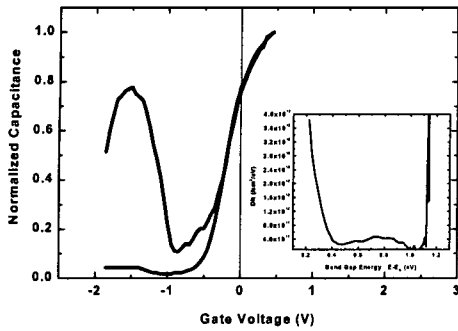


그림 5. HfO₂/HfSi_xO_y 박막의 HF/QS C-V 곡선 및 계면전하 밀도(내부그림)

공정을 거치지 않은 경우에도 중간 밴드갭에서의 계면전하 밀도(D_{itm})는 $\sim 3 \times 10^{11} / \text{cm}^2 \cdot \text{eV}$ 로 낮은 값을 가짐을 알 수 있다. 이 결과는 스퍼터링 증착 후 산화방식으로 제작된 박막이 기존에 제안된 방식으로 제작된 박막보다 계면 상태가 월등히 우수함을 보여 준다.

HfO₂/HfSi_xO_y의 전하포획 특성은 일정전류(i.e., Si 기판에서의 주입시는 50 nA, 게이트 전극에서의 주입시는 -50 nA) FNT(Fowler-Nordheim tunneling) 전자주입 방식을 이용하여 Si 기판(i.e., 양의 게이트 전류) 또는 게이트(i.e., 음의 게이트 전류)로부터 전자를 0.1 C/cm²까지 주입하여 조사 하였다. 그림 6은 같이 Si 기판과 게이트 전압으로부터 전자를 주입시키면서 측정된 평탄전압(V_{fb})의 변화량을 측정 한 것이다. 그림 6의 FNT 전자주입에

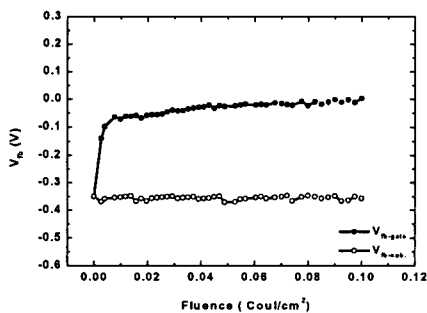


그림 6. FNT방식에 의해 Si기판(○)으로부터 또는 게이트(●)로부터 전자 주입에 따른 평탄전압의 변화

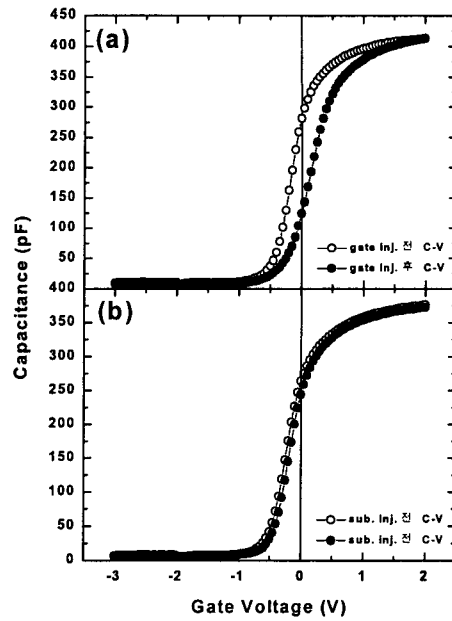


그림 7. FNT 방식에 의해 게이트 전극(a)으로부터 또는 Si 기판(b)으로부터 전자 주입에 따른 C-V 변화

의한 평탄전압 변동에서 알 수 있듯이, Si 기판으로부터의 전자주입 보다 게이트 전극으로부터 전자를 주입할 때 평탄전압 변동이 더 크게 나타남을 알 수 있다. 특히, FNT 전자주입량이 증가할수록 게이트에서의 전자주입이 Si 기판 보다 더 많은 전하가 포획 된 것으로 나타났다.

그림 7은 게이트(a) 및 Si 기판(b)으로부터 FNT 전자주입 전 및 후에서 측정된 HF C-V 곡선을 보이고 있다. 그림 6에서 나타난 바와 같이, 게이트로부터의 전자 주입후 HF C-V 곡선이 양의 방향으로 다소 크게 이동하였음을 알 수 있다. 반면, Si 기판으로부터의 전자주입 후에는 HF C-V 곡선의 변동이 폭은 거의 나타나지 않았으며, 그림 6의 결과와 일치됨을 볼 수 있다. 결과적으로, FNT 전자주입시 게이트 전압극성에 따라서 열화 특성이 변화함을 알 수 있었다.

4. 결론

MOS 소자의 대체 게이트 절연 산화막으로써, 스퍼터링 방법으로 Hf 박막 증착 후 산화 및 열처리

공정을 통해 제조된 $\text{HfO}_2/\text{HfSi}_x\text{O}_y$ 박막의 구조 및 전기적인 특성을 분석하였다. Hf 박막의 산화 공정 후, HfO_2 외에 HfO_2 와 Si 사이에 우수한 계면 특성을 가지는 HfSi_xO_y 층이 생성되었는데, 이 층은 전체 게이트 절연막의 유전상수의 저하를 가져오지만, 누설전류를 줄여주는 역할을 하였다. N_2 열처리 후 HfO_2 의 두께는 증가하였고, HfSi_xO_y 층의 두께는 감소되었는데, 이것은 TEM, XPS, 그리고 AES의 결과들에서 확인되었다. Al/ HfO_2 / HfSi_xO_y /Si 캐패시터의 계면전하 밀도(D_{int}) 값은 $\sim 3 \times 10^{11} / \text{cm}^2\text{-eV}$ 로 우수하였으며, FNT 전자주입시 실리콘 기판보다는 게이트 전압 극성에 따라 더 많은 전하 포획특성을 보이는 것으로 확인되었다. 결과적으로, $\text{HfO}_2/\text{HfSi}_x\text{O}_y$ 박막은 우수한 구조 및 전기적 특성들을 보여주어 대체 게이트 산화막으로써의 적용이 가능할 것으로 보여진다.

감사의 글

본 연구는 삼성 종합기술원(Grant No. 20000384-000) 과 한국과학재단(Grant No. 2000-1-30200-001-3) 의 지원에 의해 수행되었으며, 이에 감사를 드립니다.

참고 문헌

[1] S. H. Lo et al., "Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nMOSFET's ", IEEE Electron Devices Lett., **18**, pp.209-211, 1997.

[2] B. H. Lee et al., "Effects of interfacial layer growth on the electrical characteristics of thin titanium oxide films on silicon", Appl. Phys. Lett., **74**, pp.3143-3145, 1999.

[3] G. B. Alers et al., "Intermixing at the tantalum oxide/silicon interface in gate dielectric structures", Appl. Phys. Lett., **73**, pp.1517-1520, 1998.

[4] C. Basceri et al., "The dielectric response as a function of temperature and film thickness of fiber-textured (Ba,Sr)TiO₃ thin films grown by chemical vapor deposition", J. Appl. Phys., **82**, pp. 2497-2504, 1997.

[5] L. Kang et al., "Electrical Characteristics of Highly Reliable Ultrathin Hafnium Oxide Gate Dielectric", IEEE. Electron device lett., **21**, pp.

181-183, 2000.

[6] B. H. Lee et al., "Thermal stability and electrical characteristics of ultrathin hafnium oxide gate dielectric reoxidized with rapid thermal annealing", Appl. Phys. Lett., **76**, pp.1926-1928, 2000.

[7] G. D. Wilk et al., "Electrical properties of hafnium silicate gate dielectrics deposited directly on silicon", Appl. Phys. Lett., **74**, pp.2854-2856 1999.

[8] G. D. Wilk et al., "Hafnium and zirconium silicates for advanced gate dielectrics", J. Appl. Phys., **87**, pp.484-492, 2000.

[9] W. Qi et al., "MOSCAP and MOSFET characteristics using ZrO₂ gate dielectric deposited directly on Si", IEDM Tech. Dig., pp.145-148 1999.

[10] L. Manchanda et al., "Si-doped Aluminates for High Temperature Metal-Gate CMOS : Zr-Al-Si-O, A Novel Gate Dielectric for Low Power Applications", Tech. Dig. Int. Electron Devices Meet., pp.23-26, 2000.

[11] Y. Rohet al., "The Hysteresis Caused by Interface Trap and Anomalous Positive Charge in Al/CeO₂-SiO₂/Silicon Capacitors", Jpn. J. Appl., Phys. **36**, pp.L1681-L1684, 1997.