

## STI CMP 공정의 신뢰성 및 재현성에 관한 연구

### A Study on the Reliability and Reproducibility of STI CMP process

정소영<sup>1)</sup>, 서용진<sup>1)</sup>, 김상용<sup>2)</sup>, 이우선<sup>3)</sup>, 장의구<sup>4)</sup>  
(So-YoungJeong<sup>1)</sup>, Yong-Jin Seo<sup>1)</sup>, Sang-Yong Kim<sup>2)</sup>, Woo-Sun Lee<sup>3)</sup>, Eui-Goo Chang<sup>4)</sup>)

#### Abstract

Recently, STI(Shallow Trench Isolation) process has attracted attention for high density of semiconductor device as a essential isolation technology. Without applying the conventional complex reverse moat process, CMP(Chemical Mechanical Polishing) has established the process simplification. However, STI-CMP process have various defects such as nitride residue, torn oxide defect, damage of silicon active region, etc. To solve this problem, in this paper, we discussed to determine the control limit of process, which can entirely remove oxide on nitride from the moat area of high density as reducing the damage of moat area and minimizing dishing effect in the large field area. We, also, evaluated the reliability and reproducibility of STI-CMP process through the optimal process conditions.

**Key Words** : STI(Shallow Trench Isolation), CMP(Chemical Mechanical Polishing), Moat, Reliability, Reproducibility

#### 1. 서 론

MOSFET 소자는 자체적으로는 격리되어 있으나 인접 소자와의 기생채널이 형성되지 않도록 하기 위하여 소자간 절연 분리를 해주어야 한다. 이를 위해 LOCOS(Local Oxidation of Silicon)[1] 공정이 주로 사용되었으나 소자의 집적도가 향상되고 크기가 점점 감소되어짐에 따라 이를 대신할 새로운 소자 분리 방법이 필요하게 되었다. 이러한 고성능의 CMOS 기술을 위해 STI(Shallow Trench Isolation)[2] 공정을 이용하여 소자간의 간격을 줄일 수 있었고, 더

큰 집적 밀도(packing density), 채널 폭의 감소에 따른 문제점 해결 및 우수한 평탄화를 얻게 되었다. 초기의 STI 공정은 표면 평탄화를 위해 플라즈마 에치백(plasma etch-back) 공정을 수행하였으나 만족할 만한 평탄화를 얻지는 못하였다. 이후, CMP를 도입함으로써 우수한 연마 특성을 확보하게 되었고, 기존의 복잡한 reverse moat 공정을 적용할 필요 없이 바로 CMP를 진행하여 공정을 획기적으로 단순화시킬 수 있었으나, CMP 공정으로 인한 디싱(dishing)[3], 산화막의 찢겨짐[4], 질화막 잔류물 존재(nitride residue)[5], CMP 공정 후 세정물[6] 해야 하는 등의 문제점을 수반하였다. 그리고 CMP로 연마할 때 정확한 연마 정지점을[7] 찾아내는 in-situ EPD 시스템을 개발하여 적용하고자하였으나, STI 구조에서 CMP 연마 시 각 박막의 연마율이 서로 다르기 때문에 연마 정지점을 감지하기가 어려웠다. 따라서 과도한 CMP 연마를 할 경우 실리콘 활성화영

<sup>1)</sup> 대불대학교 전기공학과  
(전남 영암군 삼호면 산호리 대불대학교 전기공학과  
Fax: 061-469-1293, E-mail: jsy999@mail.daebul.ac.kr)

<sup>2)</sup> 아남반도체 FAB 사업부

<sup>3)</sup> 조선대학교 전기공학과

<sup>4)</sup> 중앙대학교 전자전기공학부

역에 손상을 주고, 충분하게 연마되지 않을 시에는 활성영역에 질화막이 잔류하게 되어 소자 동작에 악영향을 미치게 되었다. 본 논문에서는 이러한 연마 특성 분석을 통해 넓은 필드 지역에서의 디싱(dishing)을 최소화하고 moat 지역의 손상을 줄이면서 moat 밀도가 높은 지역에서 질화막 위의 산화막을 완전 제거하는 공정의 제어 범위 결정에 관한 실험을 하였다. 또한, STI CMP 공정의 재현성을 확인하기 위해 최적화된 공정 조건들을 바탕으로 각 실험에서 추출된 가장 안정된 공정 변수를 조합하여 반복 실험을 통하여 신뢰성을 평가하였다.

## 2. 실험

그림 1은 본 실험에서 사용된 STI 패턴 웨이퍼의 제작 과정을 개략적으로 나타낸 것이다.

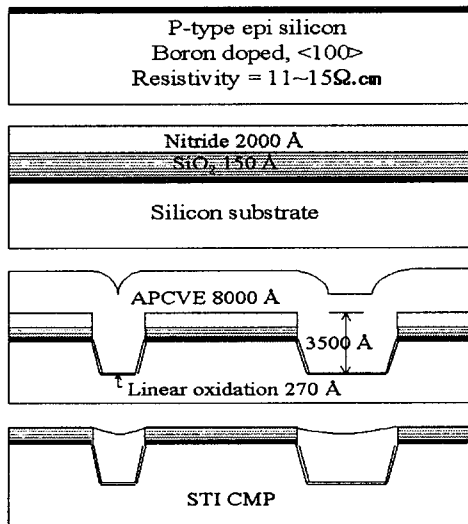


그림 1. STI 패턴 웨이퍼 제작과정.

Fig. 1. Fabrication sequence of STI pattern sample wafer.

웨이퍼의 STI 패턴은 웨이퍼에 전기로로 열산화막을 150Å을 증착 한 후, 그 위에 LPCVD로 질화막을 2000Å 증착하고, moat 패턴과 건식 식각으로 트렌치를 3500Å 깊이로 형성하였다. 이 트렌치 위에 선형 산화막을 전기로로 270Å 정도 형성하고 APCVD로 산화막을 8000Å 증착하여 트렌치를 채운 후 열처리 과정을 거쳐 STI 구조를 형성하였다. CMP 연마 장비는 IPEC 472 Polisher를 사용하였으며, CMP 공정 후 세정을 위해 SC-1 Chemical + DHF(2min)

+ Rinse + Spin Rinse Dry 과정을 수행하였다. 또한 산화막 및 질화막 두께를 측정하기 위해 Nano Metrics M8000X와 Rudolph Ellipsometer FE VII 시스템을 사용하였다. 표 1은 STI-패턴된 웨이퍼 각 지역별 크기를 정의하여 나타낸 것이다.

표 1. 두께 측정을 위한 각 지역별 크기.

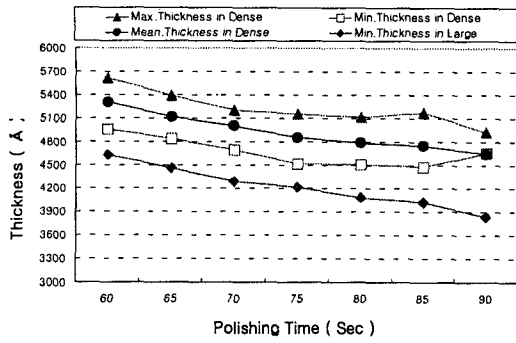
Table 1. Size of each region for thickness measurements.

Region	Size [ $\mu\text{m}^2$ ]	Remarks (비고)
Large field	50×50	넓은 필드 산화막 지역
Dense field	10×12	좁은 필드 산화막 지역
Large Moat	80×250	Device 형성 지역
Dense Moat	12×12	STI 영역에 둘러싸인 지역

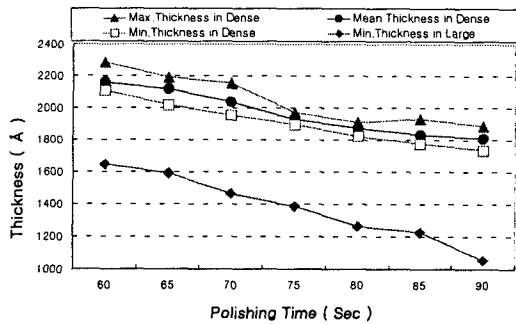
먼저 희생 웨이퍼의 연마를 진행하여 연마 장비가 안정된 후, 샘플 웨이퍼를 70sec간 연마하여 연마 시간을 산출하였고, 매 테스트 웨이퍼마다 5초 간격으로 연마시킨 후, 세정하였다. 또한 웨이퍼 사이의 신뢰성을 평가하기 위해 CMP 공정을 수행하기 전 패턴 웨이퍼에서 평가 하고자 하는 위치의 두께를 측정 후 안정된 공정 조건에서 트렌치 깊이가 3500Å인 패턴 웨이퍼를 63초 동안 연마하였다. 이 연마한 웨이퍼는 세정 공정을 수행하고 다시 측정하여 CMP 공정 전후 연마 특성을 평가하였다. 또한 재현성 실험을 위해 트렌치 깊이가 3500Å인 STI 조건에서 매일 2장씩 4일 동안 동일한 실험을 반복하였고, 소모성 자재들의 변수를 고려하지 않고 연마 시간을 63초로 동일하게 수행하였다.

## 3. 결과 및 고찰

STI-CMP 공정에서 공정 마진(margin)을 확보하는 것은 공정제어 측면에서 매우 중요하다. 즉, 넓은 필드 지역에서의 디싱을 최소화하며 moat 지역의 손상을 안주면서 좁은 필드 지역의 질화막 위의 산화막을 완전히 제거하는 공정범위를 결정하는 것은 중요하다. 따라서 두께의 하한선(lower limit)은 moat 손상을 주지 않는 범위로 정의하였고, 상한선(upper limit)은 질화막 제거 이후 질화막 잔존물이 남지 않는 범위로 결정하였다. 그림 2의 (a)와 (b)는 각각 연마시간에 따른 산화막과 질화막의 두께를 나타낸 것이다.



(a) Field oxide thickness



(b) Nitride thickness

그림 2. 연마 시간에 따른 CMP 공정후의 (a)산화막 및 (b)질화막의 두께.

Fig. 2. Field oxide and Nitride thickness as a function of polishing time.

CMP 연마는 5초 간격으로 진행하였고, 샘플 웨이퍼의 연마 결과, moat 영역 위의 산화막은 완전히 제거되었다. 전체적으로 연마시간이 5초 간격으로 증가함에 따라 두께는 선형 감소하였고 조밀한 지역보다는 넓은 지역 위의 산화막 제거율이 더 높게 나타났다. 디싱 효과 및 moat 손상은 발생되지 않았으나 60초와 65초로 연마된 패턴 웨이퍼 상에서는 질화막 잔류물이 발생함을 확인하였다. 그림 2의 데이터를 결합과 연관시켜 그 상한선을 정한다면 질화막 잔류물이 남는 두께 영역은 평균값 5120Å, 최대값 5392Å으로 공정 마진의 상한선은 평균 5000Å까지, 그리고 최대값은 5300Å까지를 안정된 공정으로 평가할 수 있다. moat 손상의 발생 가능한 두께 영역은 공정 두께가 두껍게 진행되었기 때문에 모든 웨이퍼 상에서 발견되지 않았다. 디싱을 최소화하기 위해서

는 하한선을 결정짓는 것이 중요하다. 그림 3은 연마 시간에 따른 필드 산화막 두께를 나타낸 것이다.

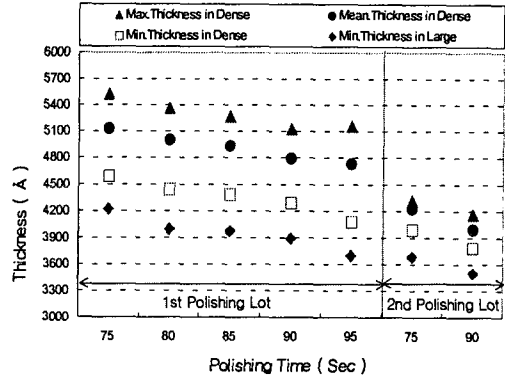


그림 3. 연마 시간에 따른 field 산화막 두께.

Fig. 3. Field oxide thickness as a function of polishing time.

상한선에 대해서는 이전 실험결과와 동일하였으나 하한선에 대한 결과는 75와 80초에서 연마된 패턴 웨이퍼에 질화막이 남아 있었고, 두 번째 연마된 웨이퍼의 90초의 연마 시간에서 moat 손상이 발생하였다. Moat 손상이 발생하는 두께 영역은 평균값 3991Å, 넓은 필드 지역은 최소값 3498Å으로 공정의 하한선은 평균 4000Å에서, 그리고 넓은 필드 산화막 지역의 두께값은 트렌치 깊이인 최소 3500Å 이상은 되어야 한다고 판단되었다.

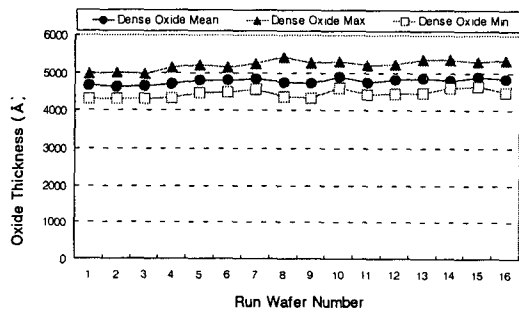


그림 4. Run 웨이퍼 수에 대한 산화막 두께의 관계.

Fig. 4. Run wafer number vs. oxide thickness .

그림 4와 5는 두께 변화를 관찰하기 위해 진행한 결과로 각각 연마가 진행된 웨이퍼 수에 대한 산화막과 질화막 두께의 변화를 나타낸 것이다. 연마가 진행됨에 따라 전체적인 산화막 두께는 약간 증가하는 경향을 보였으나 증가되는 양이 모두 400Å(산화막 최대 두께-산화막 최소 두께) 이내로 아

주 우수하게 제어되는 재현성을 보였고, 약간의 두께 상승은 소모성 부품들의 영향으로 판단된다.

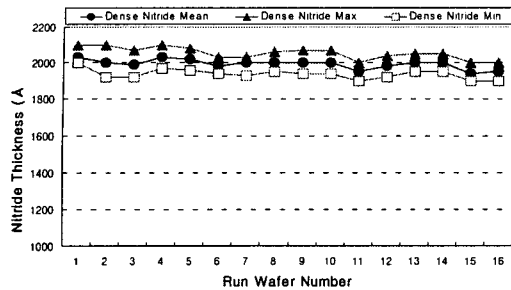


그림 5. Run 웨이퍼 수에 대한 질화막 두께의 관계.  
Fig. 5. Run wafer number vs. nitride thickness.

그러나 EPD 시스템을 적용할 경우 이러한 웨이퍼 내의 두께 변화는 더 많이 줄일 수 있어 더 안정한 공정 유지가 가능할 것으로 생각된다.

#### 4. 결 론

본 실험을 통해 moat 밀도가 높은 지역에서 질화막 위의 산화막을 완전히 제거하고, 넓은 필드 지역에서의 디싱 효과를 최소화하며, moat 손상과 같은 결함이 발생하지 않도록 공정 제어의 범위를 결정하는 것이 매우 중요함을 알 수 있었다. 질화막 잔존물이 남을 수 있는 두께 영역의 상한선은 평균 5000 Å에서 5300 Å까지로 판단되었다. 또한 Moat 손상이 발생 가능한 두께 영역의 하한선은 평균 4000 Å까지, 그리고 넓은 필드 산화막 지역의 두께값은 트렌치 깊이인 최소 3500 Å 이상은 되어야함을 알 수 있었다. 이와 같은 결과를 정리하면, post CMP 두께의 평균 목표 값은 4500 Å, 상 하한선은 +/-500 Å이 되며, 밀집한 지역의 최대값은 5300 Å 이내에서 관리되어야 한다. 그리고, 넓은 필드 지역에서의 산화막 두께는 트렌치 깊이인 3500 Å 보다는 커야 디싱을 최소화시킬 수 있다. 동일시간으로 공정을 진행할 경우의 웨이퍼 내의 두께 변동과 공정 재현성에 대한 실험 결과는 최대값과 최소값을 갖는 웨이퍼의 두께 차이가 400 Å 이내로 제어되었다.

#### 참고 문헌

[1] J. Jui, et al., "Scaling limitation of submicron LOCOS technology," Tech. Dig. IEDM, p.392, 1985.  
[2] S. Nag and a. Chatterjee, "Shallow trench

isolation for sub-0.25- $\mu$ m IC technologies, Solid State Technology," pp.129-136, 1997.

[3] K. Smekalin, "CMP dishing effects in shallow trench isolation," Solid State Technology, pp.187-194, 1997.  
[4] 서용진, 정현상, 김상용, 이우선, 이강현, 장의구, "STI-CMP 공정에서 Torn Oxide 결함 해결에 관한 연구," 전기전자재료학회 논문지, Vol. 14, No. 1, pp.1-5, 2001.  
[5] Y. J. Seo, S. W. Park, S. Y. Jeong, W. S. Choi, S. Y. Kim, "Slurry induced metallic contaminations on different silicate oxides by as-deposited and post-CMP cleaning," CMP - MIC Conf., pp. 287-289, March 7-9, 2001.  
[6] Y. J. Seo, C. B. Kim, S. Y. Kim, "A study on removal rate control of oxide CMP(chemical mechanical polishing) process," CMP-MIC Conf., pp.527-530, March 7-9, 2001.  
[7] S. Y. Kim, Y. J. Seo, T. H. Kim, W. S. Lee, C. I. Kim, E. G. Chang, "An optimized nitride residue phenomena of shallow trench isolation (STI) process by chemical mechanical polishing (CMP)," IUMRS-ICEM-98, Aug. 24, p.468, 1998.