전력전자학술대회 논문집 2001. 7. 4 ~ 7. 7

다중인터페이스 리액터와 Double PLL제어를 이용한 Modular U.P.S 설계

박인덕*, 정상식**, 김시경*
공주대학교*, (주) 옵트론**

A Modular U.P.S Design with Multiple Interphase Reactot and Double PLL Control

In-Duck Park*, Sang-Sik Jeung**, Si-Kyung Kim*
Kongju university, DongWoo Optron .,Ltd

ABSTRACT

A high power U.P.S system utilizing the parallel connection of low power U.P.S is developed. For the purpose of elimination the circular current between U.P.S.s, a digital circuit is employed. Furthermore a double phase synchronization and an interphase reactor are used to eliminate the circular current and the voltage ripples caused by the system parameter unbalances of parall connected U.P.S.s. The digital controller is implemented with ADSP21061 as aspect of a functional convenience.

1. 서 론

신뢰성 있는 전력이 요구되어지는 부하에 일정 전압과 일정주파수의 전력을 공급하기 위해 무정전 전원장치(Uninterruptable Power Supply)가 널리 사용된다. U.P.S를 병렬로 연결하는 일반적인 접근법으로 같은 부하분담이 요구되는 유효전력, 무효전력 제어 또는 주파수 드롭(droop)컨트롤을 사용한다.[1,2] 이러한 방법은 시간 응답이 느리고, 낮은 전류에서의 불충분한 전류분담을 나타내며 또한 각 U.P.S의 스위칭 순간에 유효 전력과 무효 전력을 계산하는 것이 요구된다.

본 논문에서는 병렬로 연결된 각 U.P.S 모듈사이의 불균형 부하분담에 의한 순환전류 및 전압 리플을 제거하기 위해 각 U.P.S모듈의 출력단에 인터페이스 리액터를 연결하여 순환 전류 및 전압 리플을 제거하였다. 동시에 디지털 PLL(Phase Locked Loop)을 사용하여 각 U.P.S 모듈의 출력전압위상을 동기화 시킴으로써 빠른 과도상태 응답을 가지기 위해 출력전압의 순시귀환 제어 방식을 제시하였다.

2. 병렬 U.P.S 시스템 모델링 및 제어기 설계

2.1 병렬 U.P.S 모델링

각 U.P.S 시스템은 4개의 IGBT 소자와 다이오드로 구성된 IPM, 출력전압의 고조파 성분을 제거하기 위한 저역필터(L-C 필터), 출력 전압리플 및 순환 전류 저감을 위한 인터페이스 리액터부로 구성되어 있으며, 8대의 U.P.S가 병렬 연결되어진 블록 다이어그램은 그림 2-1에 나타내었다.

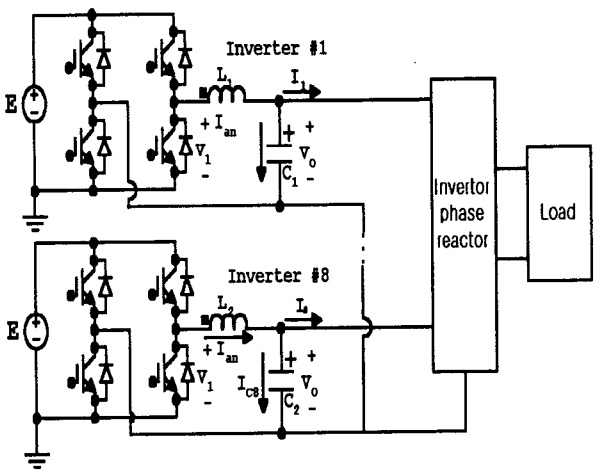

그림 2-1 병렬 U.P.S 시스템의 블록 다이어그램

2.1.1 병렬 U.P.S 시스템 모델링

병렬 U.P.S 시스템은 그림 2-2와 같이 직류전원, 저역필터, 부하의 형태로 근사적인 등가화가 가능하기 때문에 상태 벡터[V_0, V_0']를 갖는 2차 시스템으로 모델링 된다.

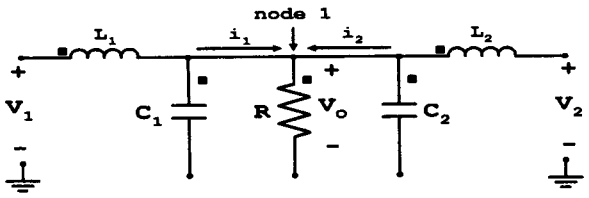

그림 2-2. 병렬형 U.P.S 시스템의 근사적인 등가 회로

그림 2-2에서 V_0은 필터 출력전압, V_0'은 V_0의 미분치, 필터의 입력전압 V_1과 V_2는 +E, -E, 0의 3가지 값을 가질 수 있다. 병렬형 U.P.S의 단일 모듈 다이어그램은 그림 2-3과 같이 표현된다.

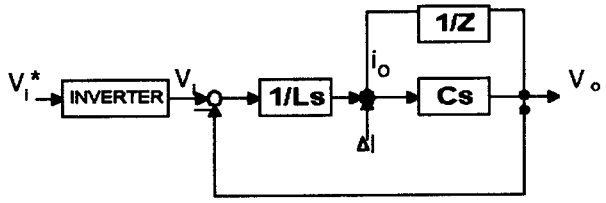

그림 2-3 병렬 연결되어진 단일 U.P.S 모듈의 블록 다이어그램

Z는 선형 또는 비선형 부하 모두 표현하며 인덕터 전류에 가산되는 U.P.S 순환 전류(ΔI)는 부하 전류, 인덕터 전류 및 전력 반도체 소자에 직접적인 영향을 주게 된다. 이와 같은 순환전류를 제거하기 위해 각 U.P.S 모듈의 출력 전압 위상 동기화를 취하였으며, 인터페이스 리액터를 설계하여 순환 전류 및 출력 전압 리플을 제거하였다.

2.2 병렬 U.P.S 의 제어기 설계

2.2.1 전류 제어기 설계

그림 2-3에 보여진 단상 U.P.S 시스템은 선형 또는 비선형 부하에 대해 고려 할 수 있다. 전류 제어기 스위칭 패턴에서 2PWM_T 스위칭 주기를

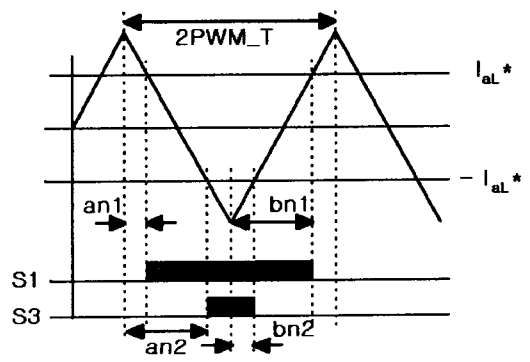

그림 2-4 전류 제어기 스위칭 패턴

나타내며 125[μs]로 설정되어있으며, 데트타임은 5.5[μs]로 적용하였다. 그림 2-4에 나타내었다.

2.2.2 전압 제어기 구성

전압, 전류 제어를 위한 피드백/ 피드포워드 제어시스템의 블록 다이어그램은 그림 2-5에 나타내었다. 부하 기준 전압인 V_{an}은 다음 식과 같이 표현된다.

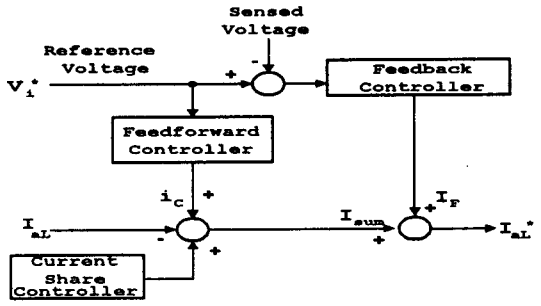

그림 2-5 피드백/피드 포워드 제어기 블록도

$$V_{an} = V^* \cdot \sin wt \quad \text{..... (1)}$$

$$V_{an}^* = \sqrt{2} \cdot V \cdot \sin wt \quad \text{..... (2)}$$

필터 커패시터 C_f를 흐르는 전류의 기준치 i_c^*

$$i_c^* = \frac{dV_{an}^*}{dt} = wC_f \cdot \sqrt{2} \cdot V \cdot \cos wt \quad \text{..... (3)}$$

가 되며, 커패시터 전류는 기준전류 i_c^*를 추종하도록 제어된다.

2.2.3 위상 동기화

순시 적으로 제어되는 병렬 U.P.S 모듈 사이에서 발생되는 여러 노이즈 문제를 해결하기 위해 디지털 Double PLL을 채택하였다. Double PLL에는 60[Hz] 위상비교기와 16[㎑] 위상 비교기를 사용하였다.

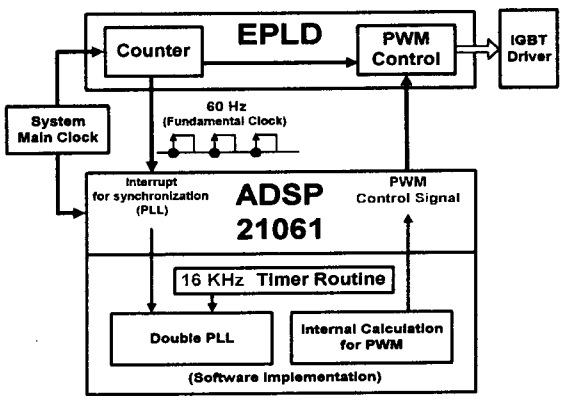

그림 2-6. 디지털 이중 위상동기화 알고리즘

2.2.4 인터페이스 리액터 원리 및 설계

인터페이스 리액터가 연결된 두병렬 U.P.S 모듈에 대한 등가 회로를 그림 2-7에 간략히 나타내었다.

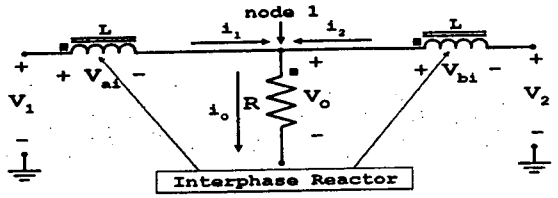

그림 2-7. 인터페이스 리액터 등가회로

등가회로에 KVL을 적용하면,

$$V_1 = L\frac{di_1}{dt} - M\frac{di_2}{dt} + V_o \quad \cdots\cdots (4)$$

$$V_2 = L\frac{di_2}{dt} - M\frac{di_1}{dt} + V_o \quad \cdots\cdots (5)$$

$$i_o = i_1 + i_2$$

M은 상호 인덕턴스

$$L(\frac{di_1}{dt} - \frac{di_2}{dt}) + M(\frac{di_1}{dt} - \frac{di_2}{dt}) = V_1 - V_2 \quad \cdots (6)$$

$$\Delta i = i_1 - i_2,\ V_1 = V_m \sin(\omega t),$$

$$V_2 = V_\delta \sin(\omega t + \phi)$$

두 출력전압의 전압차

$$\Delta V = V_1 - V_2 = V_\delta \sin(\omega t + \phi) \quad \cdots\cdots (7)$$

가 된다. 위 식은 다음과 같이 정리할 수 있다.

$$(L+M)\frac{d\Delta i}{dt} = V\sin(\omega t + \phi) \quad \cdots\cdots (8)$$

인버터 출력전압 사이의 위상 차에 의해 발생되는 순환전류는 $\Delta i = V_\delta / \omega(L+M)$와 같이 나타낼 수 있으며, 다음과 같이 표현할 수 있다.

$$L + M = \frac{V_\delta}{\omega \Delta i} \quad \cdots\cdots (9)$$

식9 은 순환전류, 병렬U.P.S 출력전압 벡터차 및 인터페이스 리액터의 자기인덕턴스와 상호 인덕턴스 사이의 관계를 이론적으로 나타낸다. 따라서 병렬U.P.S 사이의 출력 전압벡터차 및 U.P.S 모듈 사이의 순환전류의 최대량이 주어지면 그에 따른 인터페이스 리액터의 최적 값을 산출할 수 있다.

3. 병렬 U.P.S 시스템 구성 및 프로그램 수행

3.1 병렬 U.P.S 시스템 구성

병렬 U.P.S는 그 기능에 따라 전력부, 센서부, 제어부 및 보호부, 모듈간 신호 전송부, 그리고 모니터링 시스템 통신부로 나눌 수 있다.

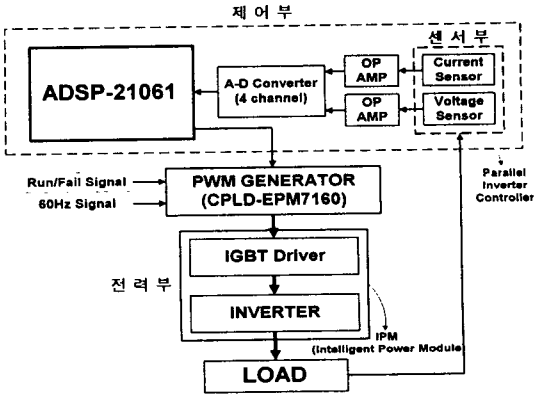

그림 3-1. 병렬 U.P.S 시스템 전체 구성

병렬 U.P.S 시스템의 전체 구성은 그림 3-1에 나타내었다.

3.2. 병렬운전용 프로그램 구성

병렬 U.P.S 모듈을 구동하는 소프트웨어를 그림 3-2에 나타내었다.

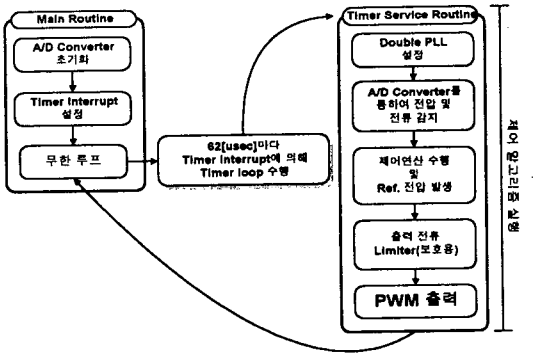

그림 3-2 병렬 U.P.S 운전용 프로그램 흐름도

4. 실험 및 결과

1.5[kVA] 8-모듈 병렬형 U.P.S 시스템에 대한 동기화 실험을 220[V]로 운전 하였고, 스위칭 주파수는 16[kHz]로 하여 실험결과 파형을 얻었다. 각 병렬 U.P.S 모듈은 성공적으로 동기화가 이루어짐을 알 수 있다.

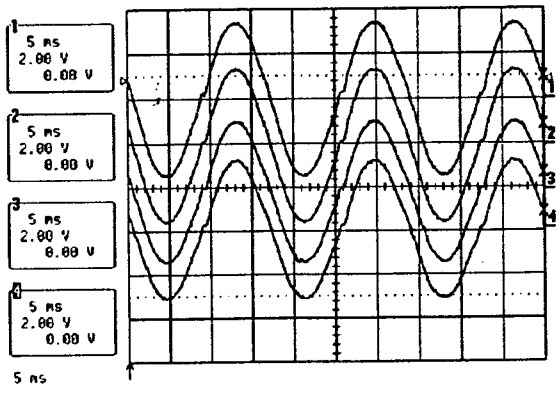

그림 4-1 동기화된 병렬 U.P.S 출력전압

1.1[kW] 정상 상태 부하 시에 병렬 연결된 인버터 2개의 출력 전압과, 병렬 U.P.S 출력 전류 파형을 나타내고 있다.

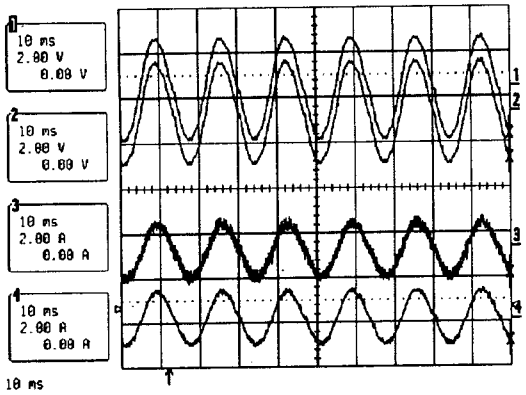

그림 4-2. 정상 상태 병렬 U.P.S의 1.1[kW] 선형 부하에서의 출력 전압(#1, #2)과 출력 전류(#3, #4)의 파형 (300V/div, 2A/div, 10ms/div)

그림 4-3은 정상 상태 비 선형 부하 시에 병렬 연결된 U.P.S 모듈의 출력 전압과, 병렬 U.P.S 출력 전류 파형을 나타내고 있다. 15[msec]에서 부하 변동이 있은 후에도 각 U.P.S의 모듈의 출력전류는 서로 동일하게 분리되어 출력됨을 알 수 있다.

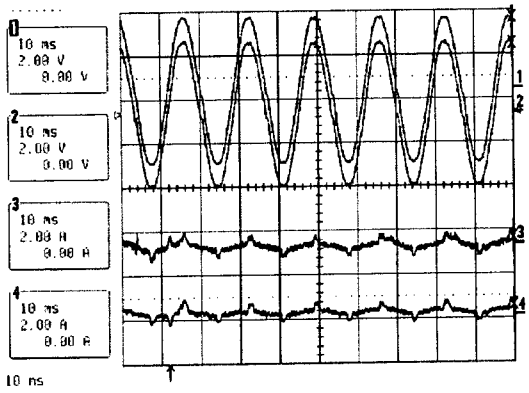

그림 4-3. 정상 상태 병렬 U.P.S의 비선형 부하에서의 출력 전압(#1, #2)과 출력 전류(#3, #4)의 파형 (200V/div, 2A/div, 10ms/div)

병렬 U.P.S의 과도 상태 조건 및 다양한 부하 조건하에서 U.P.S 동작을 고찰하였다. 그림 4-4는 과도 상태 발생시 순간적인 출력 전류의 응답을 나타내고 있다. 부하는 무부하에서 30[msec] 후에 400[W]로 증가하였다.

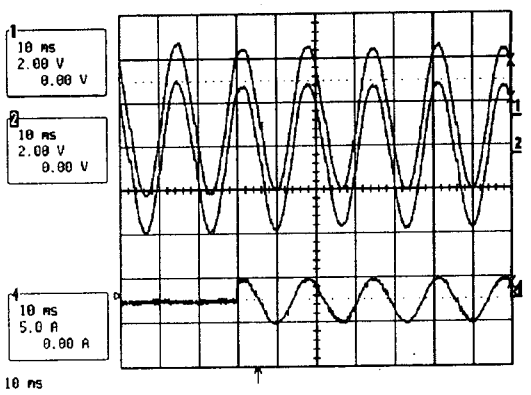

그림 4-4. 병렬 U.P.S의 과도 상태시 출력 전압(#1, #2)과 출력 전류(#3, #4)의 파형 (200V/div, 5A/div, 10ms/div)

5. 결 론

U.P.S를 병렬로 연결할 때의 가장 큰 문제점은 인버터간 제어 변수 및 파라미터 불일치에 따라 과전류, 순환 전류가 발생한다. 이러한 순환전류는 U.P.S 내의 전력소자에 해를 주고, 부하에 공급되어야 할 전류를 소모하는 등 심각한 문제가 있다.

본 논문에서는 병렬 U.P.S의 병렬 운전시의 문제점인 순환 전류의 발생을 제거하는 알고리즘을 제안하였으며, 실험을 통하여 다음과 같은 결론을 얻었다.

① 선형, 비선형 부하를 30(W)에서 1(kW)로 급격히 변동하였을 때 양호한 과도 응답 특성.
② 선형/비선형 부하의 급격한 변동 시에도 양호한 과도응답 특성.
③ 소프트웨어를 이용한 디지털 제어기법 구현.

참 고 문 헌

[1] H. Oshima, Y. Miyazawa, and A. Hirata, "Parallel redundant UPS with instantaneous PWM control", INTELEC'91, 13th Int'l Telecomm. Energy Conf., pp. 436~442, Nov. 1991.

[2] S. Ogasawara, J. Takagaki, and H. Akagi, "A novel control scheme of a parallel current-controlled PWM inverter", IEEE Trans. Ind. Applicat., Vol. 28. No. 5, pp. 1023~1027, Sept./Oct. 1992.