

피드포워드 방식을 이용한 PCS 대역 선형 증폭기의 설계

김윤호, 정재웅

중앙대학교 전기공학과 전력전자연구실

Design of a PCS Band Linear Power Amplifier Using Feedforward Approach

Yoon-Ho Kim, Jai-Woong Jeong

CHUNG-ANG University Electrical & Electronics Eng.

ABSTRACT

For multi-carrier communication system, power amplifier generate intermodulation products caused by their nonlinear characteristics. Intermodulation products arised around the carrier frequency cannot be filtered out, operate as noise source for the adjacent channel and thus degrades the quality of communication. In this paper, the 1850MHz-band RF linear power amplifier has been designed and fabricated with feedforward loop. The error signal loop consists of several key components such as phase shifter and attenuator, subtracter. The proposed Linearizer was tested with two-tone signals separated 1.0MHz apart at the center frequency of 1850MHz. The experimental results show C/I improvement by 14.5~20dB over 15dB dynamic range(33~47.8dBm) which gave IMD of 53.25~59dBc for the designed LPA.

1. 서 론

늘어나는 통신 가입자들의 수요를 감당하기 위해 보다 효율적인 주파수 사용이 요구됨과 동시에 통신 기기 개발의 필요성이 대두되고, 이와 같은 추세는 이동 통신 시스템의 기지국에 사용되는 고출력증폭기의 경우에도 예외는 아니다. 특히 전력 증폭기는 최대 전력을 얻기 위해 주 능동 소자인 트랜지스터를 비선형 특성이 강한 포화영역부근까지 동작시키며, 포화영역에서 동작되는 전력 증폭기의 경우 이득과 위상의 왜곡이 발생한다. 또한 다중 채널을 이용하는 디지털 이동통신의 경우 전력 증폭기에 여러 채널의 반송파가 입력되어 증폭될 때 포화 영역 부근의 비선형 특성으로 인하여 서로 간섭을 일으켜 신호 왜곡이 생기며 이들 중 반송

파 주위에 나타나는 성분은 인접 채널에 잡음 원으로 작용하여 통화 품질의 저하를 가져온다.^{[1][2]} 전력 증폭기의 특성을 보상하기 위하여 선형화기를 함께 사용하게 되면 포화영역에서도 다수 반송파의 증폭으로 발생하는 혼변조 신호들을 대폭 감소시키면서 원하는 출력 전력을 얻을 수 있게 된다. 이런 전력 증폭기의 비선형 특성을 선형화하기 위해 개발된 방식으로는 입력 전력의 Back-off 방식, Feedback 방식, Predistortion 방식, Feedforward 방식이 있다.^[3] 기지국 대전력 증폭기는 혼변조 왜곡 규격이 엄격하여 Feedforward 방식을 선호하여 사용하고 있다. 그러나 기지국에서는 혼변조 왜곡 규격뿐만 아니라 동작 전압 변화, 외부 온도 변화에 대해서도 모두 혼변조 왜곡 규격을 만족하는 선형전력 증폭기를 필요로 한다. 또한, 전력증폭기는 초기 투자비용의 최소화를 위해 옥외용으로 사용하고자 하는 시장의 요구와 증폭기의 대전력화에 의한 많은 방출 열량으로 인해 매우 넓은 온도 범위에서 동작을 필요하다. 본 논문에서는 Feedforward 방식을 이용하여 광대역 폭과 넓은 동작범위, 다중 채널에 적합한 PCS(Personal Communications Services)용 선형화기를 제안하였다.

2. Feedforward 방식을 이용한 선형화기의 설계

입사전력 -5dBm(0.3mW, max)의 전력을 갖는 반송파에 대한 평균전력 60W (47.8dBm)급의 PCS 용 선형 전력 증폭기를 설계하려면, 주증폭기는 적어도 53dB의 이득에 지연선로의 손실, 방향성 결합기의 손실, Isolator의 손실 등을 감안하여 56dB 이상 확보해야 한다. 또한 -30dBc 이상의 IMD 특성을 유지하도록 back-off 시킨 것을 감안하여 출력단 증폭기를 선정해야 한다.

주증폭기에서 출력에서 발생한 왜곡신호만을 추

출하는 곳을 신호경로(signal loop)라고 하며, 이 왜곡신호를 조정하여 주증폭기 출력단에 결합시키는 곳을 오차경로(error loop)라고 한다. 전체구성은 신호의 크기, 위상, 시간지연을 조정하는 가변감쇠기, 가변위상변환기, 빼기회로, 지연선로, 전력 결합기, Isolator, 제어부 등으로 구분한다.

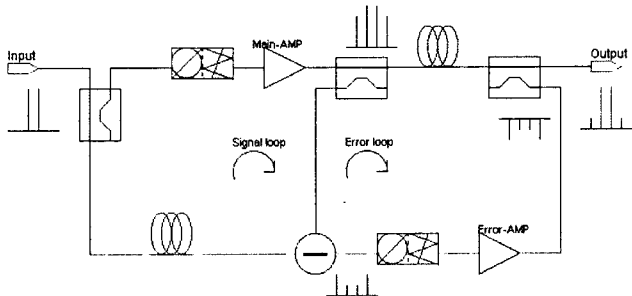


그림 1 Feedforward 선형화기의 구성도

그림 1의 주증폭기의 주신호와 3차 왜곡신호의 최대 출력전력을 측정하여 설계에 적용하여야 입력 신호의 크기가 감쇄될 경우에도 정상적인 동작이 가능하다. 에러 증폭기는 IM 신호만을 증폭하므로 출력신호에서 부가적인 왜곡이 발생하지 않도록 선형성을 유지하여야 한다. 또한 에러 증폭기는 주증폭기의 대역폭 보다 3~4배 이상을 대역폭을 가져야 한다. 입력신호는 방향성 결합기를 통하여 두 개의 신호로 나누어지며, 그 중에서 한 신호는 주증폭기로 입력되며 출력신호는 왜곡성분을 가지게 된다. 이 신호를 방향성 결합기를 통해 빼기회로에 비교신호로 보낸다. 이 과정에서 주신호 성분은 기준신호와 비교신호의 스펙트럼이 일치하도록 크기제어회로와 위상제어회로에 의해 조정된다. 기준 신호는 최초 입력신호가 지연선로를 경유하여 비교신호의 지연시간을 보상한 빼기신호의 다른 입력신호이다. 주신호 성분은 서로 동일 스펙트럼이므로 빼기신호에서 상쇄되어 출력으로서 왜곡신호만 나타난다. 이 신호는 신호경로에서 크기 및 위상제어 회로와 에러 증폭기에 의해 주증폭기의 왜곡신호와 크기는 같고 위상은 180° 차이가 있는 신호로 조정된다. 최종 출력단에서 이 두 신호가 결합하게되어 왜곡신호는 서로 상쇄되고 주신호 성분만 남게되므로 선형화의 기능을 수행하게 되는 것이다.

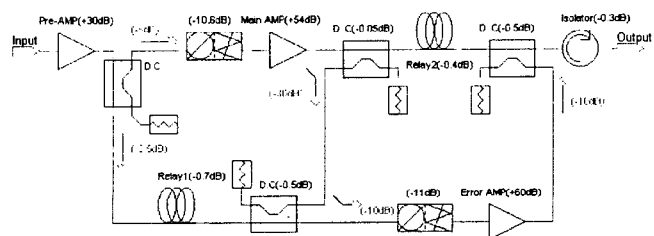


그림 2. Loss를 고려한 Feedforward 선형화기

전체 이득은 전력 증폭기의 이득 이외에 수동소자와도 밀접한 관계가 있다. 전력 증폭기의 이득에 신호루프의 방향성 결합기의 삽입손실, 오차루프의 방향성 결합기의 삽입손실, 입력단 전력 분배기의 삽입손실, 가변감쇠기와 가변위상변환기의 삽입손실, 시간지연라인의 삽입손실, Isolator의 삽입손실을 더한 것이 전체 이득이다.

주증폭기는 LPA의 출력이 47.8dBm (60W)일 때 Delay2의 손실(-0.43dB), 전력 결합기(-0.5dB), Isolator(-0.3dB), 기타(-0.5dB)등 총 -1.73dB의 손실이 발생하므로 주증폭기는 LPA의 출력에 -1.73dB의 손실을 보상해 주어야 한다. 그러므로 출력은 49.5dBm(90W) 이상으로 설계되어야 한다. 주증폭기의 Gain은 입력단까지의 손실이 전력 결합기(-5dB), 가변 감쇠기 및 위상 변환기(-10.6dB), 기타(-5dB) 등 총 -20.6dB의 손실이 발생하고 초단 증폭기의 30dB의 Gain을 고려하면 주증폭기의 입력은 -2.2dBm이 된다. 그러므로 주증폭기의 Gain은 51.5dB이상으로 설계되어야 하므로 본 논문에서는 Loss를 고려하여 54dB의 Gain으로 설계하였다.

에러 증폭기는 출력 IMD 성분의 전력은 -25dBc의 IMD 특성을 고려하면 23dBm이 된다. 에러 증폭기의 출력은 전력 결합기의 -10dB 감쇠를 고려하고 진폭과 위상의 불일치에서 오는 손실(-3dB)을 생각하여 36~37dBm로 설계하였다. 에러 증폭기의 Gain은 입력 신호는 주증폭기의 IMD 성분이다. IMD 성분의 전력은 주증폭기의 전력이 전력 결합기(-40dB)를 거치고 나면 -17dBm이 되고 여기에 가변 감쇠기 및 위상 변환기(-11dB)의 감쇠를 고려하면 에러 증폭기의 입력 전력은 -28dBm이다. -28dBm의 입력을 37dBm의 전력으로 증폭을 위해서는 적어도 65dB의 Gain을 필요로 하므로 본 논문에서는 Loss를 고려하여 70dB로 설계하였다.

2.1 주증폭기의 설계

주증폭기는 효율을 높이기 위하여 가능한 한 높은 출력이 나오도록 조정하지만 적어도 -30dBc 이하의 상호 변조잡음을 갖도록 back-off 시키는 것이 바람직하다. A급 증폭기는 선형성은 좋으나 효율이 낮으므로 최종단은 AB급으로 설계하였다.

전력 증폭기의 상호 변조잡음은 증폭 소자의 바이어스 조건 및 내부 온도 상승에 따라서도 변화하며 입사 전력의 크기에 따라서도 특성 변화가 심하다. 특히 AB급 증폭기로 설계할 경우 동작점에 따라 상호 변조잡음이 틀리게 나타나므로 먼저 여러 바이어스 조건으로부터 입사 전력의 변화나 전압의 변동에도 심한 차이 없이 일정하고 상, 하측대가 대칭적으로 나타나는 최적 점을 찾는 과정이 필요하다.

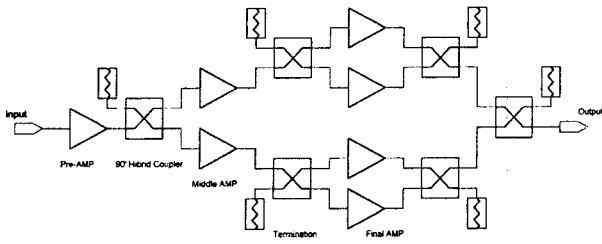


그림 3. 주증폭기의 구성도

그림 3은 주증폭기의 구성도로서 트랜지스터 1개의 소자로 원하는 출력과 Gain은 얻을 수 없으므로 90° Hybrid Coupler를 사용하여 트랜지스터를 직, 병렬로 구성하였다.

본 논문에서는 초단 증폭기에는 Motorola사의 MHL19338(4.0W, 30dB), 2단 증폭기에는 MRF19060(60W, 13dB)으로 설계하였다. 그리고, 종단증폭기에는 MRF19125 (125W, 13.6dB)의 소자를 Branch-line 결합기로 전력을 분배/결합하여 최종출력에서 원하는 출력을 얻고자 하였다.^{[4][5]} 이때 구동단 전력증폭기는 고전력 증폭단을 구동하기에 충분한 출력과 효율을 갖추어야 하는 동시에 선형영역에서 동작하도록 설계하였다.

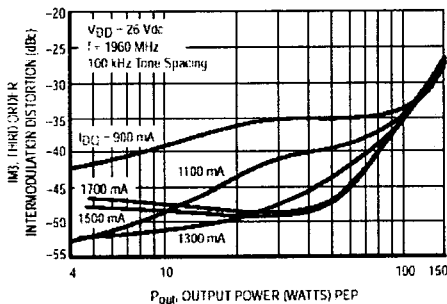


그림 4. MRF19125 전력-IMD 특성

종단 증폭기 MRF19125의 출력은 44.2dBm (26W)이 요구되므로 그림4의 소자의 전력- IMD 특성곡선을 고려해 볼 때 $V_{DS} = 26V$, $I_{DS} = 1300mA$ 에서 동작하도록 설계하였다. 위의 조건에서 동작 시 IMD 특성은 약 -45dBc 이하이다.

2.2 여러 증폭기의 설계

빠기 회로에서 출력된 신호인 반송파가 제거되고 상호 변조곱만으로 된 신호를 증폭하기 위한 증폭기로 동작 범위 내에서 균일한 이득 특성과 높은 선형성이 요구된다.

여러 증폭기는 출력 IMD 성분의 전력은

-25dBc의 IMD 특성을 고려하면 23dBm이 된다. 여러 증폭기의 출력은 전력 결합기의 -10dB 감쇠를 고려하고 진폭과 위상의 불일치에서 오는 손실 (-3dB)을 생각하여 37dBm으로 설계하였다.

초단과 2단 증폭기에는 Motorola사의 MHL19338로 설계하였다. 그리고, 최종 전력 증폭기 단계는 MRF19060으로 설계하여 MHL19338로 1단 증폭한 후 다시 이를 2개의 병렬 증폭기로 구성하여 2단 증폭하여 73dB의 선형 전력 이득을 얻었다.

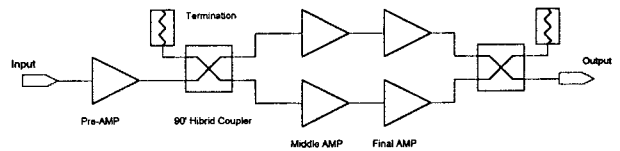


그림 5. 여러 증폭기의 구성도

빠기 회로에서 제거되지 않은 주신호의 크기가 3차 상호 변조곱의 크기와 비슷한 정도까지 감쇠된 것으로 가정하면 전체 전력은 약 25dBm이 되며 출력단에 사용한 10dB를 더하면 약 35dBm 정도의 출력에서 상호 변조 왜곡이 생기지 않은 충분히 back-off된 A급 증폭기를 사용하였다.

2.3 반사형 저위상 변화 감쇠기의 설계

이동통신 기지국 송신단에 사용되는 주요 회로는 대전력 증폭기와 함께 쓰이는 선형화기가 있으며, 이의 구성소자 중 가변 감쇠기는 중요한 제어회로 중의 하나이며 또한 자동 이득 조절 시스템에 널리 사용된다. 본 논문에서는 그림6과 같이 PIN 다이오드를 이용한 저위상 변화 감쇠기를 적용하였다.^[6] 다이오드는 Agilent사의 HSMP-4810 PIN 다이오드를 사용하였다.

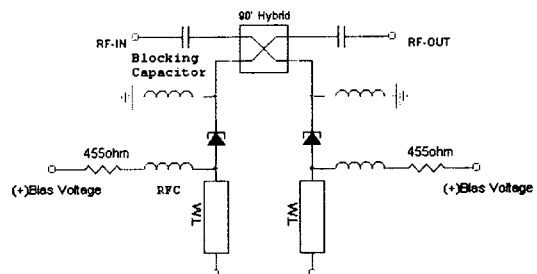


그림 6. 반사형 구조의 저위상 변화 감쇠기

추출 파라미터 값은 $C_j = 0.2034pF$, $L_s = 1.748nH$, $R_s = 3.342\Omega$ 이다. 이 다이오드의 파라미터를 이용하여 Mathcad에 의해 구한 개방 스테르브의 전기적 길이는 73.1°이었으며, 90° 하이브리드는 광대역 특성을 지닌 Anaren사의 1A1305-3을 사용하였다. 감쇠기의 특성은 감쇠량이 30dB까지 위상이

3° 이내에서 변화하고 입력단자와 출력단자 모두 반사특성이 17dB 이상이 나왔다.

2.4 위상 변환기의 설계

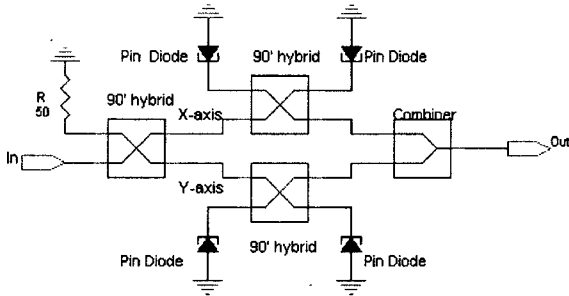


그림 7. 벡터 감쇠기

그림7은 본 논문에서 적용된 벡터 감쇠기 및 그 벡터 다이어그램으로써 그 동작 원리를 살펴보면 입력 신호는 90° 하이브리드에 의해 In-phase(X축) 신호 성분과 Quadrature-phase(Y축) 신호 성분으로 분리된다. I 및 Q성분 신호들은 각각 반사형 감쇠기에 의해 감쇠가 되는데 이 감쇠된 신호는 동위상 합성기에 의해 벡터 합성되어 특정 진폭과 위상을 갖는 출력 신호가 된다.^[7] 즉, X축 신호 성분과 Y축 신호 성분의 합성에 의해 특정 출력 신호를 얻게 된다. 그리고 PIN 다이오드 접합 저항의 가변 범위 중에서 50~∞Ω 범위를 이용할 경우에는 직교 좌표계의 1사분면을 이용하게 되지만, 0~50Ω 범위를 이용하게 되면 직교 좌표계의 2, 3, 4사분면도 이용할 수 있게 된다. 따라서 X축 신호 성분과 Y축 신호 성분에 대한 감쇠기의 감쇠량에 의해 최종 신호 출력의 진폭과 위상이 결정되며 감쇠기에 있는 PIN 다이오드의 접합 저항 범위를 조절함으로써 360°의 위상 변화도 얻을 수 있게 된다.

2.5 전력 분배기 및 결합기

입사전력을 둘로 나누는 입력단에는 전력 분배기로 두 출력을 합하는 출력단에는 이를 역으로 사용한 전력 결합기로 사용하였다. 또한 Error loop에서는 전력 결합기를 사용하여 빼기 회로를 구성하였다. 출력 회로에 직렬로 연결되는 방향성 결합기는 다루고자 하는 전력에 충분히 견뎌야 하며, 삽입 손실 분만큼 주 전력 증폭기의 출력이 저하되므로 가능한 한 손실이 적게 설계되어야 한다. 또한 삽입 손실 외에 결합도가 작을 경우 방향성(directionality)이 좋아야만 불필요한 신호들로부터 회로의 오동작을 방지 할 수 있다. 본 논문에서는 30dB와 10dB의 결합도를 갖는 두 개의 방향성 결합기를 사용하였는데 스트립 평행 결합 선로를 이용하는 방식으로 방향성을 충분히 높은 구조로 제작되었다.

그림 8은 출력전력에 직렬로 연결된 방향성결합기를 사용시의 전력 효율을 나타낸 그래프로써 최적은 8.9dB이다.^[8] 본 논문에서는 RF-Power사의 S10B1870N2 (10dB)를 사용하였다

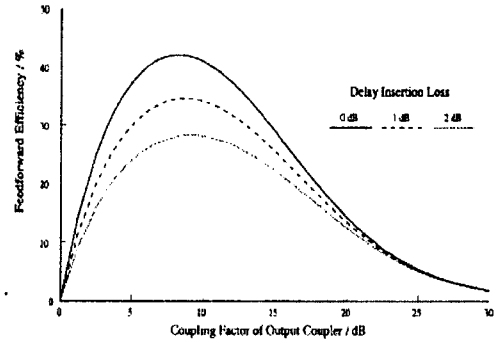


그림 8. Main pass에 Delay loss를 고려한 전력 효율

2.6 지연선로의 설계

지연선로(delay line)는 신호가 선형화기내의 여러 소자들을 거치면서 발생하는 시간적 지연을 일치시킴으로써 시간지연의 불일치에서 오는 대역폭의 협대역 화를 막기 위한 것이다. 지연 선로를 사용함으로써 실시간으로 위상제어가 가능하다. 본 논문에서는 부피가 커지는 단점이 있지만 지연선로의 길이를 조정하는 방법을 사용하여 실시간으로 정확한 위상제어 기능을 구현하였다. 사용된 지연선로는 MICRO-COAX 사의 SM141 (50Ω)형과 SM252 (50Ω)이며 1미터 당 약 4.8ns의 지연시간 특성과 약 0.52dB, 0.325dB의 삽입손실 특성이 측정되었다.

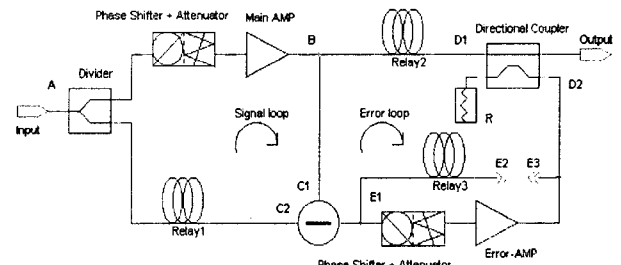


그림 9. 지연시간 측정

본 논문에서는 그림 9와 같이 신호경로(signal loop)의 위상보상 용으로 지연선로 Delay1을 사용하였고 오차경로(error loop)의 위상보상용으로 지연선로 Delay2 및 위상제어 용으로 지연선로 Delay3을 사용하였다.

Delay1의 길이를 구하기 위해서는 입력단자 A지점에서 C2지점까지의 지연시간을 적용하면 된다. 초

단 증폭기=1.0ns, 2단 증폭기=2.6ns, 중단 증폭기=1.66ns이므로 총 Delay는 5.26ns이다. 단위 파장 당 길이는 $\lambda = \frac{c}{\sqrt{\epsilon_r} \cdot f}$ 이므로 $\frac{(299800 \text{ Km/s} \times 0.7)}{(1850 \times 10^6 \text{ Hz})} =$

113.435mm이다. Delay $n = \frac{\text{Total} \cdot \text{delay} \cdot \text{time}}{1/\text{중심주파수}} =$ 9.731배이다. 전체 길이는 $l = \text{delay} \times \lambda = 1134.35 \text{ mm}$ 이다. 선정한 Cable은 SM141(50Ω)로 단위 길이 당 loss는 0.52dB이므로 Error loop의 전체 loss는 $1.13435 \times 0.52 = 0.589 \text{ dB}$ 이다.

Delay2의 길이는 B지점에서 빼기회로와 왜곡 신호 증폭기를 경유한 D2지점까지의 지연시간을 측정하여 이 값과 동일하게 B지점에서 D1지점까지의 지연시간을 적용하면 된다. 초단 증폭기=2.6ns, 2단 증폭기=1.88ns, 중단 증폭기=1.88ns이므로 총 Delay는 6.14ns이다. 단위 파장 당 길이는 $\lambda = \frac{c}{\sqrt{\epsilon_r} \cdot f}$ 이므로

$$\frac{(299800 \text{ Km/s} \times 0.7)}{(1850 \times 10^6 \text{ Hz})} = 113.435 \text{ mm 이다.}$$

$$\text{Delay } n = \frac{\text{Total} \cdot \text{delay} \cdot \text{time}}{1/\text{중심주파수}} = 11.359 \text{ 배이다.}$$

전체 길이는 $l = \text{delay} \times \lambda = 1361.22 \text{ mm}$ 이다. 선정한 Cable은 SM252(50Ω)로 단위 길이 당 loss는 0.325dB이므로 Error loop 전체 loss는 $1.36122 \times 0.325 = 0.4424 \text{ dB}$ 이다.

2.7 아이솔레이터의 설계

최근 이동통신기술이 급속히 발전함에 따라 이동통신 단말기와 기지국의 숫자도 급속한 증가 추세에 있다. 단말기 및 기지국 송신단의 경우 전력 증폭기로부터의 송신전력이 듀플렉서 및 안테나로 잘 전달되지 않을 경우 발생하는 반사전력은 전력 증폭기로 재 입력되어 RF 성능을 저하시키거나 시스템을 파손할 수 있다. 이를 방지하기 위하여 특정 방향으로만 전력이 전달되는 아이솔레이터(isolator)를 사용하였다.^{[9][10][11]}

3. 실험 결과

이 실험에 사용한 Signal Generator는 HP사의 E4432B를 사용하여 1.855 GHz와 1.8555 GHz 2 tone 신호를 인가하였다. tone 간격은 500KHz 로 하였다. 출력 파형은 최종출력단에 30dB Attenuator (500W)+ 10dB Step Attenuator (10W)를 사용하여 40dB 감소된 신호를 Spectrum analyzer는 HP사의 E4402B를 연결하여 출력 신호를 얻어냈다. 최종 출력 power는 500W 용 30dB Attenuator를 사용하여 30dB 감쇄시킨 다음 HP사의 EPM Series Power

Meter를 사용하여 출력 power를 측정하였다.

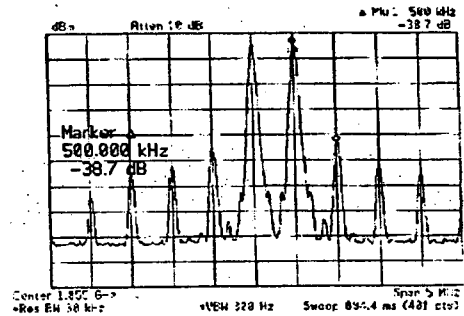


그림 10 2-tone signal인가 주증폭기 파형

그림 10은 Two Tone Signal을 인가시 주증폭기의 출력이 47.8dBm(60W)일 때의 출력 파형이다. 이때의 IMD가 38.7dBc이다.

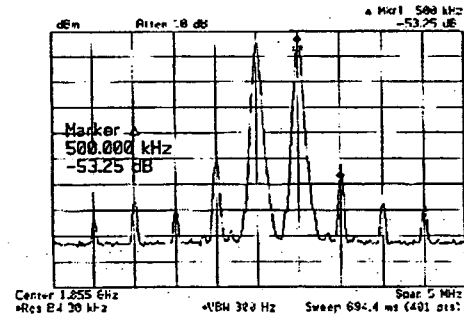


그림 11. Feedforward를 적용한 주증폭기 파형

그림 11은 이 주신호를 오차 증폭기로 증폭하여 그 신호로 최종 출력에서 왜곡신호를 상쇄시킨 파형이다. 이때의 IMD가 53.25dBc이다. 이 그림에서 알 수 있듯이 Feedforward 선형화 방식을 이용한 증폭기의 장점은 오차신호를 그대로 증폭시켜 주증폭기의 오차를 상쇄시키기 때문에 3차 신호뿐만 아니라 5차, 7차 신호까지 상쇄되는 것이다. 그림11에서 보면 선형화기를 쓰지 않았을 때보다 왜곡 성분이 14.55dB 줄어들었다.

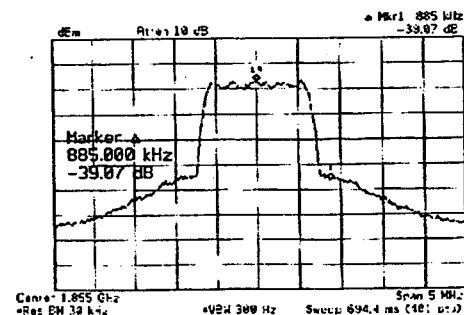


그림 12. CDMA 1-tone signal 주증폭기 파형

참 고 문 헌

- [1] S.C. Cripps, "RF Power Amplifier for Wireless Communications", Artech House, 1999.
- [2] D. Myer, "Ultra Linear/Feedforward Amplifier Design", IEEE MTT-S Digest, pp. 1125~1127, 1998.
- [3] N. Potheary, "Feedforward Linear Power Amplifier", Artech House, 1999.
- [4] K. Chang, C. Sun, "Millimeter-Wave Power-Combining Techniques", IEEE Trans., Vol. MTT-31, pp. 91~107, 1972.
- [5] T. Edwards, "Foundations for Microstrip Circuit Design", John Wiley & Sons, pp. 267~276, 1992.
- [6] K. Kurokawa, "Design Theory of Balanced Transistor Amplifiers", Bell System J. pp. 1675~1698 Oct. 1965.
- [7] Lawrence Silverman, Chris Del Plato, "Vector Modulator Enhances Feedforward Cancellation", Microwave and RF, pp. 83~88, 1998.
- [8] K. J. Parsons, P. B. Kenington, "The Efficiency of a Feedforward Amplifier with Delay Loss", IEEE Trans, vol. 43, pp. 407~412, 1994
- [9] Douglas K. Linkhart, "Microwave Circulator Design, Norwood" Artech House, 1989.
- [10] David M. Pozar, "Microwave Engineering", Addison-Wesley Publishing Company, 1990.
- [11] H. Bosma, "On stripline Y-circulation ay UHF", IEEE Trans. Microwave Theory Tech, vol. MTT-12, pp. 61~72, 1964.

그림 12는 CDMA 1-Tone Signal을 인가시 주 증폭기의 출력이 47.8dBm(60W)일 때의 출력 파형이다. 이때의 ACPR(Adjacent Channel Power Rejection)은 39.07dBc이다.

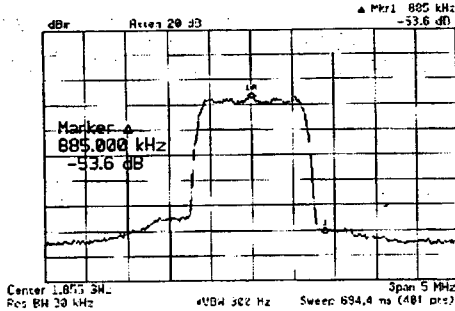


그림 13. Feedforward를 적용한 주증폭기 파형

그림 13는 이 주신호를 오차 증폭기로 증폭하여 그 신호로 최종 출력에서 왜곡신호를 상쇄시킨 파형이다. 이 때의 ACPR은 53.5dBc이다. 그림 13에서 보면 선형화기를 쓰지 않았을 때보다 왜곡 성분이 14.55dB 줄어들었다.

4. 결 론

본 논문에서는 주증폭기와 Feedforward 선형화 방식을 이용한 증폭기를 여러 가지 출력신호에 따라 분석하였다. 선형 보상이 없는 상태에서의 주증폭기의 상호 변조율은 약 -38.7dBc 이었으나 Feedforward loop를 거치면서 -53.25dBc 까지 낮아졌다. 측정 결과 Feedforward 선형화기를 사용하여 14.55dB 정도 개선시킬 수 있었다.

Feedforward 방식은 다른 선형화 방식에 비해 복잡하지만 탁월한 선형성의 개선을 가져올 수 있다. 추후 연구목표는 모든 동작을 적응형으로 구현하는 것이다. 이때 수동으로 조정했을 때의 파형보다 왜곡성분이 얼마나 더 생기는가를 비교하고 왜곡 성분을 최저로 하는 적응형 제어기를 만드는 것이다. 그리고 감쇄가 최대한 적은 시간지연기와 Isolator를 써서 주증폭기의 전력 손실을 최소한으로 하는 것이다.

향후 선형 전력 증폭기는 선형성을 극대화시키고 특히 온도 및 주위환경에 대해서 안정된 출력전력을 유지할 수 있는 형태로 발전할 것으로 예상되며 디지털 기술의 도입을 통해서 보다 안정적이며 쉽게 제어할 수 있는 선형 전력 증폭기를 설계 제작할 수 있을 것이다.