

**CMOS공정을 이용한 Inner Hair Cell의 모델링에 적합한
면적 효율적인 저역 통과필터의 설계**

류승탁*, 이광*, 최배근*, 조규형*
(*한국과학기술원 전기 및 전자공학과)

**An Area Efficient Low Pass Filter for Inner Hair Cell
using CMOS Process**

Ryu Seung-tak*, Lee Kwang*, Choi Bae-kun*, Cho Gyu-hyeong*
(*KAIST Electrical Engineering)

Abstract - 본 논문에서는 내이(Inner ear)의 한 부분을 차지하는 Inner Hair Cell을 구현함에 있어 필수적인 요소인 낮은 극점을 갖는 저역통과필터(LPF)를 최소의 면적으로 구현하기 위한 설계방법을 언급한다. 이를 위해 본 논문에서는 CMOS Compatible Lateral BJT (CLBT)를 사용하여 능동소자의 등가 저항을 증가시켜 커패시터의 값을 획기적으로 줄일 수 있는 기법의 LPF와 gm-C필터를 이용한 LPF를 전류모드로 설계하였다. 저전력 특성과 큰 임피던스 특성을 얻기 위해 모든 트랜지스터는 약반전 영역에서 동작하고 극점은 1kHz 근처에 존재한다.

그림. 2.a에 IHC의 자세한 구조를 보였다. Basilar Membrane이 진동할 때, IHC이 좌우로 흔들림으로써 IHC로의 이온의 교환통로인 섬모의 끝이 열렸다 닫혔다 함으로써 내부의 이온의 농도에 변화가 생겨 내부 전압이 바뀔으로써 IHC바깥으로 신경전달물질(neuro transmitter)을 배출한다. 평상시 섬모의 끝은 약 20%정도 열려있어, 섬모의 변위에 따라 그림. 2.b와 같은 내부전압 변화특성을 갖는다. 이러한 특성은 약반전 영역에 있는 차동증폭기의 입력전압에 대한 출력 전류로 쉽게 얻을 수 있다[1]. 본 설계에서도 기존의 설계 결과를 받아들여 같은 구조를 이용하기로 한다. IHC은 내부적으로 일정값의 커패시턴스와 누설을 가지므로 전기적으로 차단 주파수가 1kHz 근처에 존재하는 저역 통과필터(LPF)로 모델링이 될 수 있다. 그런데, 1kHz에 차단 주파수를 갖는 LPF는 상당히 큰 저항과 커패시터를 필요하므로 IC에서 제작하기에는 면적에 상당한 부담이 있다. 본 논문은 이러한 특성을 적은 면적에서 만족할 만한 성능을 얻는 방법에 대해 언급한다.

1. 서 론

최근에 인간의 뇌를 전기적 또는 기계적으로 구현하고자 하는 연구가 활발하게 진행되고 있다. 그 중의 한 부분을 차지하고 있는 것이 귀를 모델링하는 것이다. 인간의 귀는 외이(outer ear), 중이(middle ear), 내이(inner ear)로 나뉘어진다. 그 중에서도 내이는 그 구조와 기능이 복잡하다. 대략적으로 내이에서의 동작을 설명하면 다음과 같다. 외이를 거쳐 전달된 소리는 중이를 거쳐 기계적인 운동으로 바뀌고 이것이 많은 채널의 대역 통과필터 뱅크로 모델링될 수 있는 Basilar Membrane(BM)을 진동시켜 그 움직임을 Inner Hair Cell(IHC)에서 감지한다. BM과 IHC의 관계를 보여주는 단면도를 그림. 1에 보였다. 결국 IHC은 기계적인 움직임을 전기적인 신호로 바꾸는 트랜스듀서(transducer)의 역할을 한다.

2. 저역 통과 필터

2.1 전류 미러의 응용

본 설계에서 IHC의 모델링에 필요한 LPF에 입력으로 들어오는 신호는 그림. 2.b에 보인 파형의 특성을 갖는 차동증폭기의 출력 전류이다. 따라서, LPF는 전류모드로 설계되는 것이 용이하다. 입력의 전류를 출력으로 내어주는 가장 간단한 구조로 전류 미러를 들 수 있다. 그림. 3은 전류 미러에 커패시터를 사용함으로써 저역 통과 특성을 얻고자 하는 것이다. 이 회로의 극점은 $C/g_{m,M2}$ 로 결정이 된다. 이로부터 1kHz 근처의 극점을 얻기 위해서는 상당히 큰 값의 커패시터가 필요하고, M_2 에는 아주 작은 전류를 흘려주어야 한다. 따라서, 면적에 있어서 상당한 결점이 있다. 특히, IHC은 BM을 모델링한 필터 뱅크의 채널의 개수만큼씩 필요하므로 면적의 축소는 중요한 이슈가 된다. 또한, 극점을 형성하는 임피던스 $1/g_{m,M2}$ 를 키우기 위해 트랜지스터의 바이어스 전류를 나노 암페어 이하로 줄이기 위한 적절한 회로가 삽입되어야 한다.

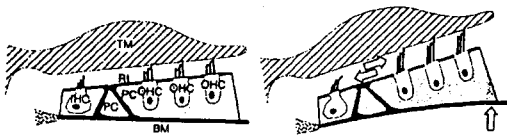


그림. 1 BM과 IHC의 신호전달 원리

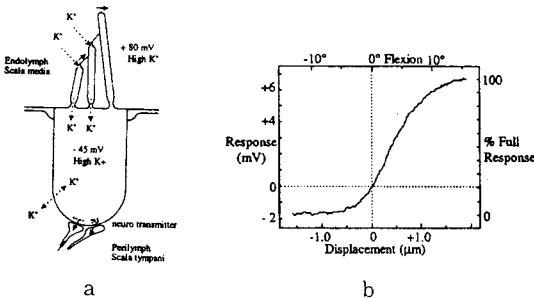


그림. 2.a IHC의 구조

그림. 2.b IHC의 섬모의 변위에 대한 내부 전압의 변화

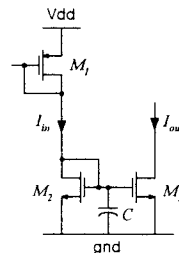


그림. 3 전류미러를 이용한 LPF

2.2 BJT를 이용한 전류미러

그림. 3에 보인 회로에서 M_2 에 흐르는 전류를 줄이기 위한 하나의 방법으로 BJT를 생각할 수 있다. BJT의 베이스 전류는 콜렉터 전류의 $1/\beta$ 배이므로 BJT의 베이스 전류를 복사하면 β 배만큼의 임피던스 증가 효과를 얻을 수 있다. 이 회로를 그림. 4에 보였다.

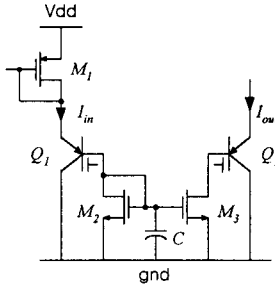


그림. 4 BJT를 이용하여 임피던스를 키운 LPF

M_1 의 콜렉터 전류를 BJT Q_1 의 에미터로 받고, Q_1 의 베이스 전류를 M_2 와 M_3 의 전류 미러로 복사하면 그림. 3의 경우에 비해 $1/g_{m,M2}$ 가 β 배 증폭되어 C의 값을 그만큼 줄일 수 있다. CMOS 공정에서 사용할 수 있는 BJT는 2가지 정도이다. 하나는 p-기판을 콜렉터로 고정해서 쓸 수 있는 수직형 pnp이고, 다른 하나는 Lateral PNP에 게이트 구조를 추가하여 MOS구조에서 콜렉터를 자유롭게 연결할 수 있는 CMOS Compatible Lateral PNP(CLBТ)이다. CLBТ의 경우 $1\mu\text{A}$ 이하의 전류에서 β 값이 100을 넘는 공정이 있으므로 [2], 이 공정을 이용하면 면적 감소의 효과는 더욱 커진다. 이 회로에서 커패시터는 400fF이 사용되었다.

그러나, 이 회로의 경우 너무 적은 바이어스 전류로 인해 선형성에 문제가 있다. 모든 트랜지스터가 약반전 영역에 있어서, MOS는 BJT와 비슷한 특성을 가져, g_m 은 바이어스 전류에 1차 비례하므로 바이어스 전류보다 훨씬 큰 신호 전류가 들어오는 경우, 극점은 상당히 크게 변화한다. 그림. 5에 이 회로를 모의 실험한 결과를 보였다.

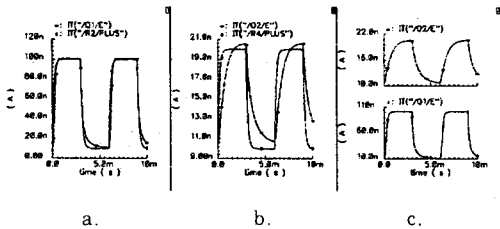


그림. 5.a 입력 전류가 10nA ~ 100nA로 변할 경우
그림. 5.b 입력 전류가 10nA ~ 20nA로 변할 경우
그림. 5.c a와 b의 출력의 시상수 비교

그림. 5.a는 입력신호의 크기가 10nA에서 100nA사이를 움직일 때 이상적인 LPF와 제안된 회로의 결과를 비교한 것이다. 여기에서는 약간의 차이를 제외하면 거의 비슷한 파형을 갖는 것이 보인다. 그러나, 신호레벨이 작을 때 상당히 큰 시상수를 갖는 것을 그림. 5.b로부터 알 수 있다. 그림. 5.b는 입력이 10nA에서 20nA 사이를 움직일 때의 파형으로 상당히 큰 시상수를 갖는 파형이 설계된 회로의 출력이고 작은 것은 이상적인 LPF의 출력이다. 그림. 5.c는 제안된 회로에서 입력이 다른 두 경우 a와 b의 파형만을 비교한 것이다.

이런 문제를 해결하기 위해 제안된 방법은 그림. 6과

같다. 바이어스 전류가 신호 전류보다 상당히 작으므로

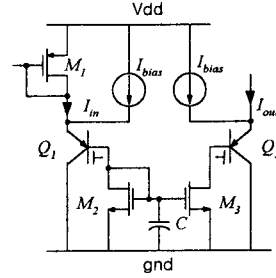


그림. 6 그림. 4의 선형성을 개선한 회로

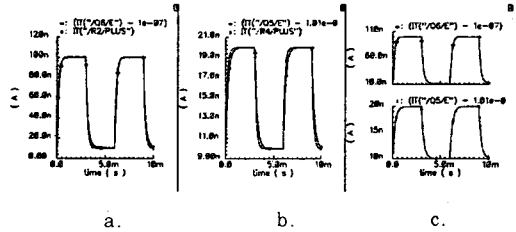


그림. 7.a 입력 전류가 10nA ~ 100nA로 변할 경우
그림. 7.b 입력 전류가 10nA ~ 20nA로 변할 경우
그림. 7.c a와 b의 출력의 시상수 비교

바이어스 전류를 신호 전류에 가깝게 되도록 외부에서 추가적으로 바이어스 전류를 공급해준다. 여기에서 I_{bias} 는 100nA를 흘렸다. 그러면 M_2 를 흐르는 전류의 변화는 바이어스 상태의 최고 2배까지만 변화한다. 그만큼 선형성이 개선됨을 예측할 수 있다. 다만, M_2 의 등가 g_m 이 그림. 4의 회로의 경우보다 커져서 더 큰 커패시터가 필요하다. 이 경우 1.4pF의 커패시터를 사용했다. 그림. 7에 그림. 6의 회로를 모의 실험한 파형을 보였다. 그림. 5에 보인 출력파형과 비교할 때, 그림. 6의 회로는 선형성이 상당히 개선되었음을 알 수 있다. 그러나, 이 회로는 또 다른 문제점을 갖고 있다. M_2 에 흐르는 전류는 트랜지스터의 β 에 의해 결정이 되는데, 트랜지스터의 β 는 같은 공정에서도 상당히 큰 오차를 갖기 때문에 제안된 구조는 정밀한 극점을 갖는 경우 사용하기 어렵다.

2.3 gm-C filter

집적회로에 대표적으로 사용되는 필터 타입의 하나가 gm-C 필터이다. 그러나, gm-C 필터는 전압모드 LPF에 적합한 구조로서, 입력 신호가 전류의 형태인 경우에는 적용이 어렵다. 그러나, 우리의 회로에서 전류 미러의 동작 원리를 생각해 보면 간단하게 적용할 수 있음을 발견할 수 있다. 전류 미러가 전류량에 대한 정보를 MOS의 게이트와 소스 사이의 전압을 넘기고 받음으로써 전류를 복사하는 형태이므로 그림. 8의 회로에 보이듯이 전압이 넘겨지는 노드 사이에 gm-C 필터를 삽입한다면 입력출력이 전류의 형태인 LPF를 쉽게 구현할 수 있다.

여기서 gm셀의 gm 값은 상당히 작아야하므로 모든 트랜지스터가 약반전 영역에 있다. 이 회로에서는 1pF의 커패시터를 사용했고, 차동 입력단의 PMOS로 형성된 전류원의 전류는 7nA이다. 여기에 사용된 gm셀이 그림. 9에 있다. 트랜지스터의 사이즈가 다른 두 차동 입력단의 출력을 반대방향으로 연결함으로써 등가적으로 gm을 떨어뜨리는 결과를 얻었다. 이 회로를 모의 실험한 파형을 그림. 10에 있다. 진폭이 다른 두 입력에 대해서 이상적인 LPF의 출력특성에 거의 가깝다는 것을 확인할 수 있다.

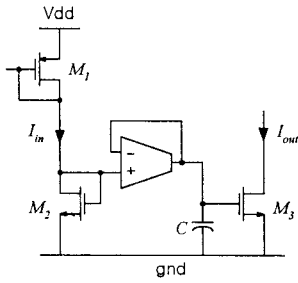


그림. 8 gm-C 필터를 이용한 전류모드 LPF

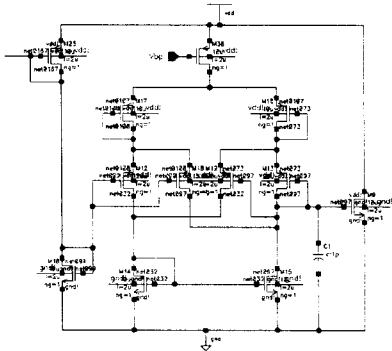


그림. 9 그림.8의 회로에 사용된 gm cell

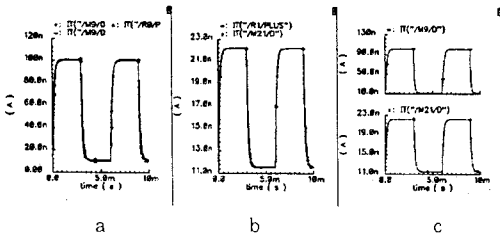


그림. 10.a 입력 전류가 10nA ~100nA로 변할 경우
 그림. 10.b 입력 전류가 10nA ~20nA로 변할 경우
 그림. 10.c a와 b의 출력의 시상수 비교

3. 결 론

본 논문에서는 IHC의 설계에 적합한 낮은 주파수에 극점을 가지면서 작은 면적을 차지하는 전류모드의 저역 통과필터의 설계 방법 몇 가지를 언급했다. CMOS에서도 사용이 가능한 BJT를 사용하여 단순히 소자 하나로 상당한 임피던스 증가의 효과를 보았고 선형성의 문제도 어느정도 개선을 했다. 또한, BJT의 β 가 공정에 민감한 문제를 해결하기 위해 또 다른 설계방법으로 gm-C필터를 이용한 설계를 보였다. 이 회로들은 IHC의 응용 뿐 아니라, 낮은 주파수에 극점을 갖는 LPF의 설계에 두루 응용될 수 있다.

(참 고 문 헌)

- [1] Andre van schaik, "Analog VLSI Building Block for an Electronic Auditory Pathway", Ph.D. Thesis, EPFL, 1997
- [2] AMS "0.8um CMOS CXQ Process Parameters" August 1999