

PRML 채널에서 LMS 적응화를 위한 간략화된 오류 발생 구조

\*박현수, 김기현, 심재성, 서종언, 정규해, 신동호  
삼성전자 DM연구소 고밀도 기록기팀

Simplified Error Generation Scheme for LMS Adaptation

\*Hyun-Soo Park, Ki-Hyun Kim, Jae-Seong Shim, Joong-Eon Seo, Kiu-hae Jung, Dong-ho Shin  
Samsung Electronics, DM R&D center, High density recording system team

**Abstract** - 디스크의 탄젠셜 성분의 틸트가 생긴 경우 발생하는 채널의 변화에 대해 적응형 부분 응답 신호처리 과정인 비터비 디코더를 적용하게 되면 비트오율에 상당한 효과를 가져온다. 이러한 적응 과정을 효과적으로 진행하기 위한 간략화된 오류 발생 알고리즘을 제안한다.

1. 서 론

광 디스크에 기록된 데이터를 읽어내는 경우 읽어낸 아날로그 신호를 이치화하는 작업이 필요하게 된다. 보편적으로 사용되는 이치화 방법은 디스크 표면의 기록된 신호의 DC 성분이 0에 가깝다는 성질을 이용해 입력 신호를 평균치를 취하고 이 값을 이치화의 기준 신호로 삼아 비교기를 통과시켜 이진 신호를 얻어내는 방법을 사용한다.<sup>1)</sup> 그러나 이러한 구조는 입력 신호에 잡음이 들어간 경우에 그다지 좋은 성능을 가져오지 못하기 때문에 채널의 특성을 이용한 이치화 방법이 많이 연구되었다. 이러한 방법 중 대표적인 것이 PRML(Partial response maximum likelihood)로 디스크의 채널 특성이 PR 특성과 유사하다는 성질을 이용해 입력 신호를 PR필터를 통과시킨 다음 비터비 디코더를 사용해서 이진 신호를 얻어내는 방법이다. 이 방법은 전통적인 비교기를 사용하는 것에 비해 비트 오율을 줄일 수 있다고 알려져 있다.<sup>2)</sup> 본 논문에서는 PRML에 사용되는 PR 필터의 특성을 입력 신호의 특성에 맞도록 최적화하는 기법을 살펴보고 간략화된 오류 발생 구조를 제시하며 기존 구조에 비해 어떠한 성능 향상이 있는지를 살펴볼 것이다.

2. 본 론

2.1 레벨 오류 발생 방법

그림 1은 적응형 등화기의 구조이다. 본 논문에서 제시하는 레벨 에러 검색 알고리즘은 주어진 일정 시간 구간인 kT에서 목적 응답의 예상 레벨과 맞는 출력 신호를 얻기 위해 등화기의 출력을 저장하고 출력 값을 비교하게 된다. 부분 응답의 특징인 예상 레벨로부터 선택된 데이터를 뺀 에러 신호가 적응형 프로세서를 동작시키는 데 사용된다. 본 논문에서는 광 디스크의 특성에 가장 맞는 (1+D)<sup>2</sup> 타입인 부분 응답인 (PR1,2,2,1)을 사용하는데 이 경우에는 5개의 예상 레벨이 존재한다. 입력 테널 데이터가 {a<sub>k</sub>} ∈ {-1, 1}로 정의되는 경우에 예상 레벨은 {-9, -6, 0, 6, 9} 이다. LMS에 사용되는 레벨 에러 발견 알고리즘은 다음과 같은 표현된다.

$$W(n+1) = W(n) + \mu e(n)U(n) \quad (1)$$

$$e_i = E_i - d_i\{y(n), \dots, y(n-4)\}$$

$$l \in \{-max, -mid, zero, +mid, +max\} \quad (2)$$

$$y(n) = U^T(n)W(n) \quad (3)$$

여기서 d<sub>i</sub>{y(n), ... y(n-4)} 는 다음과 같이 정의된다.

$$\begin{aligned} & \text{if } ((y(n-2)*y(n-1) <= 0) \text{ and } \\ & (|y(n-2)| < |y(n-1)|)) \text{ then } l = \text{zero}; \\ & \text{if } ((y(n-3)*y(n-2) <= 0) \text{ and } (|y(n-3)| < |y(n-2)|)) \\ & \text{then } l = \text{zero}; \\ & \text{if } ((y(n-1) > TH \text{ and } y(n-2) < TH \text{ and } y(n-3) < TH) \\ & \text{then } l = +max; \\ & \text{if } ((y(n-1) < -TH \text{ and } y(n-2) < -TH \text{ and } y(n-3) < -TH) \\ & \text{then } l = -max; \end{aligned} \quad (4)$$

식 (4)에 의하면 식(2)에서 정의된 mid레벨을 구하는 알고리즘은 사용되지 않은 것을 알 수 있다. 물론 y(n)와 y(n-4)는 mid level을 찾는데 사용될 수 있으며 필터 계수를 갱신하는데 사용할 수 있다. 그러나 실제 시스템에 적용을 해 본 결과 mid level을 구해서 LMS에 적용하는 경우에 적응 프로세서를 약화시켜 필터 계수가 발산하거나 비트 오율이 나빠지는 결과를 얻을 수 있었다. 이는 mid level이 다른 기준 레벨에 비해 잡음이나 입력 신호의 비대칭성, 비선형성의 영향을 더 많이 받기 때문이다. 따라서 본 논문의 비트 오율을 구하는 경우에 mid level을 제외한 zero level과 max level을 사용해 필터 계수를 갱신하는 방법을 제안하는 바이며 이는 하드웨어의 복잡도를 감소하는 역할과 시스템의 안정성을 높이는 두가지 결과를 얻을 수 있었다. MAX 레벨을 찾는 경우에 사용되는 TH 값은 잡음에 영향을 받지 않도록 안정화된 임계값을 사용하였다.

2.2 실험 결과

그림 2는 탄젠셜 틸트가 적용된 디스크에서 읽어낸 신호로 최적화된 적응형 등화기의 필터 계수를 나타낸 것이다. 적응형 필터의 비대칭적인 값의 변화들은 디스크의 탄젠셜 틸트의 변화량에 맞도록 최적화되었다고 볼 수 있다. 고정된 등화기를 사용했을 경우와 일반적인 이치화기, 그리고 적응형 등화기를 사용했을 경우의 탄젠셜 틸트와 비트 오율에 대한 그래프를 그림 3에 나타내었다. 고정된 등화기와 제안된 등화기를 비교해 보면 제안된 등화기를 사용할 경우 약 0.2도 정도의 틸트 마진을 더 가질 수 있음을 알 수 있다.

2.3 하드웨어 구현상의 문제점

하드웨어로 실제 시스템을 구현하는데 있어서 두가지 문제점이 발견되었는데 첫번째로는 양자화된 필터 계수의 양자화 잡음과 LMS 과정의 스텝 사이즈의 크기에 따른 수렴성이 문제가 되었다. 또 다른 문제로는 디스크

의 고속화로 인한 처리 속도 또한 문제가 되었다. 처리 속도에 대한 해결책으로 가장 문제가 되었던 곱셈기가 들어가는 부분의 필터를 병렬 구조로 처리해서 사용했다. 다행히 제안된 에러 발생기 부분은 지연 소자와 비교기로 간단히 구현되므로 속도의 제한을 덜 받는 편이다. 또 다른 문제점으로 제안된 에러 발생기는 무작위 디컨볼루션(blind deconvolution)의 일종이기 때문에 수렴성이 매우 중요한 문제로 대두된다. 그래서 실제 하드웨어를 구현하기 전에 시뮬레이션을 통해 충분히 작은 스텝 사이즈와 필터 계수의 할당 비트수를 조절함으로써 동일한 비트 오류를 가지면서도 다양한 입력 데이터에 대해 수렴이 되는 것을 확인한 다음 이 값을 실제 하드웨어 구현에 이용하였다.

### 3. 결 론

본 논문에서는 간략화된 에러 발생기를 제안하고 테스트했다. 제안된 구조를 사용할 경우, 탄젠셜 틸트에 의해 왜곡된 신호가 들어올 경우에 비트 오류를 줄이는 효과를 볼 수 있었다. 또한 제안된 구조를 하드웨어로 구현할 경우에 안정된 수렴성을 확인할 수 있었다.

### [참 고 문 헌]

- [1] DVD 규격집
- [2] Gene Sonu, "Partial Response Maximum-Likely development for a CD/DVD controller intergrated IEEE Trans. on Magnetics, vol. 37, No 2, March 2001

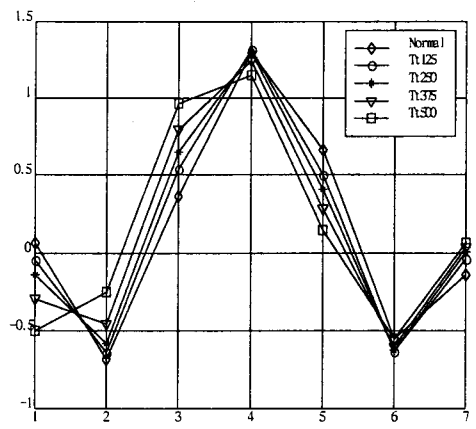


그림 2 탄젠셜 틸트에 따른 FIR 필터 탭의 변화

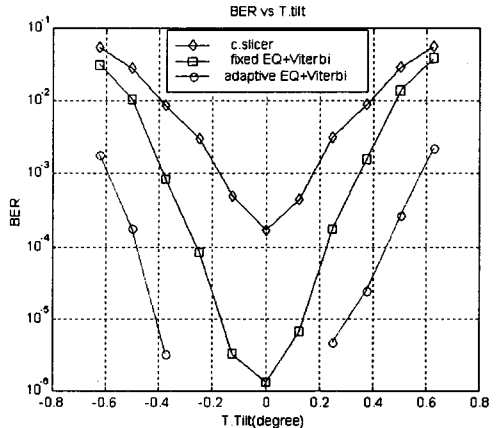


그림 3 탄젠셜 틸트에 따른 비트 오류

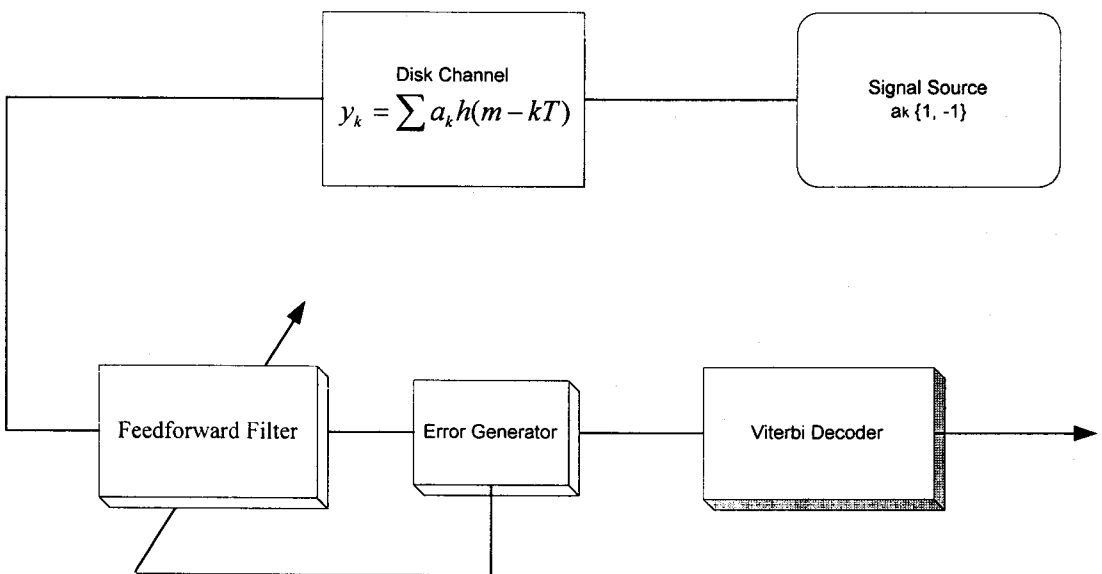


그림 1 본 논문에서 제안된 적응형 필터의 구조