

전력선 채널 특성을 통한 고속 데이터 통신 방법 연구

*김동순, **서종완, *김도경, *최종찬
*전자부품연구원, **성균관대학교

Research of High data rate Power-Line Communication with Characteristics Analysis

*D.S.Kim, **J.W.Seo, *D.H.Kim, and *S.C.Choi
*Korea Electronics Technology Institute, **SungKyunKwan Univ.

Abstract - Today many researches are accomplished for power line communication. But It is very dangerous to communicate with devices using power line. Because power line is an candidate to cope with the existing communication channels.

So It is need to be measured the properties of power line as communication channels, before successful communication system is possible. In this paper, we re-analysis the characteristics of power line and suggest an implementation technique for the high-data-rate power line communication modem.

1. 서 론

최근 고속 데이터 통신을 위해 전화선 또는 무선 등의 다양한 전송매체를 이용한 방법들이 연구되고 제안되고 있다. 이와 함께 기존에 설치되어 있는 전력선 망을 이용한 데이터 통신에 관한 기술이 주목받고 있다. 하지만, 기존의 전력선망은 통신채널을 위해 고안된 것이 아니기 때문에 실제로 데이터 통신을 위해서는 많은 문제점들이 수반되고 있다. 따라서, 정확한 채널 특성에 기반한 고속 모뎀의 설계가 필수라 할 수 있다. 지금까지 전력선을 이용한 통신을 300bps급의 저속으로 송·배전망의 자동화나 원방 감시, 기기 제어에 사용되어 왔다. 이러한 전력선 통신을 고속 네트워크에 사용하기 위해서는 광대역의 주파수 사용 또는 새로운 변·복조 방식의 개발이 필수적이며, 여러 사용 기기 등에 의한 채널 환경의 변화 및 특성에 대한 조사가 이루어져야 한다.

본 논문에서는 이러한 전력선 환경 하에서 사용할 수 있도록 보안 및 노이즈에 강한 특성이 있어 군사용에서 사용되어지던 DS방식의 Spread-Spectrum(SS)기술을 이용한 고속의 전력선 모뎀을 설계하고 실험하였다.

2. 본 론

2.1 송신부의 설계

송신기는 크게 Baseband processor, power, μ -controller, quadrature modulator, RF부로 구성된다. 송신기의 대략적인 블록도는 다음과 같다.

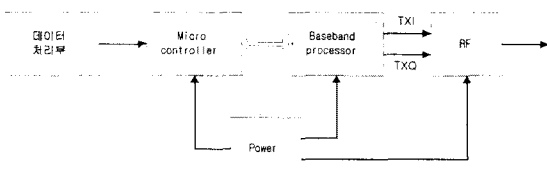


그림 2-1. 송신부 시스템 개요도

2.1.1 Baseband processor

Baseband processor는 데이터를 받아서 대역 확산된 신호를 만들어 낸다. 송신부는 μ -controller interface, control flag register, clock generator, Tx PN code generator, word generator로 구성되며, μ -controller interface는 컨트롤러로부터 data, address, RD, WR, CS, INT 등 각종 제어신호를 가지고 레지스터의 데이터를 읽고 쓰는 역할을 하는 부분이며, control flag register는 PLL 제어신호인 PLL[3:0]와 외부제어신호 EXT[9:0]를 발생시키는 부분이다. clock generator는 OSC1, OSC2, RBIAS, VCO1 신호에 의해 60MHz clock을 발생시키는 부분이며, PN code generator는 64 MHz clock은 Tx PN clock divider에 의해 분주되어 TX PN code generator에 가해져서 PN1과 EPOCH1 신호를 생성하게 된다. 마지막으로, word generator는 PN1과 EPOCH1 신호가 가해져서 송신 I data인 TxD0와 송신 Q data인 TxD1 신호를 발생시킨다.

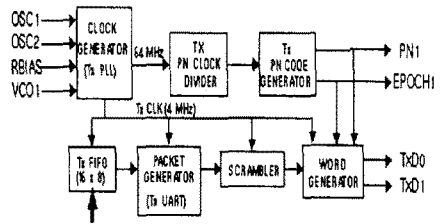


그림 2-2. 송신부의 구조

2.1.2 Power 공급부

Power부는 크게 baseband processor와 controller 에 전원을 공급하는 부분과 RF부에 전원을 공급하는 부분으로 나뉜다. Baseband processor와 controller 등은 5V로 동작하며, RF부 전원은 5V와 3V로 동작하기 때문에 power amp 부는 별도의 전원을 추가하였다.

2.1.3 Quadrature modulator

Quadrature modulator로는 구조는 그림 2-3과 같으며, 수신기의 TxD0(I input), TxD1(Q input)이 입력으로 가해지게 되고, LO input은 칩내부에서 2 분주되어 double balanced mixer에 가해져서 원하는 IF 신호가 발생되게 된다.

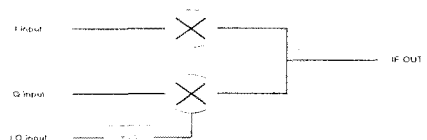


그림 2-3. Quadrature modulator의 구조

2.1.4 RF부

RF부는 크게 Up-converter, PLL module, Power amp부로 나누게 되며, 블록도는 다음과 같다.

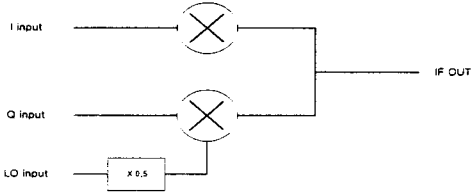


그림 2-4. RF부의 구조

Upconverter는 RF9938을 사용하였으며, double balanced mixer와 output buffer amp stage로 구성된다. 본 칩은 dual mode 동작을 제공하는 본 응용에서는 single mode로 동작시킨다. 본 칩의 블록도는 다음과 같다.

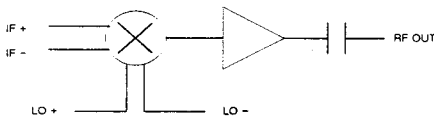


그림 2-5. Up-converter의 구조

PLL module은 PES사 PSA 2250을 사용하였으며, 본 칩은 PLL chip으로 NS사 LMX2325, VCO는 PES사 PVS 시리즈를 사용하였다. Power amp는 RF2128P를 사용하였고, 이 칩은 28dB gain과 33% 효율을 가지는 medium power IC이다. 또한 TDD 동작을 위해 간단한 Power down 기능이 포함된다. Power amp의 블록도는 다음과 같다.

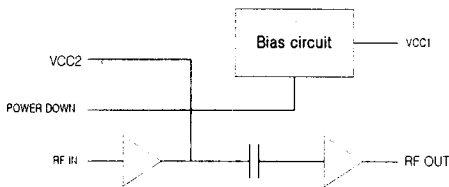


그림 2-6. Power amp의 구조

Direct modulation은 송신부의 size를 줄이기 위한 대안으로 baseband 신호를 IF를 거치지 않고 직접 RF로 변조시키는 방법이며, 이를 위해서 본 연구에서는 RF2422를 사용하였다. 여기서 LO신호는 서로 90도의 위상차가 나도록 Phase shifter를 통과시키며, 상세 블록도는 다음과 같다.

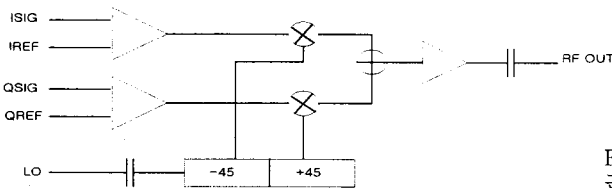


그림 2-7. Direct modulator의 구조

2.2 송신부의 설계

수신기는 크게 baseband processor, controller,

demodulator, despreader, RF부로 나뉘며, 수신기의 전체 블록도에 대한 설명은 아래와 같다.

2.2.1 Baseband processor

Baseband processor는 수신기와 마찬가지로 μ -controller interface와 control, flag register는 송신기와 공통으로 사용된다. 수신부는 PN acquisition과 tracking을 담당하는 부분이 있기 때문에 송신부에 비해서 다소 복잡하다. Baseband processor의 대략적인 블록도는 다음과 같다.

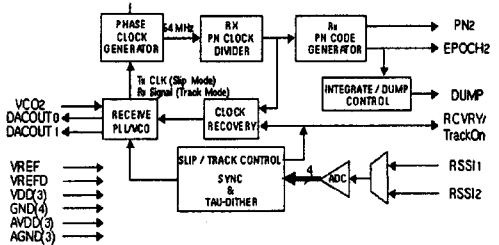


그림 2-8. 수신부의 구조

여기서 DACOUT0와 DACOUT1 신호는 Receive PLL loop filter를 거쳐서 VCO2를 만들어낸다.

2.2.2 Demodulator

Demodulator는 입력되는 IF신호를 3개의 양자화 레벨로 양자화하며, 그 후 이 신호는 NCO(Numerical Controlled Oscillator)에서 발생된 complex IF신호와 곱해진다. 그리고 I와 Q 출력신호는 Integrate & Dump filter에 가해진다. Dump가 발생한 후에 Demod DSP가 트리거 되고 DSP는 그 신호의 위상과 진폭을 계산한다. 위상 정보는 NCO의 주파수를 교정하는데 사용되고 진폭 정보는 RSSI신호를 발생시키는데 사용된다. 수신기는 AGC출력신호를 발생시키는데, 이 신호는 입력신호의 최적의 양자화를 보장한다. 또한 출력되는 신호인 Sdata, SCLK, Enable 신호가 Serial interface를 통해서 인가되는데 이 신호들은 루프필터의 이득을 제어하고 RSSI 신호의 증폭도를 설정하고 IF 주파수를 설정하는데 사용된다.

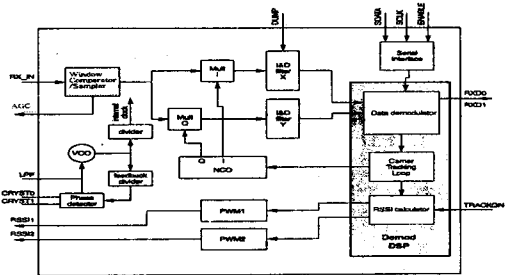


그림 2-9. 수신기의 내부 구조

2.2.3 Despreader

Despreading은 four quadrant multiplier인 EL4480CS를 사용한다. IF 신호와 PN2(Rx) 신호가 곱해져서 Despreading이 행해진다. despreading된 신호는 IF filter를 거쳐 AGC회로에 입력된다. 이 부분의 대략적인 블록도는 그림 2-10과 같다. AGC는 silicon N channel dual-gate MOSFET인 BF998을 사용하여 구현하였다. AGC제어회로는 OP Amp를 사용한 미분회로로 구성되며 그 출력이 BF998의 gate 2에 입력된다.

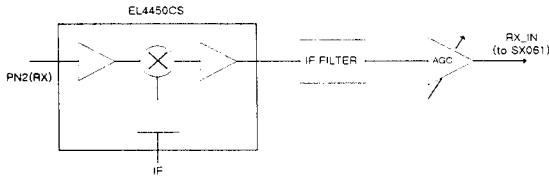


그림 2-10. Despreader의 구조

2.2.4 RF부

RF부는 LNA와 mixer가 함께 내장된 RF9986으로 구현된다. 수신부 안테나에서 나온 신호는 LNA로 입력된 증폭되며 PLL module에서 나오는 LO신호와 곱해져서 IF 신호로 변환된다. RF9986의 LNA는 약 12dB이득을 가지며 mixer는 약 15.5dB의 conversion gain을 가진다. RF9986을 이용한 RF부의 대략적인 블록도는 다음과 같으며, RF9986은 differential mode로 구성되어 있으나 본 회로에서는 single mode로 사용하였다.

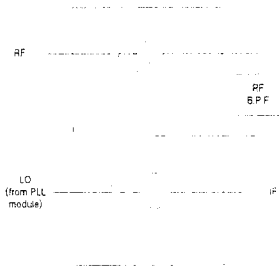


그림 2-11. RF9986의 구조

2.3 송신부와 수신부의 레지스터 설정

데이터를 송수신하기 위해서 송수신기의 레지스터를 설정해야 하며, 설정은 송신부와 수신부를 나누어 설정을 하고 마이크로프로세서를 이용하여 설정을 한다.

2.3.1 송신부의 레지스터 구조

데이터 전송을 위해서 전송속도, 전송모드 그리고 PN 코드등을 설정해야 한다. 이러한 설정을 위한 레지스터에 설정에 필요한 값은 다음 표에서 나타내고 있다.

표 2-1. 수신기의 레지스터 구조

레지스터	설정값	설 명
OSCDIV	0x01	Clock을 분주하는 레지스터
DRV	0x0A	TX DAC 출력
PMR	0x05	TX의 PN clock을 출력
MOD	0x03, 0x08	전송 모드는 DQPSK
TPL_0.1	0x14	Preamble 길이 설정
FCR	0x08	TX FIFO를 초기화
TCTL	0x1A	Packet 및 CRC 모드 설정
TPNA0.1	0x12	PN code A 설정
TPNB0.1	0x1E	PN code B 설정
RGF_0	0x03	Gold cod offset 설정

2.3.2 수신부의 레지스터 구조

수신부는 수신 속도, 전송모드, PN code 그리고 demodulator를 초기화해야 하며, 레지스터에 설정에 필요한 값은 아래 표에서 나타내고 있다.

표 2-2. 수신기의 레지스터 구조

레지스터	설정값	설 명
RCTL	0xBA,0x0D	Packet 모드와 CRC 설정
DRV	0x0A	TX DAC 출력
PMR	0x10,0x0B	PN code와 PN clock 설정
MOD	0x03	DQPSK로 수신모드 설정
FCR	0x80	RX FIFO 초기화
RPNA	0x12	PN code A 설정
RPNB	0x1E	PN code B 설정
RGF	0x03	Gold cod offset 설정
RN4A	0x07	PN clock 생성하는 카운터

3. 결 론

본 논문에서는 대역확산 기법을 이용한 전력선 모델의 구현에 관해 기술하였다. 이의 제작된 회로는 아래 그림 3-1과 같으며, 일반 실험실 환경 하에서 1Mbps로 데이터 통신을 하는 것을 확인하였다. 하지만, 아직 전력선 통신을 이해 정해진 주파수 대역이 아닌 5MHz 대역에서 통신을 하는 것이므로, 좀 더 향상된 변·복조 기술을 이용한 통신 방법의 연구가 진행되어야 할 것이다.

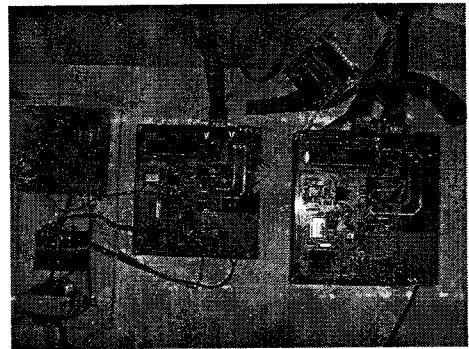


그림 3-1. 설계된 전력선 모델

(참 고 문 헌)

- [1] 김범규, "디지털 전력선 통신 시스템의 모델링과 성능 분석에 관한 연구", 강원대학교 학위 논문, 1999
- [2] 오호근, "스펙트럼 확산 통신 방식을 이용한 전력선 전송 시스템 구현", 동아대학교 학위논문, 1997
- [3] R. M. Vines, et al., "Noise on residential power distribution circuit", IEEE Tran. Electronmag. Compat., vol. 26, pp.161-168, Nov. 1984