

부품이 실장된 아날로그 회로 보오드의 검사 전략에 대한 연구

고윤석, 최병근
남서울대학교

A Study on the Test Strategy of the Mounted Devices on the Electronic Circuit Board

Yun-Seok Ko, Byung-Kun Choi
Namseoul Uniservity

Abstract -Because the circuit board has the structure connected by circuit patterns, the work to test whether the analog devices or circuits such as resistors, capacitors, inductors, diodes, etc. on the tested board is good or not is very difficult. This paper proposes the test method of identifying the faulted devices or faulted circuit on the circuit board using guarding circuit. The guarding method is the techniqu measuring accurately the value of the devices by separating the electronic devices to be tested from around it. Finally, the availability and accuracy of the proposed test method is verified by applying the technique to a test electronic circuit.

1. 서 론

실장인쇄회로기판(PCB)들은 저항, 커패시터, Tr 등 전자소자들이 고밀도로 결합되는 전자회로이기 때문에 조립과정에서 소자들의 미삽, 역삽, 오삽문제, Tr의 증폭률이나 파형왜곡문제 등이 발생함으로써 제품에 대한 품질 및 생산성이 심각하게 저하될 수 있다.[1-2] 따라서 대량 생산되는 실장 PCB를 검사하여 고장소자나 회로를 신속하게 확인, 그 원인을 분석하여 생산제품의 고품질화와 생산성을 향상시키려는 노력을 기울여왔다. 그러나 디바이스가 실장된 상태에서 각 소자나 회로의 이상유무를 확인해야 하기 때문에 정확하게 결함을 확인하는 일은 쉽지 않다. 초기연구들에서는 주로 회로 보오드 단위로 테스트 패턴을 입력하여 출력패턴을 검사하는 전기능 검사기법(Full Functional Test)이 제안되었다.[3-4] 그런데 고집적화로 검사패턴의 수가 증가하여 검사시간이 기하급수적으로 증가함으로써 고장 패턴 지식베이스를 이용한 검사기법이 제안되었으나 높은 프로그래밍 비용이 요구되어 회로내의 각 소자를 개별적으로 검사, 최소의 프로그래밍 비용으로 신속하게 고장소자를 확인할 수 있는 소자검사기법(In-Circuit Test)이 제안되었다.[5-7] 그러나 회로 보오드가 회로 패턴에 의해서 전기적으로 연결되는 구조를 가지기 때문에 부품이 실장된 회로 보오드로부터 회로소자의 양부를 정확하게 검사하는 일은 매우 어렵다. 따라서 본 연구에서는 가딩기법을 이용하여 검사하고자 하는 전자소자를 주변회로로부터 분리하여 전기적인 영향을 받지 않도록 함으로써 회로소자의 값을 정확하게 측정, 결함을 신속하고 정확하게 확인할 수 있는 검사전략을 제안하고 시험모델에 대해 그 유효성을 검증한다.

2. 검사원리 및 시스템 구성

과거, 회로 보오드에 전자부품을 장착하는 작업은 대부분이 수작업으로 이루어졌다. 그러나, 점차 회로가 고 집적화되고 고밀도화됨으로써 소규모 회로를 제외한 대

부분의 경우가 자동으로 이루어지고 있다. PCB에 부품을 장착하는 작업은 PCB설계결과에 근거하여 정해진 부품을 정해진 위치에 정확하게 장착하는 작업이다. 그림 1은 대표적인 전자회로를 보이는데 저항, 콘덴서, 인덕터와 같은 수동소자와 다이오드 Tr, op-amp 응용 회로등과 같은 능동소자로 구성된다.

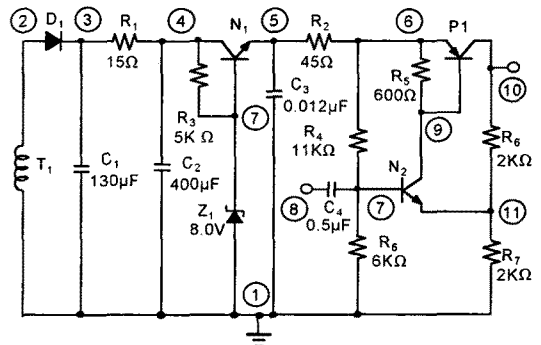


그림 1. 대표적인 전자회로의 구성

만약, 그림 1의 회로보오드에 부품을 장착하는 작업 이라면 노드(3, 4)에 저항 R1=15Ω, 노드(3, 1)에 커패시터 C1=130μF, 노드(7, 1)에 0.8V 제너다이오드 Z1, 그리고 노드(4, 5, 7)에 Tr N1이 정확하게 삽입되어야 한다. 만약, 노드(3, 4)에 저항 30kΩ이 삽입되거나 미삽되는 경우, 다이오드나 Tr의 단자가 극성이 정해진 극성과 다르게 역삽되거나 오삽되는 경우, 또는 납땜 불량 발생 하는 경우 전자회로는 정확하게 기능하지 못함으로써 제품의 품질이나 수명을 심각한 저하 시킨다.

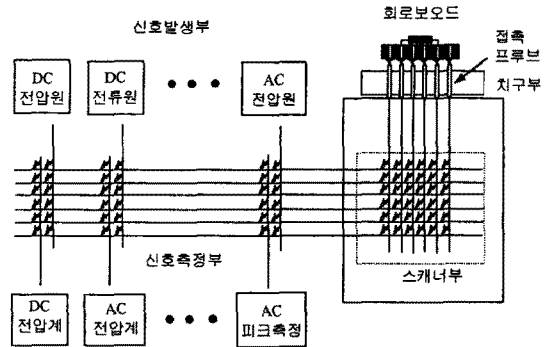


그림 2 대표적 검사 시스템의 구성

따라서, 정해진 부품이 정확하게 회로에 삽입, 장착되었는 지를 검사해야 하는데, 이러한 기능을 수행하는 것이

회로소자 검사 시스템이다. 그림 1은 검사기능을 수행하기 위해 고안된 검사 시스템의 기본 구조를 보이는데, 크게, 신호발생부, 스캐너부, 치구부 그리고 신호 측정부로 구성된다. 검사 실행 절차는 비교적 간단하다. 먼저, 검사하고자 하는 회로 보오드를 치구부에 장착시킨다. 이때, 치구부는 케이블에 연결된 접촉 푸르브를 회로 보오드의 납땀부에 강제적으로 접촉시킴으로써 스캐너부와 전기적인 연결관계를 구성한다. 다음, 측정하고자 하는 부품을 결정한 후 스캐너부의 relay부를 제어하여 전기적인 회로를 구성한다. 끝으로 측정하고자 하는 부품에 대해 검사 신호를 가한 후 발생하는 출력값을 측정하여 저항이나 임피던스 값을 계산한 다음, 정상 값과 비교함으로써 결함을 확인한다.

3. 가당기법

측정 디바이스의 결함여부를 정확히 결정하기 위해서는 무엇보다도 측정 디바이스의 저항이나 임피던스 값을 정확히 측정할 수 있어야 한다. 그러나, 그림 1에 보인바와 같이 회로상의 모든 부품들이 상호 연결되어 병렬 저항 성분이나 임피던스 성분을 가지게 됨으로써 회로에서 개별소자의 저항이나 임피던스 값을 정확하게 측정하는 것은 어려운 문제이다. 이러한 문제는 측정하고자 하는 디바이스를 주변회로로부터 분리하는 가당원리에 의해 해결될 수 있다. 표 1은 디바이스의 저항이나 임피던스를 측정하는 방법을 설명한다.

표 1 디바이스 측정방법과 그 범위

측정 방법	측정 범위	오차 요소
2단자법	$R_x > 250\Omega$ 병렬 저항 없음	신호선 측정 선 전압강하
4단자법	$10\Omega < R_x < 250\Omega$ 병렬 저항 없음	신호선 측정 선 전압강하
개선된 4단자법	$R_x < 10\Omega$ 병렬 저항 없음	
3단자 가당법	병렬 저항 있음 가당비 < 10	가아드선 전압강하
4단자 가당법	병렬 저항 있음 $10 < \text{가당비} < 100$	가아드선 전압강하
확장4단자 가당법	병렬 저항 있음 $100 < \text{가당비} < 1000$	
6단자 가당법	병렬 저항 있음 가당비 > 1000 또는 $R_1, R_2 < 250\Omega$	

표 1에서 2단자법, 4단자법은 병렬저항성분이 포함되지 않은 디바이스의 저항이나 임피던스를 측정하기에 적합한 방법이다. 그러나, 병렬저항 성분을 포함하는 경우에 심각한 오차를 포함하기 때문에 적용하기에 부적절하다. 측정하고자 하는 디바이스에 병렬저항 성분이 존재하는 경우, 가당회로를 포함하는 나머지 측정법들 중에서 측정의 정확도에 따라, 적절한 기법을 선택하는 것이 바람직하다. 여기서 가아드 비, R_1/R_x 또는 R_2/R_x 는 측정하고자 하는 저항에 대한 병렬저항의 비를 의미한다.

3.1 3단자 정전류 가당법

회로 보오드의 임피던스 크기를 측정하기 위한 방법으로서 회로구성이 간단하고 병렬 저항 성분을 고려함으로써 정밀도 측면에서 비교적 적합한 가당 방법이 3단자 가당법이다. 3단자 가당법 중 정전류 가당법은 측정소자가 저저항이나 다이오드, 트랜지스터인 경우 적절하다. 3단자 가당회로 구성은 op-amp의 케환회로 구성

시, 부궤환 입력이 정의 입력과 동일한 전압으로 제어되는 가상단락 특성을 이용하여 그림 3과 같이 구성된다. 식 (1)은 증폭기의 출력을 표시한다. 식 (1)에 보인바와 같이, 측정전압이 Z_x 에 비해 작기 때문에 저저항이나 저임피던스를 가지는 소자 등을 측정하기에 적합하다.

$$V_{out} = -\frac{Z_x}{R_f} V_{in} \quad (1)$$

그러나 op-amp 케환회로가 측정소자를 포함하기 때문에 가드하고자 하는 소자가 커패시턴스와 결합되는 경우 케환신호가 정전압법의 최대 90° 위상천이에 비해 최대 180° 의 위상천이를 보임으로써 op-amp 회로가 불안정해져 커패시턴스 성분이 결합되어 있는 소자를 측정하기에는 바람직하지 않다.

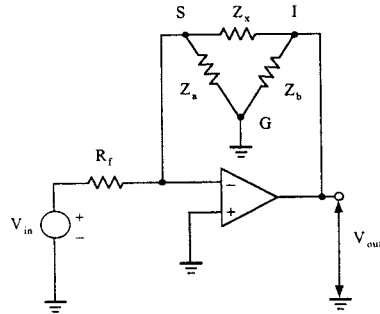


그림 3 정전류 가당회로

또한 측정 저항값보다 큰 배수의 저항값이 오삽되는 경우 저항 측정시 노드 I에 연결된 반도체 소자의 파괴를 가져올 수 있는데, 반도체 소자가 먼저 측정된다면 반도체 소자의 결함을 확인할 수 없다. 그리고, 측정하고자 하는 저항이 커패시터와 병렬로 연결되는 경우 정전류에 의해서 커패시터가 충전됨으로써 상당한 측정 대기시간이 요구되는 단점을 가진다.

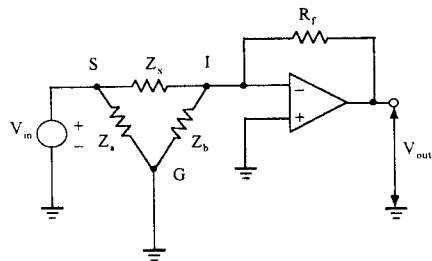


그림 4 정전압 가당회로

3.2 3단자 정전압 가당법

3단자 정전류 가당법에 적합한 소자들 즉 저저항이나 다이오드, 트랜지스터 이외의 소자검사에는 정전압 가당법을 채택한다. 그림 4는 op-amp의 가상단락 특성을 이용한 3단자 정전압 가당시 회로구성을 보이며 식 (2)는 증폭기 출력을 표시한다.

$$V_{out} = -\frac{R_f}{Z_x} V_{in} \quad (2)$$

op-amp 케환회로가 노드 I만을 포함함으로써 케환신호가 최대 90° 위상천이를 보여 정전류법에 비해 측정회로가 보다 안정적이기 때문에 커패시턴스와 결합된 소자를 검사하기에 적합하다. 또한 식 (2)에 보인바와 같이 측정전압이 Z_x (R_x 또는 L_x)에 반비례하기 때문에 높은 저항 값이나 임피던스를 포함하는 소자 등을 측정하기에 바람직하다. 특히 커패시터가 충전되는 동안 노드 I를 가상 그라운드 상태로 유지하기 위해서 증폭기

의 출력이 그것의 안정상태 값을 초과하게 되어 훨씬 큰 전류를 허용함으로써 극히 작은 측정 대기시간이 요구된다.

3.3 확장된 4단자 가당법

3단자 가당법은 신호 입력선의 임피던스 Z_s , 신호 출력선의 임피던스 Z_i 선 물론 가드선의 임피던스의 임피던스 Z_g 를 무시하는 가당법이다. 이 가당법으로부터 가드선의 임피던스를 보상하기 위해 고안된 방법이 확장된 4단자 가당법이다. 그림 7은 op-amp를 이용한 확장된 4단자 가당법을 보인다.

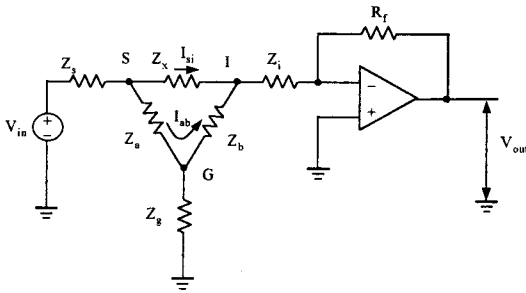


그림 5 확장된 4단자 가당법

이때 병렬저항선을 통해 측정회로로 흘러들어가는 전류에 의해서 발생하는 가드에러는 식 (3)으로 표시된다.

$$\frac{I_{si}}{I_{sgi}} = \frac{Z_g Z_x}{Z_a(Z_g + Z_b) + Z_g Z_b} \quad (3)$$

일반적으로 가드에러가 작은 경우에는 문제가 되지 않으나 가드에러 식 (3)이 큰 경우 상당한 오차를 포함함으로써 부정확한 측정 결과를 가져올 수 있다.

4. 실험결과

제시된 검사전략의 유효성을 검증하기 위해서 그림 7의 회로가 도입된다. 그림 7은 초퍼회로의 제어회로로서 T_1 은 펄스트랜스의 2차측을, T_2 는 100/6V 교류변압기의 2차측을 표시한다. 그리고, 16, 17번 노드는 초평을 위한 전력용 트랜지스터의 베이스와 에미터 단자를 표시한다.

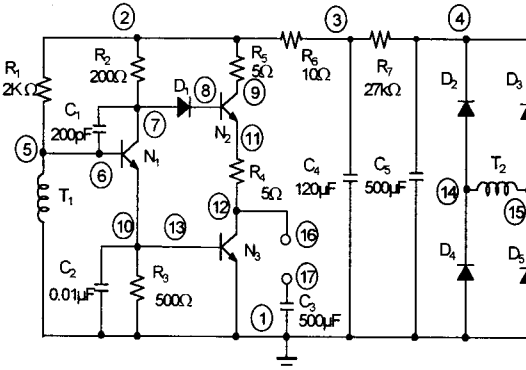


그림 7 성능검증을 위한 전자회로

제안된 모델은 총 18개의 노드로 구성된다. 검사전략의 유효성을 검증하기 위해서 그림 7의 회로에 정전압 가당회로와 정전류 가당회로를 구성하여 소자 값을 측정하였다. 그리고 각각의 값들을 실제값과 비교하였으며 표 2는 각 소자들에 대한 검사결과를 보인다. 저항 R_1 의 경우 설계값이 $2k\Omega$ 이나 $10k\Omega$ 을 삽입하였는데 측정값이 $10.1k\Omega$ 으로 허용오차를 초과함으로써 검사결과

Fail을 보인다. 다이오드 D_1 의 경우 노드 7,8에 +, - 단자가 입력되도록 설계되었으나 역압을 모의하였는바 정확하게 Fail을 보인다. 이와같이 표 2의 실험결과를 통해 제시된 검사전략의 유효성을 확인할 수 있다.

표 2. 실험결과

소자 #	타입	설계 소자	고장모의 소자	허용범위 (%)	검사 결과
1	R_1	$2K\Omega$	$10K\Omega$	10%	FAIL
2	R_2	200Ω	-	10%	PASS
3	R_3	500Ω	-	10%	PASS
4	R_4	5Ω	100Ω	10%	FAIL
5	R_5	5Ω	-	10%	PASS
6	R_6	10Ω	50Ω	10%	FAIL
7	R_7	$27K\Omega$	$57K\Omega$	10%	FAIL
8	C_1	$200pF$	$200pF$	20%	PASS
9	C_2	$0.01\mu F$	-	20%	FAIL
10	C_3	$500\mu F$	-	20%	PASS
11	C_4	$120\mu F$	$200\mu F$	20%	FAIL
12	C_5	$500\mu F$	$50\mu F$	20%	FAIL
13	D_1	7.8	8.7	20%	FAIL
14	D_2	14.4	-	20%	PASS
15	D_3	15.4	-	-	PASS
16	D_4	1.14	-	-	PASS
17	D_5	1.15	15.1	-	FAIL
18	N_1	7.6.10	-	-	PASS
19	N_2	9.8.11	8.9.11	-	FAIL

5. 결론

본 연구에서는 생산라인에서 대량생산되는 아날로그 회로 보오드로 부터 저항이나, 커패시터, 다이오드 등 전자소자들의 결함을 자동 확인할 수 있는 검사전략을 제시하였다. 검사전략은 3단자 가당법을 이용하여 검사하고자 하는 전자소자를 주변회로로부터 분리하여 전기적인 영향을 받지 않도록 함으로써 회로소자 값을 정확하게 측정, 결함을 신속하고 정확하게 확인할 수 있도록 하였다. 앞으로 도입된 전자회로에 대한 다양한 고장 모의를 실험하기 위해 설계치와 다른 값을 가지는 소자를 삽입하거나 극성을 달리하여 삽입한 후 가당회로를 이용하여 각 소자 값들을 측정하였는데 실험결과에서 정확한 측정결과를 보임으로써 제안된 검사전략이 회로 보오드의 소자 검사에 매우 유용하게 활용될 수 있음을 확인하였다.

(참고 문헌)

- [1] Jon Turino, "Functional Testing's Place In Electronics Manufacturing", Evaluation Engineering, pp 58-61, September 1984.
- [2] Reynold, "In-Circuit McTesters or the Future of In-Circuit Test", Evaluation Engineering, pp 8-15, February 1987.
- [3] David T. Crook, "Analog In-Circuit Component Measurements: Problems and Solutions", Hewlett-Packard Journal, pp 34-42 march 1979.
- [4] Steve J Baker, "Analog-Component Faults Yield to In-Circuit Testing", GenRad journal pp 15-20.
- [5] Peter Hansen, "Ensuring ASIC Testability at the Board Level Tools and Strategies", ATE & Instrumentation Conference, pp 33-43 1987.
- [6] John J. Arena, "Calculating the Effective Pattern Rate for High-Speed Board Test Applications", IEEE Trans. Industrial Electroics, Vol. 36, No. 2, pp 164-174, May 1989.