

## 유리 기판 위의 PZT 캐패시터에 관한 연구

### A study on PZT capacitor on the glass substrate

주필연\*, 박영\*, 정규원\*, 송준태\*  
(Pil yeon Ju, Young Park, Kyu won Jeong, Joon Tae Song)

#### Abstract

The post-annealing treatments on rf magnetron sputtered PZT( $Pb_{1.05}(Zr_{0.52}, Ti_{0.48})O_3$ ) thin films(4000 Å) have been investigated for a structure of PZT/Pt/Ti/Corning glass(1737). Crystallization properties of PZT films were strongly dependent on RTA(Rapid Thermal Annealing) annealing temperature and time. We were able to obtain a perovskite structure of PZT at 650°C and 10min. P-E curves of Pd/PZT/Pt capacitor demonstrate typical hysteresis loops. The measured values of  $P_r$ ,  $E_c$  were  $8.1[\mu C/cm^2]$ ,  $95[kV/cm]$  respectively. Polarization value decrease about 25% after  $10^9$  cycles.

Key Wards(중요용어) : Corning glass(1737), RTA, Pd/PZT/Pt capacitor

#### 1. 서론

PZT는 강유전성, 압전성, 초전성을 갖는 재료로 메모리 소자, SAW(Surface Acoustic Wave) filter, 적외선 감지소자 등 각종 전자부품 재료로서 주목 받고 있다. PZT 박막은 전계의 방향에 따라 안정한 두 개의 분극방향을 가지고 있는 강유전율의 재료로 비휘발성 기억소자인 FRAM(Ferroelectric RAM) 과 high-density DRAM( $\geq 1$  Gbite)등의 메모리 소자의 응용에 적합하다. 이러한 PZT 박막을 성장하기 위한 방법 중, 단일 타겟을 이용한 sputtering 법은 강유전체 박막을 집적화 하기 위한 가장 유망한 방법으로 알려져 있다.<sup>(1,2)</sup>

현재 안정한 PZT 박막을 얻기 위해서는 매우 높은 온도가 요구되며, 이는 유리나 stainless 등의 다양한 기판의 사용을 억제하고 있다. 특히 유리 기판을 사용하여 FRAM 기술과 기존의 TFT-LCD 기술을 접목하면 하나의 시스템으로 단일화되어 정보 저장 뿐만 아니라 정보처리 또한 하나의 유리 기판 위에서 종합 적으로 수행할 수 있게 된다.

\* : 성균관대학교 전기전자 및 컴퓨터공학부  
(경기도 수원시 장안구 천천동 300, Fax : 0331-290-7159, e-mail : zurcamp@ece.skku.ac.kr)

이러한 응용을 위해서는 PZT 박막을 저온으로 성장하여 유리 기판에서 확산되는 불순물을 최소화하는 것이 반드시 필요하다.

본 연구에서는 단일화된 정보전자소자 구현을 위한 기초 연구로서 300°C 이하의 저온에서 corning glass(1737) 기판 위에 PZT 박막을 rf sputtering법으로 성장한 후 RTA를 이용 결정화하여 PZT 박막의 상형성을 통한 구조적 특성과 강유전 특성에 관하여 연구하였다.

#### 2. 실험방법

본 실험에서 사용한 기판은 corning glass(1737)로써 Pt/Ti 하부전극을 각각 rf-magnetron sputtering 법으로 150nm, 50nm 성장하였다. 하부전극 성장시 기판의 온도는 각각 Ti 200°C, Pt가 400°C 이었다.

제작된 기판 위에 rf-magnetron sputtering 법으로 기판온도 300°C에서 약 400nm 두께의 PZT 박막을 성장 하였으며 표1에 PZT 박막의 sputtering 조건을 설명하였다. 타겟은 Zr/Ti mole 비가 52/48인 단일 세라믹 타겟을 사용하였으며, 고온에서의 Pb 휘발을 보상하기 위해 Pb를 5 mole% 과잉첨가 하였다.

표 1. PZT박막의 sputtering 조건

Target	sintered PZT ceramic target
Substrate	Pt(150nm)/Ti(50nm)/corning glass
Target-substrate distance	65(mm)
Base pressure of system	$2.0 \times 10^{-9}$ [Torr]
Ar:O <sub>2</sub> flow rate	9 : 1 [sccm]
RF power	150 [W]
Substrate temperature	300 [°C]
Film thickness	400nm

성장된 PZT 박막을 결정화하기 위하여 RTA를 이용 O<sub>2</sub> 분위기에서 5분~10분 걸쳐 550°C~650°C 까지 열처리 하였다. RTA를 이용한 열처리 온도와 시간에 따른 PZT 박막의 결정화 여부와 미세 구조를 규명하기 위하여 XRD(Cu target, 1.54Å, Ni filter)와 SEM를 사용하였다.

PZT박막의 전기적 특성을 측정하기 위하여 Dot mask를 이용하여 성장된 PZT 박막위에 Pd 상부 전극을 evaporation을 이용 증착하여 MFM 구조의 PZT 캐패시터를 형성하였다.

Pd/PZT/Pt 캐패시터의 누설전류밀도 측정은 Keithley 617 programmable electro-meter를 사용하였다.

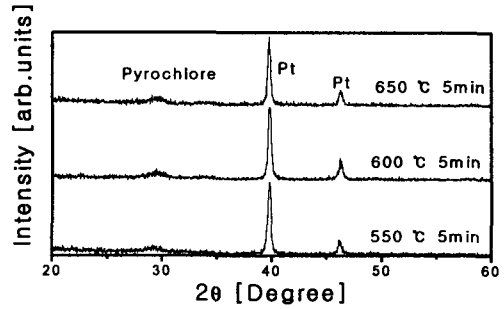
또한, Radiant 사의 RT-66A를 이용하여 PZT 박막의 P-E Hysteresis loop 특성 및 fatigue 특성을 측정하였다.

### 3. 결과 및 고찰

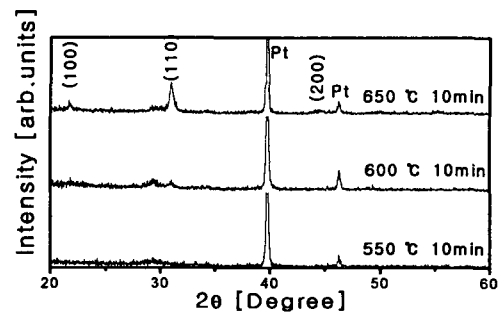
최적화된 기판위에 성장된 PZT 박막을 RTA를 이용 550°C, 600°C, 650°C에서 각각 5분, 10분간 열처리한 경우의 XRD 결과를 그림 1에 나타내었다.

그림에서 알 수 있듯이 성장된 PZT 박막은 열처리 온도와 시간이 증가할수록 안정상인 perovskite 상으로 전이함을 알 수 있다. 특히 600°C에서 10분간 열처리한 경우의 시편이 650°C 5분간 열처리한 경우의 시편보다 더욱더 결정성을 나타내는 점을 알 수 있다. 이러한 점으로 미루어 보아 본 실험에서 제작된 시편의 경우 열처리 온도보다는 열처리 시간이 좀 더 영향을 미치는 요인임을 알 수 있다.

이러한 이유는 본 실험에서 사용된 유리 기판이 기존의 SiO<sub>2</sub> 기판보다 두께가 더 두꺼우므로 PZT 막까지 전달되는 시간이 더 필요하고 또한 열전도율이 있어서도 유리기판이 SiO<sub>2</sub> 보다 더 작기 때문인 것으로 사료된다. 650°C에서 10분간 열처리한 경우 (110) 면으로 우선 성장한 순수한 perovskite



(a)



(b)

그림 1. 열처리 온도와 시간에 따른 PZT 박막의 XRD 패턴 (a) 5분, (b) 10분

Fig. 1. XRD patterns of PZT thin films as a function of annealing temperature and time (a) 5min, (b) 10min

상을 얻을 수 있었다. 다양한 온도에서 10분간 열처리한 PZT박막의 미세구조 변화를 SEM으로 측정하여 그림 2에 나타내었다.

as-grown의 경우 비정질의 치밀한 구조가 나타났으며, 열처리 온도가 증가함에 따라서 결정성이 증가하여 600°C에서 열처리한 경우 pyrochlore상과 perovskite상이 혼재되어 있는 것을 알 수 있으며 본 실험에서 최적화 된 시편인 650°C에서 10분간 열처리한 경우 더욱더 grain size가 증가하여 전형적인 perovskite 형태의 grain이 성장됨을 알 수 있었다.

이러한 결과는 위에서 설명한 XRD의 결과와 일치한다.

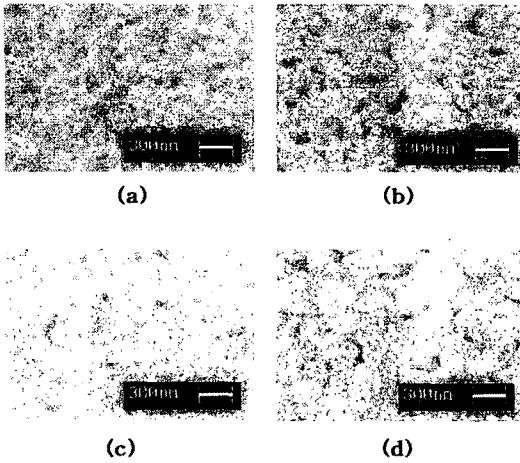


그림 2. 열처리 온도에 따른 PZT 박막의 미세구조의 변화 (a) as-grown, (b) 550°C, (c) 600°C, (d) 650°C

Fig. 2. SEM micrographs of PZT thin films as a function of annealing temperature (a) as-grown, (b) 550°C, (c) 600°C, (d) 650°C

Pt/Ti/corning glass(1737) 기판 위에 성장된 최적화된 PZT 박막의 강유전 특성을 알아보기 위하여 I-V, P-E, fatigue 등의 전기적 특성을 조사하였다.

그림 3은 10분간 열처리한 PZT 박막의 온도에 따른 I-V 특성 그래프이다. 모든 열처리 온도에서 인가전계가 증가함에 따라 누설전류밀도가 증가하였으며, 열처리 온도가 증가할수록 누설전류는 급격히 증가하여 100[kV/cm]의 전계에서 각각의 누설전류밀도는 as-grown의 경우  $1.5 \times 10^{-8}$  [A/cm<sup>2</sup>]이고, 550°C에서  $5.5 \times 10^{-8}$  [A/cm<sup>2</sup>], 600°C에서  $1.5 \times 10^{-7}$  [A/cm<sup>2</sup>], 650°C에서  $9 \times 10^{-7}$  [A/cm<sup>2</sup>]이었다. 이는 열처리 온도 상승에 따라 PZT 박막이 결정화 되어 결정립계로의 누설이 상승되는 것에 기인하는 것으로 사료된다.<sup>(3)</sup> 누설을 줄이기 위해서는 균일도가 좋은 PZT 박막을 성장하여야 할 뿐만 아니라 PZT와 전극사이의 계면상태를 더 양호하게 해야 할 필요가 있다. 유리기판의 경우 500°C의 온도에서 유리에 포함되어 있는 여러 가지 불순물이 확산될 수 있으며 이는 계면에서 누설의 원인이 될 수 있다.

이러한 점을 보완하기 위해서는 우수한 diffusion barrier의 선택과 낮은 온도에서의 PZT 상을 형성시키는 방법이 있다. 이를 위하여 현재 diffusion barrier 성능이 우수한 ITO와 Pt의 이중전극구조와 더 낮은 온도에서 PZT 상을 형성시키기 위하여 PbO가 50% excess된 PZT 타겟을 이용 연구를 진행중이다.

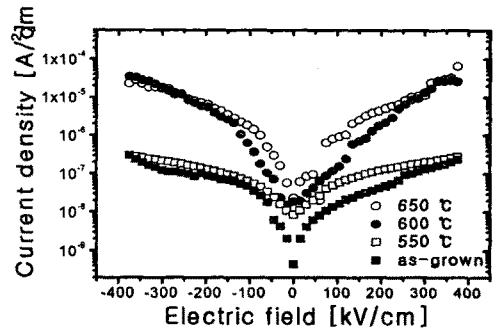


그림 3. 열처리 온도에 따른 PZT 박막의 누설 전류 특성

Fig. 3. Leakage current of Pd/PZT/Pt annealed capacitors at various temperature

그림 4에 650°C에서 10분간 열처리한 Pd/PZT/Pt 캐패시터구조의 P-E이력곡선 특성을 나타내었으며 자발분극, 잔류분극, 항전계의 값은 각각  $26.7$  [ $\mu\text{C}/\text{cm}^2$ ],  $8.1$  [ $\mu\text{C}/\text{cm}^2$ ],  $95$  [kV/cm] 이었다.

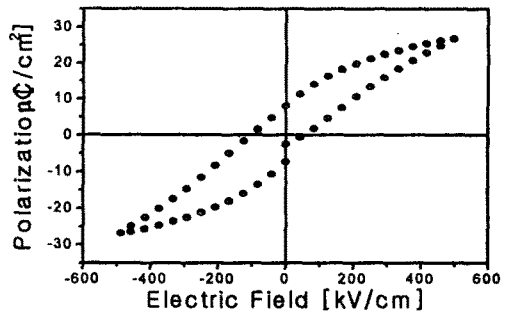


그림 4. PZT 캐패시터의 P-E 특성

Fig. 4. P-E hysteresis loop of Pd/PZT/Pt capacitors

한편 P-E 이력특성은 negative 쪽으로 다소 shift됨을 알 수 있다. 이는 상·하부 전극의 일함수 차이, 각각의 전극이 받은 열처리 효과등의 전극이 지배하는 경우와 대전된 전하, 불순물의 비대칭적인 분포에 기인한 PZT bulk가 지배하는 경우로 해석될 수 있다. 본 실험에서 제작된 PZT capacitor의 경우 유리기판에서 확산된 여러 불순물을 고려할 때 그리고 다소 비대칭적인 누설전류 특성으로 미루어 하부 전극과 PZT 사이의 계면의 defects에 기인한 것으로 사료된다.<sup>(4)</sup>

그림 5에 650°C 에서 10분간 열처리한 Pd/PZT/Pt 캐패시터의 fatigue 특성을 나타내었다.

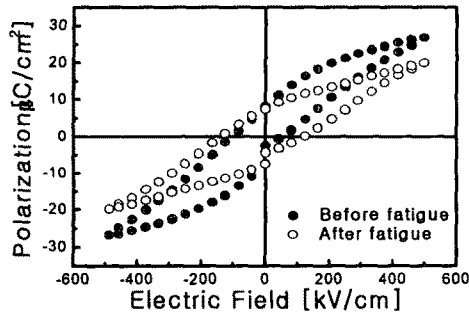
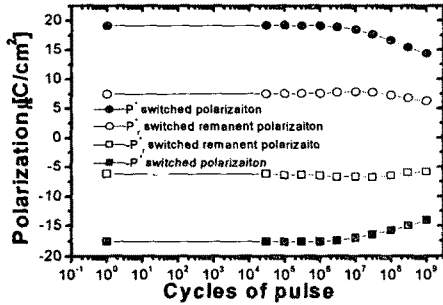


그림 5. PZT 캐패시터의 fatigue 특성

Fig. 5. Fatigue characteristic of Pd/PZT/Pt capacitors

이러한 fatigue의 원인은 기본적으로 domain wall의 pinning에 기인하고 이러한 domain wall pinning의 mechanism으로는 첫째, electron charge trapping에 기인한 pinning,<sup>(5,6)</sup> 둘째, oxygen vacancies에 의한 pinning,<sup>(7,8)</sup> 셋째, extended defect에 의한 pinning<sup>(9)</sup>이 제안되고 있다. 본 연구에서 적용된 capacitor의 경우 어느 한가지에 의한 domain pinning 보다는 여러 요소의 혼합이 fatigue의 원인으로 사료된다. 그림에서 보여지듯이 10<sup>9</sup> 사이클동안 약 25%의 분극감소 현상을 보였다.

#### 4. 결론

본 연구에서는 Pt/Ti/corning glass 기판위에 rf-magnetron 스퍼터링법으로 저온에서 성장한

PZT 박막을 RTA를 이용 열처리 한 후 PZT 박막의 강유전 특성에 대하여 고찰하였다. 600°C와 650°C에서 각각 10분 5분 열처리했을 경우 perovskite상과 pyrochlore상이 혼재되어 나타났지만 650°C에서 10분간 열처리한 결과 (110)면으로 우선 성장한 순수한 perovskite상만이 나타났다. 이는 glass 기판의 특성상 기존의 Si 기판보다 더 많은 열처리 시간이 필요했다. 현재 열처리 시간과 온도를 낮추기 위하여 PbO가 50% excess된 PZT 박막에 대해서 연구가 진행중이다.

650°C에서 10분간 열처리한 Pd/PZT/Pt 캐패시터의 잔류분극값은 8.1[ $\mu\text{C}/\text{cm}^2$ ], 항전계값은 95[kV/cm]이었다. 한편 인가된 단위 pulse에 따른 fatigue 측정 결과 10<sup>9</sup> 사이클후에 약 25%의 분극 감소 현상을 보였다.

#### 참고 문헌

1. Q. X. Jia, Z. Q. Shi, J. Yi, and W. A. Anderson, *J. of Elect. Mat.*, Vol. 23, No. 1, pp. 53-56, 1994.
2. G. Velu, D. Remiens, and B. thierry, *Journal of the European Ceramic Society*, Vol. 17, pp. 1749-1754, 1997.
3. Min-Seok Jeon, Jae-Bok Lee and Duck-Kyun Choi, "Electrical Characterization of Ferroelectric Pb(Zr,Ti)O<sub>3</sub> Thin Films Deposited on Pt-Coated RuO<sub>2</sub> Electrode", *Jpn. J. Appl. Phys.*, Vol. 37, pp. 3991-3995, 1998.
4. Lee J, Choi CH, Park BH, Noh TW, Lee JK "Built-in voltages and asymmetric polarization switching in PZT thin film capacitors", *Applied Physics Letters*, V.72 N.25, 1998.
5. C. J. Brennan, R. D. Parrella, and D. E. Larsen, *Ferroelectrics*, 151, 33, 1994.
6. W. L. Warren, D. Dimos, B. A. Tuttle, R. D. Nasby, and G. E. Pike, *Appl. Phys. Lett.*, 65, 1018, 1994.
7. S. B. Desu and I. K. Yoo, *Integ. Ferroelectrics*, 3, 365, 1993.
8. W. Y. Pan, C. F. Yue, and B. A. Tuttle, *Ceram. Trans.*, 25, 385, 1992.
9. Z. Wu and M. Sayer, Presenter at Proc. Am. Ceram. Soc., PAC Rim Meeting, 11, 1993.