

2000년도 대한전기학회 전문대학교육연구회 학계학술대회 논문집 2000. 7. 7-8

3-레벨 인버터에 의한 UPS의 출력파형 개선에 관한 연구

°박성준, 김종달, 손무언, 김규섭, 이일천
동명대학

Study on the novel high performance using 3-level PWM inverter

°Sung-Jun Park, Jong-Dal Kim, Mu-Heon Shon, Gyu-Seob Kim, Yil-Chun Lee
DongMyoung College..

Abstract - 동일 스위칭 주파수에서 PWM 인버터의 출력 파형에 발생하는 고조파 성분을 억제하기 위해 3 레벨 PWM 전력회로가 우수하다. 따라서 본 연구에서는 단상 PWM 인버터의 전력회로를 기존의 풀브릿지 방식과 하프 브릿지 방식의 전력회로를 적절히 변형 함으로써 출력전압이 3 레벨로 나타나는 전력회로를 제안하였다. 또한 전동기 기동시와 같은 순시적으로 정격 전류 이상의 전류를 요구할 시 제어모드의 변화로 일정 전류모드로 출력전압을 제어하고, 정격전류 이하의 전류에서는 부하변동에 따른 편자현상을 보상하기 위해 Deadbeat 전류제어기를 구성하였다.

1. 서 론

산업분야에서 크게 각광을 받고 있는 PWM 인버터의 출력 파형에는 기본파 성분 외에 고조파 성분이 함유되어 있어 전자유도 장해, 각종 계전기들의 오동작, 전동기 소음 및 토크 백동 등의 원인이 되고 있다. 이러한 원인들을 제거하기 위해 일반적으로 출력측에 큰 L/C 필터를 사용하고 있다. 그러나 인버터의 정격은 스위칭 소자의 전류정격으로 제한되며, 이로 인하여 큰 필터부를 가진 인버터에서 전동기를 기동할 때 순간적인 큰 기동전류로 인해 인버터의 전류정격이 큰 것을 요구된다. 이러한 한시적인 전류정격 상승을 보상할 수 있는 연구가 진행되고 있다.[1] 인버터의 고조파 성분을 제거하기 위해서는 우선적으로 인버터에서 발생하는 고조파 성분을 억제하는 전력회로가 요구된다. 이를 위해 한 암에 4개의 스위칭 소자를 사용하는 NPC(neutral point clamped) PWM 3상 인버터는 선간 출력파형이 3레벨이 되어 종전 풀브릿지 탑입의 3상 PWM 인버터에 비하여 고조파 함유량을 크게 줄일 수 있는 특징을 갖고 있다. 그러나 단상인 경우에는 이러한 연구가 미흡한 실정이다. 현재 까지 가장 널리 이용되고 있는 단상 인버터는 근사 정현파 변조기법에 의한 풀브릿지 방식의 인버터이다. 이 인버터의 경우 출력전압이 영(zero)과 정의 직류전원전압과 부의 직류전원전압으로 나타난다. 이러한 전력회로인 경우 출력전압의 고조파 성분은 스위칭 주파수와 스위칭 온, 오프 함수에 의해 결정되며, 이 경우 고조파 성분을 줄이는 데는 한계가 있다.

따라서 본 연구에서는 동일조건의 직류전원전압과 스위칭 주파수 조건의 단상 인버터에서 출력고조파 성분을 억제하기 위해 PWM 인버터의 전력회로를 기존의 풀브릿지 방식과 하프 브릿지 방식의 전력회로를 적절히 변형 함으로써 출력전압이 영(zero)과 정의 직류전원전압과 부의 직류전원전압 뿐만 아니라 정의 직류전원전압의 절반과 부의 직류전원전압의 절반이 나타나는 새로운 인버터의 전력회로를 제안하였으며, 정격전류 이상의 전류를 요구할 시 제어모드의 변화로 일정전류모드로 출력전압을 제어하고, 정격전류 이하의 전류에서는 부하변동에 따른 편자현상을 보상하기 위해 Deadbeat 전류제어기를 구성하였고, 시뮬레이션 및 실험을 통하여 제안된 전력회로 및 제어기법의 우수성을 입증하였다.

2. 본 론

2.1 제안된 인버터 및 스위칭 원리

그림 1은 제안된 PWM인버터의 전력회로를 나타내고 있다. 그림에서 보는 바와 같이 제안된 인버터는 기존의 풀브릿지 방식인버터의 전력회로에서 정류용 다이오드와 스위칭소자로 이루어진 양방향 스위칭소자를 직류전원의 중성 템에 연결하고 있다. 따라서 추가된 스위치의 기능으로 출력전압은 직류전원의 절반을 인가할 수 있게 된다.

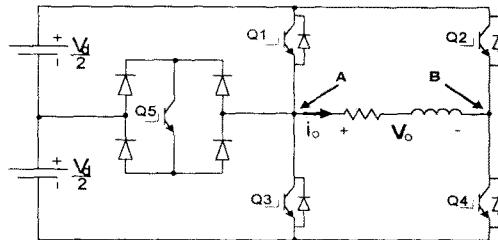


그림 1. 제안된 인버터
Fig 1. Proposed inverter

제안된 인버터에서 출력전압의 레벨을 고찰하기 위해서 각 스위치의 온에 따른 암(Arm)전압을 살펴보면, 우선 Q2가 온 되면 B점 전압은 직류전원전압인 V_d 가 되고, Q4가 온 되면 B점 전압은 영(zero)이 되나, A점의 전압의 경우 양방향 스위치의 추가로 인하여 Q1이 온 되면 A점 전압은 직류전원전압인 V_d 가되고, Q3가 온 되면 A점 전압은 영(zero)가 되는 것 이외에 Q5가 온 되면 A점 전압은 직류전원전압의 절반인 $V_d/2$ 가 되는 전력회로의 구조를 가지고 있다. 각 스위치의 온에 따라 A점 전압은 0(zero), $V_d/2$, V_d 의 3가지 전압이 나타나고, B점 전압도 0(zero), V_d 의 2가지 전압이 나타난다. 각 스위치의 온에 따라 인버터의 출력전압으로 형성할 수 있는 전압은 두 암의 전압차가 되며, 그 경우는 표 1에 나타나 있다.

표 1 온, 오프에 따른 출력전압

Table 1. Output voltage according to switch on, off

온 스위치	A점 전압(V_A)	B점 전압(V_B)	출력전압($V_{AB}=V_O$)
Q1, Q4	V_d	0	$+V_d$
Q5, Q4	$V_d/2$	0	$+V_d/2$
Q3, Q4	0(V_d)	0(V_d)	0
Q2, Q5	0	$V_d/2$	$-V_d/2$
Q2, Q3	0	V_d	$-V_d$

제안된 인버터의 출력전압 V_o 는 $0, V_d/2, V_d, -V_d/2, -V_d$ 의 5가지가 나타나게 된다. 따라서 $0, V_d, -V_d$ 의 3개의 전압이 나타나는 불브릿지 인버터보다 양호한 출력전압을 얻을 수 있다.

그림 1과 같은 회로에서 정현적인 출력전압을 형성하기 위해서는 여러 가지 스위칭기법이 있으나, 본 연구에서는 그림 2와 같은 스위칭 기법을 제안하였다. 우선 직류전원의 절반인 분압용 콘덴서 전압을 이용하여 출력전압을 형성하고 이 전압으로 출력전압을 형성할 수 없을 시 직류전원전압을 이용하여 출력전압을 형성한다. 따라서 이러한 방식의 인버터에서는 변조지수가 0.5 이하에서는 직류전원을 반으로 설정하고 변조지수를 2배로 키워 같은 출력전압을 형성하는 폴브릿지 인버터와 동일한 고조파성분을 유지한다. 변조지수가 0.5 이상에서 직류전원전압과 분활용 콘덴서의 전압인 직류전원전압의 절반인 전압을 이용함으로 같은 직류전원전압을 사용하는 폴브릿지 인버터에서 보다 고조파성분을 대폭 감소할 수 있는 제어시스템이 될 수 있다. 이와 같은 모드로 스위칭함수를 구현하기 위해 변조지수가 0.5일 때 변조파의 피크치의 절반 값을 그 크기로하는 반송파와 그 크기만큼의 윗셀을 가한 반송파로 기존의 정현적 PWM 반송파를 대체하였다. 또한 위의 반송파에 의한 스위칭 함수를 우선 순위로 하고 스위칭함수를 형성하였다. 동일한 스위칭 주파수와 직류전원전압을 사용한 경우 고조파성분을 비교함으로서 본 제어시스템의 우수성을 입증하기 위해 두 인버터에 대한 고조파 분석이 필요하다.

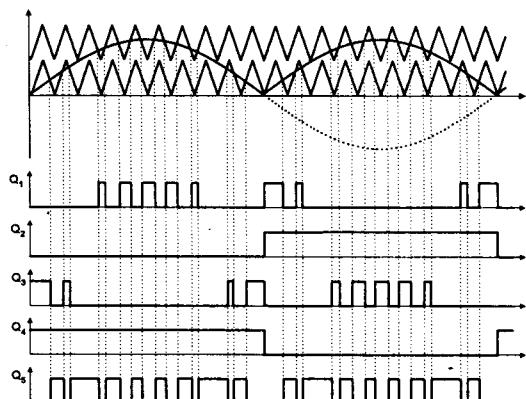


그림 2 스위칭 패턴
Fig. 2. The switching pattern

그림 2의 정현파와 두 개의 삼각파와 비교에 의해 제안된 인버터의 PWM 패턴을 형성하고 있다. 기본파파형과 그 외 파형간의 모양의 극점을 나타내는 수단인 전고조파왜곡(Total harmonic distortion)은 다음과 같은 식으로 정의된다.

$$THD = \frac{1}{V_1} \left(\sum_{n=2,3,\dots}^{\infty} V_n^2 \right)^{\frac{1}{2}} \quad (1)$$

THD는 전고조파의 성분을 나타나지만, 각 고조파성분의 수준을 나타내지는 않는다. 필터를 인버터의 출력단에 부과하면 고차고조파를 보다 효율적으로 감소할 수 있다. 그러므로 각 고조파의 주파수와 크기의 인식이 중요하다. 왜곡률(Distortion factor)은 고조파를 2차 감쇠시킨 후의 파형에 남아있는 고조파 왜곡정도를 나타내며 다음과 같은 식으로 정의된다.

$$DF = \frac{1}{V_1} \left[\sum_{n=2,3,\dots}^{\infty} \left(\frac{V_n}{n^2} \right)^2 \right]^{\frac{1}{2}} \quad (2)$$

2.2 제안된 인버터의 제어원리

필터가 추가된 PWM인버터는 자동전압조절기, UPS와 같은 장비 등에 광범위하게 적용되고 있다. 이러한 인버터 시스템에서 정현파 출력전압을 구현하는 파라메타는 LC필터의 크기, 스위칭 주파수, 제어알고리즘이다. 이중 LC필터의 크기와 스위칭 주파수의 증가는 시스템의 경제성 및 크기에 치명적인 약점이 된다. 따라서 정현파 출력전압을 얻기 위해서 제어 알고리즘의 개선이 필수적이다. 또한 인버터 시스템에서 직류에서 교류를 발생시키는 PWM인버터의 제어기법은 출력전압의 정도에 매우 큰 영향을 미치는 요소가 된다. 따라서 본 연구에서는 부하변동에 관계없이 출력전압을 정현파로 유지하기 위한 제어 알고리즘을 제안하였다. 아울러 필터의 인덕티의 편자현상을 보상하고, 동특성을 개선하기 위해서는 전압제어기안에 전류제어기를 마이너 루프로 둘 필요가 있다. 이때 전류제어기의 극점을 전압제어기의 극점보다 s-평면상에 좌반평면에서 멀리 두도록 설계함으로 시스템의 안정성과 동특성을 개선 할 수 있다.

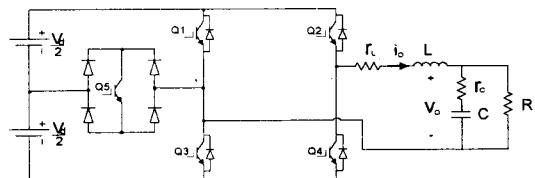


그림 3 출력 LC 필터를 포함한 인버터 시스템
Fig. 3 Inverter system with LC-filter at output stage

그림 3은 출력 LC 필터와 부하저항을 포함한 인버터 시스템을 나타내고 있다. 여기서 r_L 은 인덕터의 ESR이며, r_C 는 콘덴서의 ESR이며, R 은 부하저항을 나타내고 있다. 그림 3과 같은 PWM 인버터 시스템에서 선형모델은 다음과 같다.

$$\begin{bmatrix} \frac{d}{dt} i_L \\ \frac{d}{dt} v_c \end{bmatrix} = \begin{bmatrix} \frac{r_L r_C + R(r_L + r_C)}{L(R+r_C)} & \frac{-R}{L(R+r_C)} \\ \frac{R}{C(R+r_C)} & \frac{-1}{C(R+r_C)} \end{bmatrix} \begin{bmatrix} i_L \\ v_c \end{bmatrix} + \begin{bmatrix} \frac{1}{L} \\ 0 \end{bmatrix} \quad (3)$$

$$v_o = \begin{bmatrix} \frac{Rr_c}{R+r_c} \\ \frac{R}{R+r_c} \end{bmatrix} \begin{bmatrix} i_L \\ v_c \end{bmatrix} \quad (4)$$

위의 상태방정식으로부터 블록도를 나타내면 그림 4와 같다. 시스템의 응답특성은 전달함수의 극점에 의해 결정되며 이 극점이 s평면의 좌반부 쪽으로 가면 갈수록 빠른 응답특성을 얻을 수 있다. 극단적으로 극점은 좌반평면의 무한대로 두면 지연 없는 응답을 얻을 수 있을 것이다.

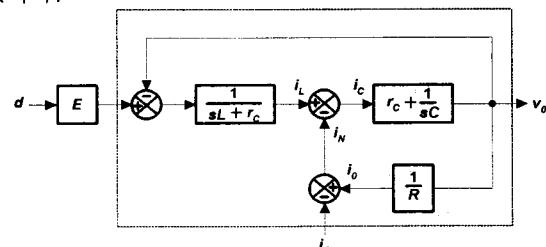


그림 4 PWM인버터의 블록도
Fig. 4. Block of PWM inverter

따라서 궤한루프 제어기에서 폴(poles)들이 z-평면상의 원점에 위치한다면 가장 빠른 응답특성을 얻을 수 있다.

$$z^n = 0 \quad (5)$$

단, n 은 플랜터의 모델차수이다.

Cayley-Hamilton 이론에 의해 스텝지령치에 대하여 n 샘플링 후에 오브슈터없이 지령치에 도착할 수 있다.

2.3 전류제어기의 설계

그림 5는 전류제어기의 실제적인 모델을 나타내고 있으며, 여기서 z_0 는 부하에 해당하는 임피던스를 나타내고 있다. 위의 전류제어기에서 출력전압은 왜란으로 작용한다. 따라서 이 성분에 의한 전류제어기의 간섭을 제거하기 위해서는 인덕터 전압지령치에 출력전압을 피드포워드 항으로 두는 식 (6)과 같이 정의하면 된다.

$$v_L^*(k) = K_p [i_L^*(k) - i_L(k)] + v_o(k) \quad (6)$$

즉 출력전압을 전압센스로부터 검출하여 제어기의 오프셋 형태로 둘으로써 출력전압에 의한 전류제어기의 영향을 제거할 수 있다.

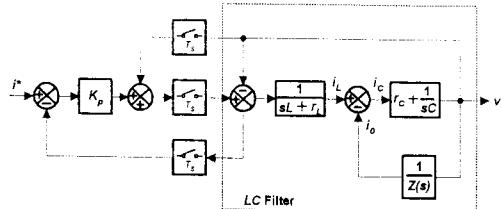


그림 5 전류제어기의 블록도

Fig. 5 . Block of current controller

따라서 전류제어기는 인덕터의 출력전압의 영향을 받지 않게 되고, 그림 5는 그림 6과 같이 간단한 제어 블록으로 표현할 수 있다

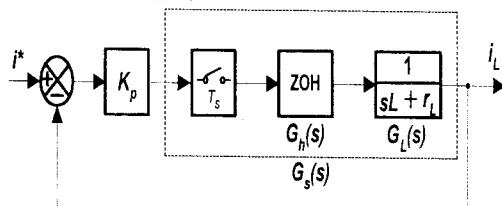


그림 6 간략화 된 전류제어기의 블록도

Fig. 6 . Modifier block of current controller

그림 6의 블록에서 제로오드 홀더(zero order holder)의 전달함수는 식(7)과 같이 표현된다.

$$G_h(s) = \frac{1 - e^{-sT}}{s} \quad (7)$$

또한 ESR을 고려한 인덕터의 전달함수는 아래와 같다.

$$G_L(s) = \frac{1/L}{s+a} \quad (8)$$

$$\text{단 } a = \frac{r_L}{L}$$

따라서 개루프(open loop)전달함수는 다음과 같다.

$$\begin{aligned} G_s(s) &= Z \left[\left(\frac{1 - e^{-sT}}{s} \right) \left(\frac{1/L}{s+a} \right) \right] \\ &= \frac{1}{r_L} \frac{1 - e^{-aT}}{z - e^{-aT}} \end{aligned} \quad (9)$$

위 식으로부터 폐루프(closed loop)의 특성방정식은 다음과 같다.

$$z - [e^{-aT} - K_p \frac{e^{-aT} - 1}{r_L}] = 0 \quad (10)$$

전류제어기의 동특성을 개선하기 위해 극점을 원점에 둘 수 있는 K_p 값을 구하면 다음과 같다.

$$K_p = \frac{r_L e^{-aT}}{1 - e^{-aT}} \quad (11)$$

2.4 전압제어기의 설계

그림 7은 전압제어기의 블록도를 나타내고 있으며, 전압제어기의 내부루프에 전류제어기가 포함되어 있다.

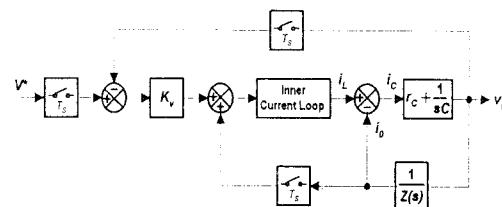


그림 7 전압제어기의 블록도

Fig. 7 .Block of voltage controller

만일 전압제어기의 시정수가 전압제어기의 내부루프인 전류제어기의 시정수가 전압제어기의 시정수에 비하여 상당히 크다면 전류제어기의 이득은 상수로 취급할 수 있다. 또한 전압제어기의 외란으로 작용하는 부하전류의 영향을 제거하기 위해서 출력전압제어기를 아래와 같이 정의하였다.

$$i^*(k) = K_v [v_{ref}(k) - v_o(k)] + i_o(k) \quad (12)$$

따라서 위의 전압제어기의 블록도는 그림 8과 같이 간단한 블록으로 표현할 수 있다.

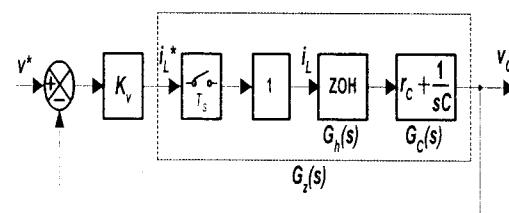


그림 8 간략화 한 전압제어기의 블록도

Fig. 8 .Modifier block of voltage controller

전압 제어기도 앞에서 언급한 전류제어기와 같은 개념으로 설계하면 전압제어기의 개인은 식 (13)과 같이 주어진다.

$$K_r = \frac{C}{T - C r_C} \quad (13)$$

3. 시뮬레이션 및 실험 결과

본 연구에서는 인버터 자체에서 발생하는 고조파 성분을 최소화하기 위하여 3레벨 인버터를 제안하고 그 우수성을 입증하기 위하여 다음과 같은 시뮬레이션을 행하였다. 그림 9 및 그림 10은 변조비에 따른 THD, DF의 경향을 조사하기 위한 과정이다. 이 그림으로부터 변조비에 관

계없이 제안된 인버터가 THD 및 DF면에서 상당히 우수함을 알 수 있다. 그림 9 및 그림 10에서 변조지수가 커지면 THD 및 DF의 감소정도가 적음을 알 수 있다. 이는 제안된 인버터에서 변조비가 증가하면 인버터 직류 전원전압의 분활용 콘덴서전압 이용률이 적기 때문이다.

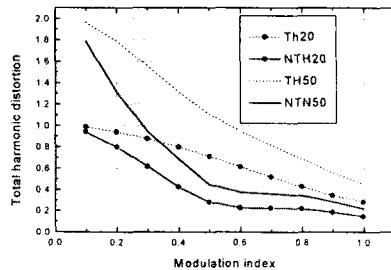


그림 9 변조비에 따른 THD 과형
Fig. 9 Waveform of THD for modulation index

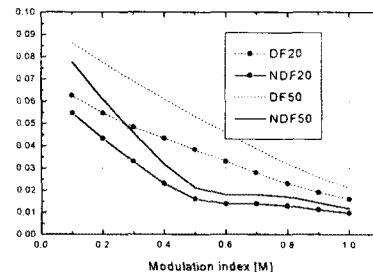


그림 10 변조비에 따른 DF 과형
Fig. 10 Waveform of DF for modulation index

그림 11은 인버터의 출력전압과 필터단 콘덴서전류를 나타내고 있으며, 그림 (a)는 변조비가 0.4일 때이며, 그림 (b)는 변조비가 0.8 일 때의 과형이다. 그림 11(a)에 보는 바와 같이 인덕터의 전류와 인버터의 출력전압이 반대가 되는 영역에서 데드타임기간 동안 DC-Link전압이 인가됨을 알 수 있다.

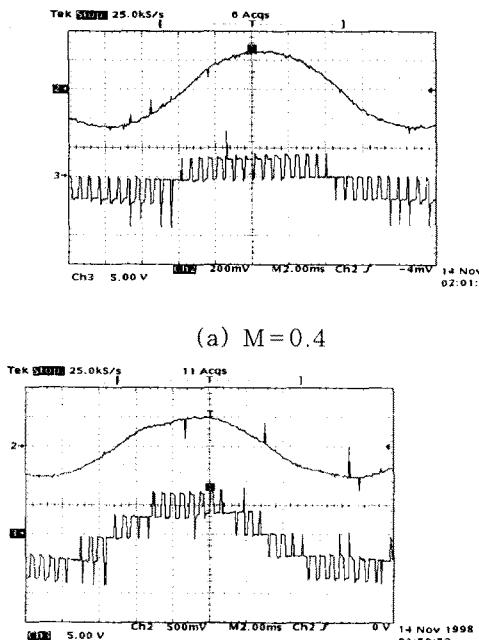


그림 11 인버터 출력전압 및 콘덴서 전압
Fig. 11 Output voltage of inverter and Capacitor voltage

그림 12은 그림 11의 조건에서 인버터 출력전압과 콘덴서 전류를 나타내고 있다.

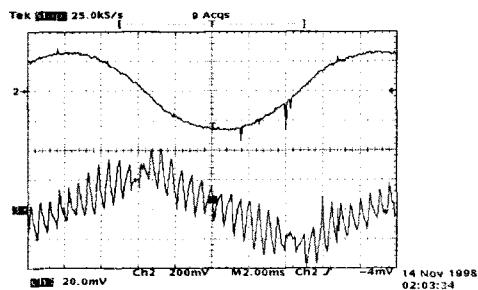


그림 12 인버터 출력전압 및 콘덴서 전류

Fig. 12 Output voltage of inverter & Capacitor voltage

그림 13은 정격전류 이상의 모드에서 이하모드로 변화를 보기 위해 부하전류와 콘덴서 출력전압을 보여주고 있다. 정격전류 이상의 경우 인덕터 전류는 구형파에 가깝게 되고, 출력전압에 다소 외형이 나타나고 있다.

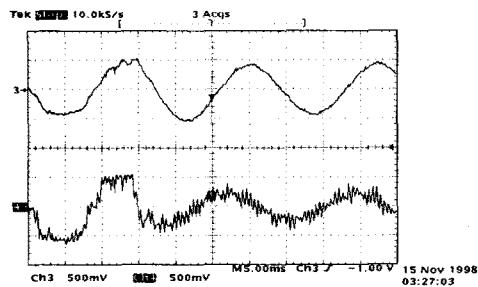


그림 13 인버터 출력전압 및 인덕터 전류

Fig. 13 Output voltage of inverter & Inductor current

4. 결 론

본 논문에서는 동일조건의 직류전원전압과 스위칭 주파수하의 단상 인버터 시스템에서, 인버터 자체에서 발생하는 고조파 성분을 최소화하기 위하여 3레벨 출력전압을 형성할 수 있는 새로운 인버터의 전력회로를 제안하였다. 이 제안된 전력회로를 이용하여 정현적 PWM 전압을 발생하기 위한 스위칭함수를 구현하였다. 또한 부하변동에 따른 동특성을 개선시키고, 인덕터의 편자현상을 보상하기 위해 전압제어기와 전류제어기를 대드비 트제어기로 구성하므로써 부하변동에 관계없이 출력전압을 정현파로 유지할 수 있는 제어 알고리즘을 제안하였다. 또한 정격전류 이상의 전류를 요구할 시 제어모드의 변화로 일정전류모드로 출력전압을 제어하였다.

그 결과 변조비 0.6일 때 기존의 인버터에 비하여 제안된 인버터에서 THD는 약 60[%], DF는 약 67[%]로 감소함을 알 수 있었으며, 변조비에 관계없이 제안된 인버터가 THD 및 DF면에서 상당히 우수함을 알 수 있었다.

[참 고 문 헌]

- C. Hua, R. G. Hoft, "High Performance Deadbeat Controlled PWM Inverter Using a Current Source Compensator for Nonlinear Loads", PESC'92 Conf. Proc. pp. 443-450