

수소 플라즈마를 이용한 SOI 기판 제작 및 SOI 전력용 반도체 소자 제작에 관한 연구

성 만 영
고려대학교 전기공학과

A Study on Fabrication of SOI Wafer by Hydrogen Plasma and SOI Power Semiconductor Devices

Man Young Sung
Department of Electrical Engineering, Korea University

Abstract

본 "수소 플라즈마를 이용한 SOI 기판 제작 및 SOI 전력용 반도체 소자 제작에 관한 연구"를 통해 수소 플라즈마 전처리 공정에 의한 실리콘 기판 표면의 활성화화를 통해 실리콘 직접 접합 공정을 수행하여 접합된 기판쌍을 제작할 수 있었으며, 접합된 기판쌍에 대한 CMP(Chemical Mechanical Polishing) 공정을 통해 SOI(Silicon on Insulator) 기판을 제작할 수 있었다. 아울러, 소자의 동작 시뮬레이션을 통해 기존 SOI LIGBT(Lateral Insulated Gate Bipolar Transistor) 소자에 비해 동작 특성이 향상된 이중 채널 SOI LIGBT 소자의 설계 파라미터를 도출하였으며, 공정 시뮬레이션을 통해 소자 제작 공정 조건을 확립하였고, 마스크 설계 및 소자 제작을 통해 본 연구 수행으로 개발된 SOI 기판의 전력용 반도체 소자 제작에 대한 가능성을 확인할 수 있었다.

1. 서 론

스마트 파워 IC와 같은 전력용 반도체 분야는 전력 계통, 산업설비의 자동화, 교통 시스템, 사무실과 가정에서 쓰이는 가전제품분야 등 모든 분야에 걸쳐 고기능화, 전원장치의 고효율, 고성능화를 추구하고 있다. 전력용 반도체소자의 연구 개발에 있어서, 전력 전자 시스템의 소형화, 경량화, 고효율화의 추세에 부응하기 위해 점차 전력용 집적 회로 분야가 전체 전력용 반도체 영역의 상당 부분을 차지하게 될 것이며[1-2],

시스템의 집적화를 위해 전력용 반도체 소자 외에도 제어회로와 보호회로를 하나의 칩 내에 내장하는 스마트 파워 IC 기술이 필요시 되고 있다. 이러한 전력용 반도체 소자의 집적화 과정은 고전압 전력 소자와 저전압 CMOS 제어회로, 보호회로와의 전기적, 열적인 격리 기술이 반드시 해결되어야 할 선행 과제로서, SOI 구조를 이용한 스마트 파워 IC는 향후 기초 연구, 개발 연구, 제품 기술 개발, 양산화가 전개될 것으로 전망되고 있다[3-4].

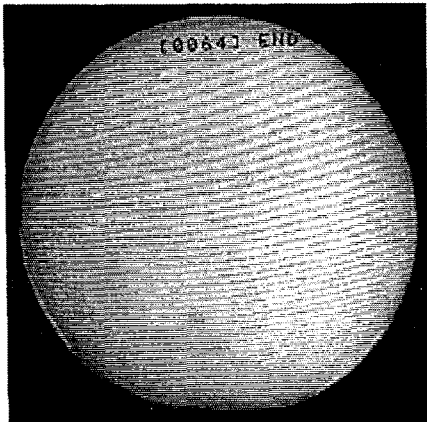
본 연구에서는 본 연구실에서 자체 개발한 수소 플라즈마를 이용한 실리콘 접합공정과 기존의 CMP 공정을 통해 전력용 반도체소자에 적합한 SOI 기판을 형성하고, 본 SOI 구조에 적합한 전력용 반도체소자에 대한 공정 시뮬레이션 및 동작 시뮬레이션을 통해 소자의 구조적인 특성과 동작 특성을 확인한 후, 마스크 설계 및 실제 SOI LIGBT 소자의 제작을 통해 개발된 SOI 기판의 스마트 파워 IC에 대한 활용성을 분석하고자 한다.

2. 본 론

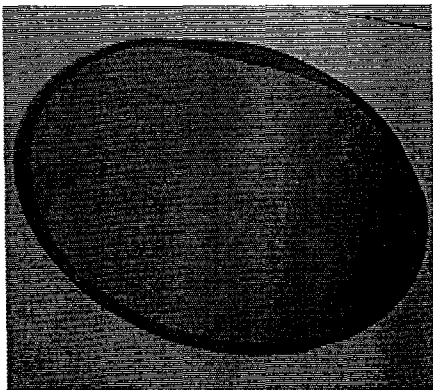
가. 수소 플라즈마를 이용한 SOI 기판 제작

수소 플라즈마 처리를 통해 표면 활성화된 SOI 활성 실리콘 층(active silicon layer)이 되는 산화막이 성장된 접합 기판과 접합 기판을 지지하는 열산화막이 없는 지지 기판을 상온에서 초기 접합한 후에 접합 강도를 높이기 위해 산소 분위기에서 1100°C 온도로 2

시간 동안 열처리 공정을 수행하였다. 그림 1(a)는 접합이 이루어진 기판 쌍의 IR(Infrared) 사진을 보이고 있는데, 기판 전체적으로 접합이 완전히 이루어져 void가 관찰되지 않는다. 그림 1(b)는 CMP 공정을 통해 최종적으로 제작된 SOI 기판의 사진을 나타내고 있다. 기판 가장자리 부분은 rounding 및 crown과 같은 기판의 구조적인 특징으로 접합이 이루어지지 않기 때문에 실리콘 박막이 남지 않게 된다.



(a)



(b)

그림 1 Void 없이 접합된 실리콘 기판 쌍과 CMP 공정에 의해 제작된 SOI 기판.

(a) CMP 공정 전의 접합된 기판쌍의 IR 사진

(b) CMP 공정 후에 제작된 SOI 기판 사진

1100℃에서 열처리된 기판 쌍에 대해 CMP 공정을 수행하여 가능한 얇게 실리콘 활성층이 남도록 제작된 SOI 기판의 접합 계면 상태를 확인하기 위해

SEM 분석을 실시하였다. 그림 2는 CMP 공정 후에 0.5 μm 두께의 실리콘 박막이 형성된 SOI 기판의 접합 계면을 3만 5천배로 확대해 찍은 사진으로 CMP 공정 후에도 계면이 연속성을 이루며 접합이 이루어져 있음을 보여주고 있으며, 이상과 같은 SEM 분석을 통해 수소 플라즈마에 의해 접합된 SOI 기판의 접합 계면은 산화막과 실리콘과의 연속적인 접합이 이루어질 수 있음을 확인할 수 있었다.

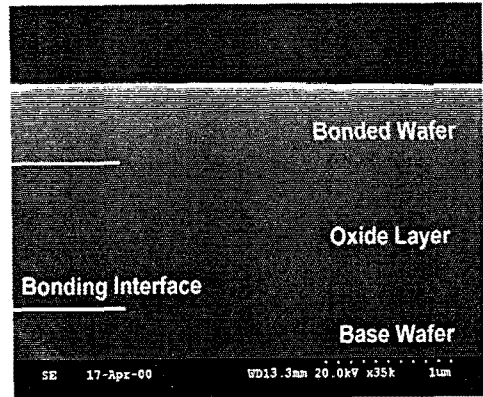


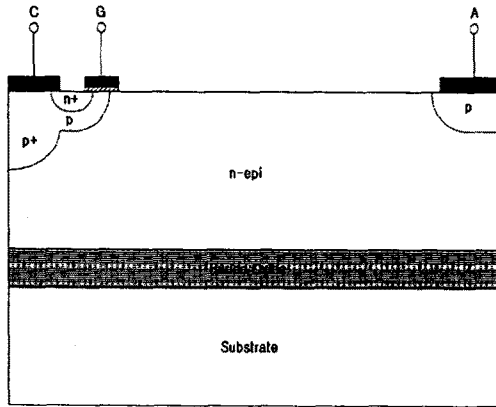
그림 2 CMP 공정 후에 제작된 SOI 기판의 단면 SEM 사진.

나. 이중 채널 SOI LIGHT 구조의 제안

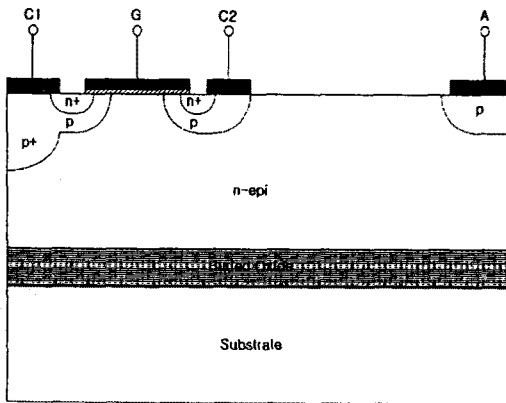
본 연구를 통해 개발된 SOI 기판의 실제 전력용 반도체소자 제작에의 활용 가능성 검토 및 새로운 SOI 전력용 반도체소자 제작이라는 측면에서, SOI LIGHT의 래치 업 특성 및 온 저항(on resistance)을 개선하기 위한 이중 채널(dual channel) 구조를 갖는 새로운 SOI LIGHT 소자를 제안하였다. 기존 하나의 게이트에 새로운 마스크 추가 없이 대칭 구조를 갖는 n+ 캐소드 및 p 베이스를 하나 더 형성시킴으로써 게이트 양쪽에 채널이 위치하는 이중 채널 구조가 가능하게 되어 SOI LIGHT의 전류 이득을 높이는 동시에 래치 업 특성을 개선시키고자 하였다.

그림 3은 기존의 SOI LIGHT 구조와 본 연구에서 제안한 이중 채널 SOI LIGHT 구조의 단면도를 나타낸 것이다. 이중 채널 구조는 하나의 게이트 신호에 의해 두 개의 채널을 동시에 형성시킴으로써 전류 용량을 증가시키는 구조이다. 이는 게이트 신호에 의해 형성된 채널을 통해 n-에피층으로 주입되는 전자 전

류가 p+ 캐소드, n- 에피층, p- 베이스로 구성되는 pnp 바이폴라 트랜지스터의 베이스 전류를 형성하는데, 이 전자 전류를 더 많이 주입함으로써 전류 이득을 증가시켜 전체적인 SOI LIGHT 전류를 증가시키고자 하는 것이다.



(a)



(b)

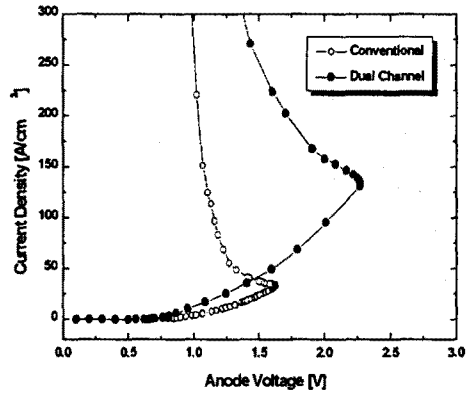
그림 3 일반적인 SOI LIGHT와 제안된 SOI LIGHT 구조의 단면도.

(a) 기존의 SOI LIGHT

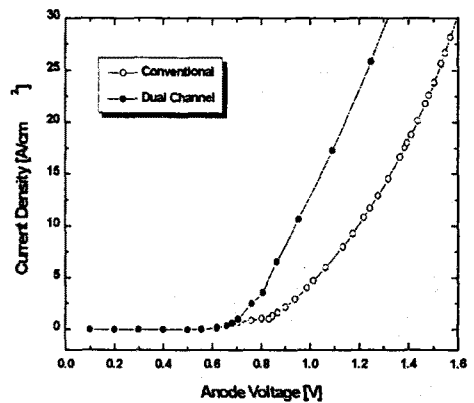
(b) 제안된 SOI LIGHT

기존은 SOI LIGHT 구조에 있어서 n+ 캐소드는 p+ 애노드에 구조적으로 근접해 있어서 p+ 애노드로부터 주입된 정공 전류가 n+ 캐소드 아래 영역을 통해 캐소드 전극으로 흘러 들어가게 되어 있어, n+ 캐소드와 p 베이스간의 전압 강하에 의해 쉽게 래치 업이 발생하게 된다. 반면 본 연구에서 제안된 SOI LIGHT

에 있어서 '캐소드 2'의 p 베이스가 구조적으로 p+ 애노드에 제일 근접한 위치에 형성됨으로 인해 대부분의 정공 전류가 '캐소드 2'의 n+ 캐소드를 거치지 않고 바로 p 베이스를 통해 전극으로 흘러 들어가도록 함으로써 래치 업을 억제할 수 있도록 설계되었다.



(a)



(b)

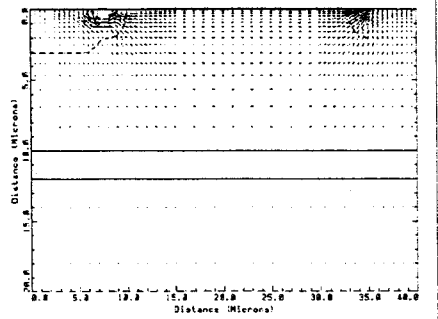
그림 4 순방향 전도 영역에서의 기존 SOI LIGHT 구조와 제안된 SOI LIGHT 구조의 전압-전류 특성.

(a) 래치 업 전류 밀도 (b) 순방향 전압 강하

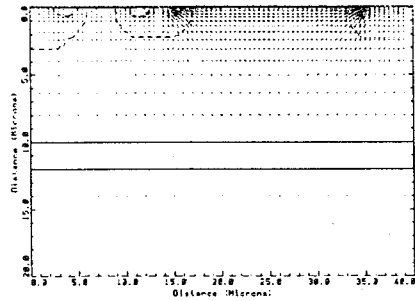
그림 4는 시뮬레이션을 통해 얻어진 기존 SOI LIGHT 구조와 제안된 이중 채널 SOI LIGHT 구조의 전압-전류 곡선을 나타낸 것으로, 기존 구조의 경우 애노드 전압 1.63V, 애노드 전류 밀도 34A/cm²에서 래치 업이 발생하였으며, 이중 채널 구조에서는 래치 업 발생시 애노드 전압이 2.28V이고 애노드 전류 밀도는 134 A/cm²으로 전도 영역에서의 래치 업 전

류 밀도에 있어 기존 구조보다 약 4배정도 향상된 특성을 보인다. 이는 앞서 설명한 바와 같이 '캐소드 2'의 p 베이스를 통해 정공 전류가 흐르게 되어 래치 업이 억제됨을 보여주는 결과라 할 수 있다. 또한 이중 채널 구조에 있어서 소자가 정상 동작하는 순방향 영역에서의 온 저항 역시 기존의 구조에 비해 감소하였음을 그림 4(b)로부터 확인할 수 있는데, 애노드 전류 밀도가 두 소자 모두 $17.5\text{A}/\text{cm}^2$ 인 상태에서 기존 SOI LIGBT 소자의 전압 강하는 1.38V 였으며, 이중 채널 SOI LIGBT 소자의 전압 강하는 1.09V 로써 기존의 구조에 비해 낮은 온 저항을 갖음을 확인할 수 있다.

그림 5는 기존 SOI LIGBT 구조와 제안된 이중 채널 SOI LIGBT 구조의 순방향 전도 영역에서 정공 전류를 나타낸 것으로, 기존 구조에서는 애노드에서 주입되는 정공 전류의 상당 부분이 n^+ 애노드 근처의 p 베이스 영역으로 흐르는 것을 확인할 수 있는데, 이는 래치 업을 야기하는 주요 원인으로 작용하게 된다. n^+ 캐소드 근처의 p 베이스를 통해 흐르는 정공 전류는 p 베이스에서의 전압강하를 일으켜 n^+ 캐소드와 p 베이스의 pn 접합에 동작시킨다. 이러한 pn 접합이 온 상태가 되면 전체적으로 n^+ 캐소드와 p 베이스, n^- 에피층, p 애노드로 연결되는 기생 pnpn 사이리스터가 동작하게 되어 SOI LIGBT 소자가 게이트 신호에 의해 제어되지 않는 래치 업이 발생하게 된다. 정공 전류의 대부분이 n^+ 캐소드 근처의 p-베이스로 근처로 흐름에 의해서 래치 업을 야기하는 것을 알 수 있다. 즉, p^+ 애노드에서 주입된 정공들이 대부분 래치 업 발생 경로를 따라 흐름으로써 래치 업 특성을 크게 떨어뜨리고 있음을 알 수 있다. 따라서 이러한 래치 업 현상을 줄이려면 n^+ 캐소드 아래 영역에 위치한 p 베이스를 통해 흐르는 정공 전류를 가능한 줄여야 한다. 제안된 이중 채널 SOI LIGBT 구조는 이러한 래치 업 특성이 크게 향상되었음을 확인할 수 있다. 이중 채널 구조는 기존 구조보다 래치 업이 발생하기 위한 전류 밀도가 4배 이상 증가한 것을 알 수 있는데, 이는 래치 업 특성이 캐소드 2의 p 베이스에 의해 크게 개선되었기 때문이다.



(a)



(b)

그림 5 순방향 전도 영역에서의 정공 전류.

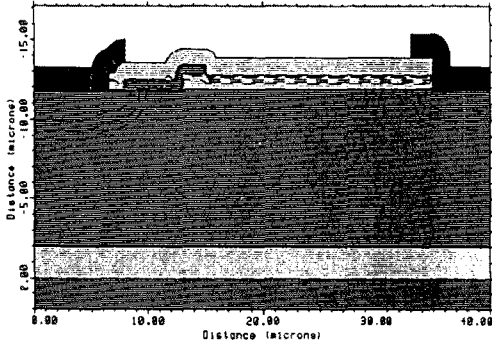
(a) 기존 SOI LIGBT 구조

(b) 제안된 SOI LIGBT 구조

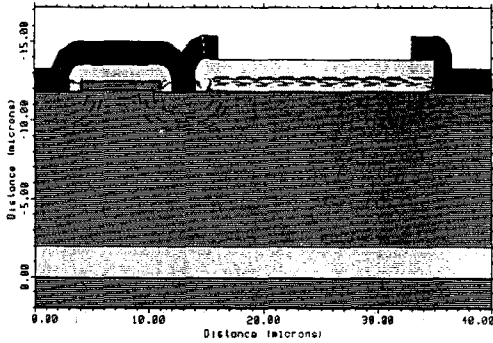
다. 공정 파라미터 도출을 통한 소자 제작

소자의 동작 특성 시뮬레이션을 통해 최종 설계된 기존 SOI LIGBT 소자와 이중 채널 SOI LIGBT 소자의 실제 제작에 필요한 공정 파라미터 도출을 위해 공정 시뮬레이션을 수행하였다. 기존의 SOI LIGBT와 제안된 이중 채널 SOI LIGBT의 동작 특성 시뮬레이션에서 채택된 셀 크기, 채널 길이, 각 영역의 도핑 농도, 게이트 산화막의 두께, 매립 산화막 두께 등은 가급적 동일하게 제작하기 위하여 공정 파라미터들을 선택하였다. 아울러 각 영역의 도핑 농도, 게이트 산화막의 두께, 매립 산화막 두께를 같게 함으로써 일반적인 SOI LIGBT와 제안된 SOI LIGBT를 동일한 공정과 마스크 사용을 통해 같은 SOI 기판에 동시에 제작이 가능하도록 하였다. 제안된 SOI LIGBT 구조에 있어서 이중 채널을 형성하는 구조이므로 각 영역의

크기는 조금 다르게 설정되었다. 그림 6은 공정 시뮬레이션을 통해 최종적으로 제작된 기존 SOI LIGHT 소자와 이중 채널 SOI LIGHT 소자의 2차원 단면 구조를 보여주고 있다.



(a)



(b)

그림 6 최종 제작된 소자의 2차원 단면 구조와 수평 방향에 따른 붕소 불순물 분포.

(a) 기존 SOI LIGHT 소자

(b) 이중 채널 SOI LIGHT 소자

SOI LIGHT 소자 제작을 위해 본 연구에서는 총 6장의 마스크를 설계하여 제작하였으며, 제작된 마스크와 공정 시뮬레이션을 통해 확립된 공정 조건을 적용하여 기존 SOI LIGHT 소자와 이중 채널 SOI LIGHT 소자 제작 공정을 수행하였다.

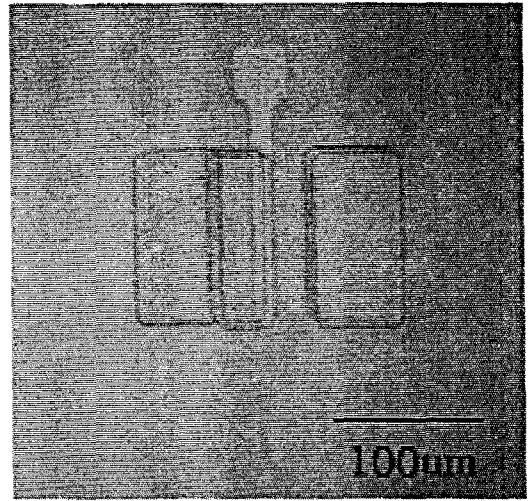


그림 7 선형 구조를 갖는 기존 SOI LIGHT 소자의 제작 사진.

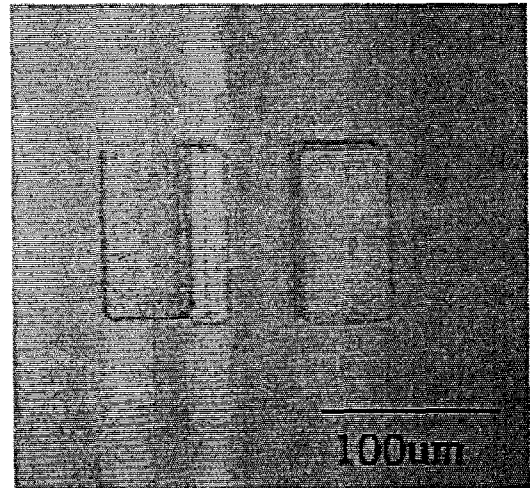


그림 8 선형 구조를 갖는 이중 채널 SOI LIGHT 소자의 제작 사진.

그림 7과 8은 동작 특성 비교 분석을 위해 제작된 선형 구조의 기존 SOI LIGHT 소자와 이중 채널 SOI LIGHT 소자의 광학현미경 사진을 나타내고 있으며, 그림 9와 10은 본 과제를 통해 개발된 SOI 기판의 실제 시스템에 사용할 수 있는 SOI 전력용 반도체 소자에 대한 적용 가능성을 검토하기 위해 제작된 원형(circle-type) 소자와 사각형(rectangular-type) 소자를

나타낸 광학현미경 사진으로, 소자 제작 공정을 통해 개발된 SOI 기판이 SOI 전력용 반도체 소자 제작에 충분히 적용될 수 있음을 확인할 수 있었다.

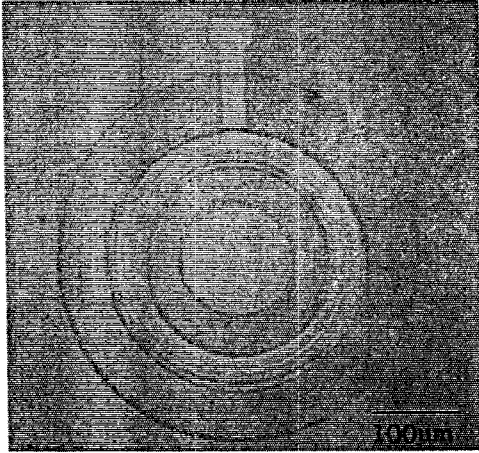


그림 9 원형 구조를 갖는 이중 채널 SOI LIGBT 소자의 제작 사진.

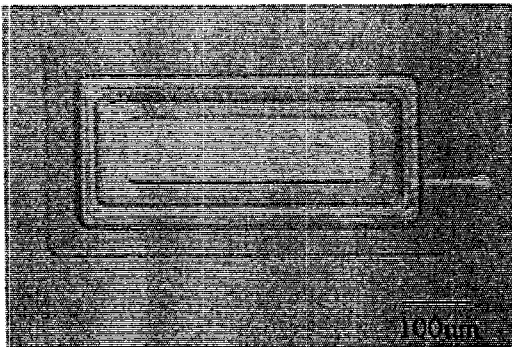


그림 10 사각형 구조를 갖는 이중 채널 SOI LIGBT 소자의 제작 사진.

3. 결 론

이상과 같이 본 “수소 플라즈마를 이용한 SOI 기판 제작 및 SOI 전력용 반도체 소자 제작에 관한 연구”를 수행하면서 얻어진 결과를 참조하여 볼 때 수소 플라즈마 처리 공정 및 CMP 공정에 의해서 접합 특성이 우수한 SOI 기판을 제작할 수 있음이 확인되었으며, SOI LIGBT의 래치 업 및 온 저항 특성을 개선하기 위해 이중 채널 SOI LIGBT 소자를 제안하여

동작 시뮬레이션을 수행하였으며 이를 통해 기존 SOI LIGBT 소자에 비해 우수한 동작 특성을 갖는 것으로 조사되었다. 아울러 동작 시뮬레이션 및 공정 시뮬레이션을 통해 확립된 설계 파라미터와 공정 파라미터를 바탕으로 마스크 설계 및 공정 수행을 통해 SOI LIGBT 소자를 제작할 수 있었다. 본 연구 수행으로 수소 플라즈마에 의한 실리콘 접합공정을 이용해 고부가가치를 지닌 전력용 반도체 소자 제작용 SOI 기판과 SOI 구조 전력용 반도체 소자를 개발하였으며, 이를 통해 각종 스마트 파워 IC 소자 제작에 활용하는 데에도 큰 기여가 될 것으로 사료된다.

4. 참고문헌

- [1] Johnny. K. O. Sin et al., "Lateral Insulated-Gate Bipolar Transistor(LIGBT) with a Segmented Anode Structure," *IEEE EDL*, vol. 12. pp. 45-47, Feb. 1991.
- [2] Ying-Keung Leung et al., "Lateral IGBT in Thin SOI for High Voltage, High Speed Power IC," *IEEE Trans. Electron Devices*, vol. 45. pp. 2251-2254, Oct. 1998.
- [3] Satoshi Matsumoto et al., "Thin-Film SOI Power MOSFET Design Based on Emission Microscopy," *Proc. of 7th Int. Symp. on Power Semiconductor Devices & ICs*. pp. 11.3, 1995.
- [4] Hitoshi Sumidai et al., "Investigation of Transient Substrate Currents in Lateral Power Devices on Silicon-on-Insulator" *Jan. J. Appl. Phys.* vol. 35 pp. L1038-L1041, 1996.