

# C-Band용 SDLA의 설계 및 구현에 관한 연구

## A Study on the Design and Implementation of SDLA for C-Band Application

임 경 택\*      윤 기 방\*      조 흥 구\*\*  
Kyung-Taek Lim\*, Ki-Bang Yun\*      Hong-Goo Cho\*\*

### 요 약

본 논문에서는 레이더 및 EW수신시스템에서 사용하는 SDLA를 5~7GHz(C-Band)의 RF 주파수대에서 설계 구현하였다. 구현한 SDLA의 특성은 -80dBm~0dBm의 동작범위를 얻었고,  $\pm 1.2$ dB이하의 대수오차, 19.2mV/dB의 대수기울기, 출력전압 범위는 0~1.53V, 2.0 : 1 이하의 VSWR, 약2dB의 잡음지수와 900 $\Omega$ 의 비디오 임피던스를 얻었다.

### Abstract

In this paper, the design of the successive detection logarithmic amplifier(SDLA) is reviewed for radar and EW system, and implemented in hybrid MIC. The SDLA operates over the 5 to 7GHz frequency range. the unit has a dynamic range of -80dBm to 0dBm, a logging accuracy of  $\pm 1.4$ dB, a logging slope 19.2mV/dB, and a gain flatness of  $\pm 1.2$ dB. Input VSWR of less than 2, noise figure of 2dB, video impedance of 900 $\Omega$ , and output voltage range of 0 to 1.53V DC have been obtained over 80dB of dynamic range.

### I. 서 론

레이더 시스템은 초고주파 기술의 응용분야인 항공, 해양, 기상, 천문학, 우주탐사, 미사일, 지도제작 등 민간, 군사, 과학분야에 걸쳐 광범위하게 활용되고 있고, 특히 걸프전에서 입증된 패트리어트 미사일에 응용된 위상배열 안테나 및 이에 연결되어 있는 시스템의 활용 등 군사적 응용분야인 EW 시스템에서 눈부신 발전을 가져왔다.

레이더 시스템의 경우, 전기적 스캐닝을 위해 수천개의 페라이트 위상천이가 부착된 안테나 빔을 기계적으로 스캐닝하여 속도가 매우 빠른, 고도의 정밀도를 요구하게 되는데, 이들을 송수신 RF모듈에 연결하여 시스템을 구성하게 된다. 이렇게 구성된 레이더 시스템은, 송신 시스템에서 보내진 신호가 원거리에 있는 목표물과의 충돌에 의해 반사된 신호를 검출하여 속도, 거리, 위치 등을 분석하는 시스템으로서 아주 민감한 수신 시스템을 갖춰야 하는데, 레이더 수신 시스템의 요건은 아주 작은 레벨의 신호에도 민감하게 동작할 증폭기가 필수적이고, 신호의 크기에 있어서도 아주 넓은 동작범위를 갖고 있어야 한다. 특히 넓은 동작범위에 있어서 순간적인 작은 신호의 검파와 넓은 입력 동작범위를 작은 출력 동작범위로 압축하여 처리할 수 있어야 하는데, 이에 적합한 증폭기가 대수 증폭기이다.

입력(전압 또는 전력)의 변화에 따라 출력전압이나 전력의 대수에 비례하는 출력을 얻

는 회로 즉 압축력이 있는 전달함수를 가지는 비선형 증폭기인 대수 증폭기는 대수 IF 증폭기(Logarithmic IF Amplifier : LIFA)와 검파대수 비디오 증폭기(Detection Logarithmic Video Amplifier : DLVA)로 구분되는데, DLVA는 주파수 응답이 검파기에 의해서 결정되므로 마이크로파 주파수까지 넓게 적용되나 상대적으로 낮은 감도를 갖고 있다. 또한 검파기가 전체의 입력범위의 넓은 동작범위에 걸쳐 동작하기 때문에 검파 다이오드의 제곱법칙 영역에서 선형 영역으로의 천이에 대한 보상이 필요하다<sup>[7,11,12]</sup>. 이 때문에 비디오 회로가 복잡해지고, 또한 비디오 대수 증폭기가 DC로 결합되어 있어 매우 높은 DC 이득을 필요로 하게 되는데, 이는 DC 드리프트를 발생시켜, 신호의 응답특성을 떨어뜨리는 결점을 수반하게 된다.

LIFA의 경우에는 주파수대가 2 GHz 이하로 제한되며 약 80 dB 정도의 넓은 동작범위를 갖고 있지만, DLVA의 동작범위는 50 dB 정도로 작으나 주파수대가 2~18 GHz에서 동작하므로 15 GHz 이상의 넓은 대역폭을 갖는 장점이 있다. 그러나 이는 특정 주파수대의 협대역에서만 회로 구현이 가능한 단점이 있는데, 이는 RF 증폭기와 검파기에 의해서 입력 주파수와 대역폭이 제한을 받기 때문이다.

따라서 이들 문제점을 개선하지 못한 과거에는 상업적으로 넓은 동작범위를 갖는 LIFA를 많이 활용하였다<sup>[6]</sup>. LIFA는 검파기를 이용하는 SDLA(Successive Detector Logarithmic Amplifier)와 검파기를 이용하지 않는 TLA(True Logarithmic Amplifier)가 있는데, 이 두 가지 모두 증폭기의 포화(Saturation)기법을 이용한 것으로서, 종속 접속된 TLA와 병렬로 구성된 SDLA는 DLVA의 단점을 보완하여 감도를 높이고, 대수오차(Logging error)를 줄여 대수 정확도를 개선하고, 동작범위를 크게 하기 위해 사용된다. 또한, 검파기를 사용한 경우에는 반송파 정보를 얻을 수 없고, 검파기를 사용하지 않는 경우에는 반송파 정보를 얻을 수 있는 특징이 있다<sup>[8,9]</sup>.

SDLA의 설계시 동작범위 및 대수 선형성을 좋게 하기 위해서는 증폭기의 이득을 작게 해야하는데, 이득이 작아지면 단수가 증가하고 회로 전체의 크기가 커지는 단점이 있다. 그러나 증폭기의 이득을 크게 하면 크기는 작게 할 수 있지만 대수 선형성이 나빠져 원하는 대수 오차 특성을 얻기 어려운 단점이 있으므로 회로 크기와 대수오차 간의 타협점을 찾아 설계해야 한다.

따라서 상기의 조건을 만족시키기 위해서 SDLA의 부분별 각 회로를 분석함으로써, 개선된 회로를 구현할 수가 있었다.

이와같이 구성된 RF 증폭기에서 사용된 특성이 크게 개선된 MGA85563 LNA MMIC는  $13 \text{ dB} \pm 0.5 \text{ dB}$ 의 이득을 갖고 있지만 대수오차를 줄이기 위해  $10 \text{ dB} \pm 0.5 \text{ dB}$ 로 조정하여 사용하였고, 또한  $P_{1dB}$ (Compression Point)를 5 dBm에서 0 dBm으로 조절하여 대수오차를 줄이는 방법을 통하여 리미터의 레벨을 조절하고 대수특성을 개선하였다.

RF 증폭기의 출력은 4 dB 전력 분배기를 통하여 다음 단의 RF 증폭기 혹은 검파기의 입력이 되도록 하였으며, 검파기는 5~7 GHz 사이에서 광대역 정합 특성을 나타내도록 설계, 구현하였다<sup>[7,10]</sup>.

리미터용 다이오드는 포화상태에 이르는 전압레벨이 비교적 낮은 HP5082-2835 쇼트키 다이오드를 사용함으로써  $\pm 1.2 \text{ dB}$  인 대수오차를 얻을 수 있었고,  $2 \text{ dB} \pm 0.5 \text{ dB}$  정도인 우수한 잡음지수를 얻을 수 있었고, 비디오 증폭기의 기울기를  $19.2 \text{ mV/dB}$  정도로 조절함으로써 12단 정도의 단일 종합 회로를 구성함으로써 80 dB 정도의 넓은 동작범위를 가질 수 있었다.

만일 대수오차를 더욱 줄이고 동작범위를 더욱 늘리기 위해서는 비디오 증폭기의 기울기를 19.2 mV/dB 이하로 줄이면 되는데, 이런 경우에는 기울기 값에 따라 증폭단 수가 증가하게 된다.

본 논문에서는 대수 특성을 개선하고 대수 오차를 줄이며 넓은 동작범위를 얻기 위해서, 레이더 시스템이나 EW(Electronic Warfare)시스템에서 사용하는 SDLA 기법을 도입하여 C-Band내 5~7GHz 주파수대에서 동작할 수 있는 SDLA 회로를 설계 및 구현하였다.

12단으로 구성된 전력 검출용 대수 검파기와 리미터 회로를 제안하였고, 이를 설계, 구현함으로써 대수 오차나 대수 기울기를 크게 개선하였으며, 80 dB 정도의 넓은 동작범위를 얻을 수 있었다<sup>[5,6]</sup>.

## II. SDLA의 동작원리

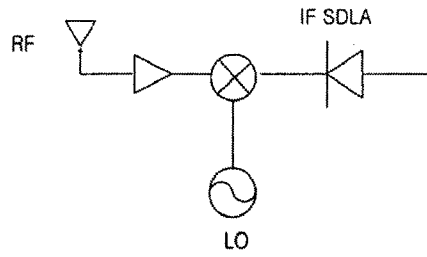
SDLA는 아주 작은 레벨의 신호를 IF 증폭기를 이용하여 증폭한 후, 다이오드 검파기가 검파할 수 있는 신호 레벨로 만들어 검파한 후 리미터로 신호의 크기를 제한해 가산회로로 합해서 입력 신호 레벨에 따라 출력 펄스의 크기가 대수적으로 변화 하도록 해 줌으로써, 넓은 영역의 신호를 작은 범위의 크기를 갖는 신호로 압축·출력하는 방식의 증폭기이다. 그림1(a)는 IF SDLA를 이용한 수신기의 기본 블록도이고<sup>[2]</sup>, 그림1(b)는, IF SDLA의 블록도를 나타내었다.

### 2-1. SDLA

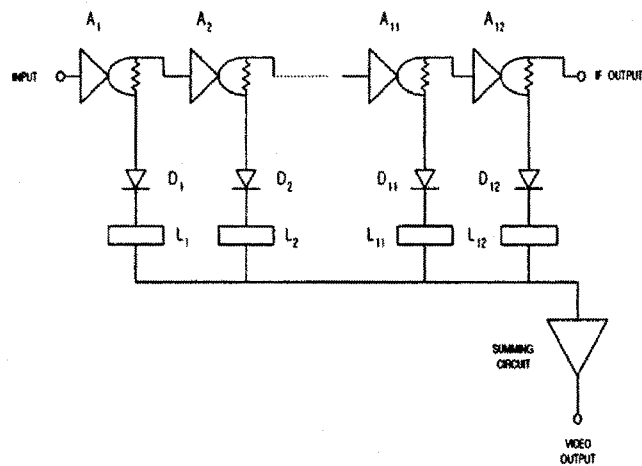
대수 증폭기는 대수 비디오 증폭기와 대수 IF 증폭기로 나눌 수 있으며, 대수 비디오 증폭기는 PSLVA(Parallel Summation Logarithmic Amplifiers), DLVA(Detector Logarithmic Video Amplifiers), SLLLVA(Series Linear Limit Logarithmic Video Amplifiers)로 구분되는데 이중 DLVA가 많이 사용되고, 대수 IF 증폭기는 SDLA(Successive Detection Logarithmic Amplifiers), TLA(True Logarithmic Amplifiers)로 구분되며, DLVA는 광범위한 주파수 범위에 걸쳐 적용되므로 낮은 감도가 문제이고 또한 검파 다이오드의 제곱법칙에서 선형 영역으로의 천이에 대한 보상이 필요하다. TLA는 각 단이 RF에서 동작하며 검파기를 사용하지 않기 때문에 반송파 정보를 갖고 있으면서도 각 단이 상이한 쌍들로 구성되어 있기 때문에 비교적 낮은 주파수에서만 구현이 가능한 단점을 갖고 있다.

SDLA의 기본 구조는 지연선을 이용하는 구조와 비디오 리미터를 이용하는 구조가 있는데, 지연선을 이용하는 것은 비디오 신호를 비디오 증폭기에 동시에 도달할 수 있도록 구성한 것으로 펄스 응답을 크게 개선하기 위한 것이다. 그러나 이는 많은 문제점을 수반하므로, 이를 보완하기 위해서 Lansdowne 과 Kelly가 비디오 리미터를 이용한 그림1(b)와 같은 기본구조를 제시하였다. 이는 리미터에 의한 왜곡의 제거가 가능하고, 온도 특성이 우수하며, 대수 특성에 더 정확히 근접하므로 정확한 제어가 가능하며, 지연선을 제거하므로 크기를 줄일 수 있다.

12단으로 구성된 그림1(b)에서, 선형 증폭기  $A_1, \dots, A_{12}$  는 입력신호를 증폭하고, 증폭된 신호는 전력 분배기에 의해 다음 단의 입력과 검파기의 입력으로 신호가 분배되며, 검파기는 분배된 신호를 검파하여 비디오 신호를 출력하고, 리미터는 비디오 신호를 어느 크기 이상을 리미팅하여 출력하고, 이들 각 단의 신호를 가산회로에 가산하여 입력신호의 크기에 따라 비디오 신호의 전압 크기로 출력하게 된다.



(a) Receiver system



(b) SDLA

그림 1. SDLA의 블록도  
Fig. 1. Block diagram of SDLA

여기서 12번째 단인  $A_{12}$ 는 가장 낮은 크기의 신호를 증폭하고, 이에 이은 검파기는 가장 낮은 신호를 검파하게 된다.

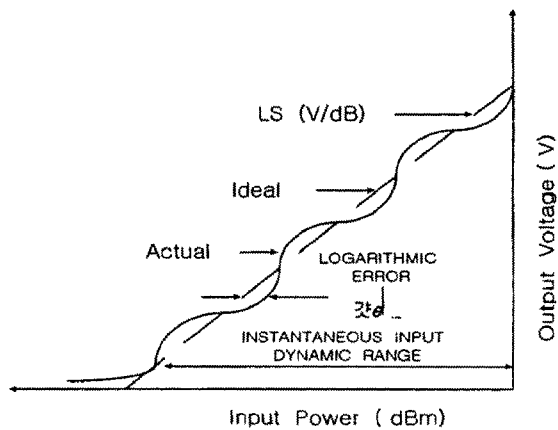


그림 2. SDLA의 대수 특성  
Fig. 2. Logarithmic Characteristic of SDLA.

그림2는 IF SDLA의 동작 특성을 나타내고 있다<sup>[1]</sup>. 그림2에서 실제적인 대수 특성은 개별 단 수가 증가할수록 이상적 대수 특성에 접근해 가는 형태를 보이고 있으므로 증폭기의 이득은 작게 하고 단 수를 증가시키는 것이 대수 오차를 줄일 수 있다.

또한 IF SDLA 에서는 IF 증폭단은 일정한 이득 및  $P_{1dB}$ 를 각 단의 증폭기에서 유지하는 것이 대수 증폭기에서 좋은 특성을 얻는데 중요한 역할을 한다. 그러나 실제로 BJT , FET를 이용하여 증폭기를 설계, 제작하면 일정한 이득 및  $P_{1dB}$ 를 얻는 것이 어렵고 소자 수가 많아져 구조가 복잡한 SDLA에서 문제점이 발생하기 쉬우므로 MMIC 증폭기를 사용하였다. 검파기가 제품 법칙 영역에서 동작하다가 어느 신호 레벨 이상에서는 선형영역에서 동작하므로 증폭기가 어느 정도의 신호에서 포화 되거나 증폭기 출력에 리미터 회로를 첨가하여 출력 전력을 일정하게 제한하는 역할을 해주어야 한다.

검파기는 입력 임피던스 정합이 입력 주파수대에 걸쳐 전체적으로 이루어져야 하므로 넓은 주파수 대에서 입력 정합회로를 구성하는 것이 중요하다<sup>[3]</sup>. 그리고 리미터는 바이어스에 따라 제한하는 크기가 다르므로 대수적 특성을 유지할 수 있도록 바이어스 전압을 조정해야 한다<sup>[4]</sup>.

## 2-2. RF 증폭기

IF 연속적 검파 대수 증폭기는 대수 증폭기의 기본 구조에서 보듯이 IF 신호가 각 단의 RF 증폭기의 입력을 통해 들어와 검파기의 검파를 거쳐 리미팅된 각각의 신호들이 가산회로에 의해 합해져 비디오 신호로 출력되는 동작특성을 갖고 있다. 그러나 이런 대수 증폭기는 이상적인 대수 전달함수 특성을 근사적으로 접근해 가기 때문에 증폭기의 이득을 각 단에서 일정하게 유지하는 것이 이상적인 대수 전달함수 특성을 얻는데 중요한 역할을 한다.

여기서 1dB Compression Point( $P_{1dB}$ )를 0 dBm 정도로 유지하는 것이 중요한데, 이는 리미터에서 신호를 리미팅해 주지만 검파기에서 제품법칙 영역을 벗어나 선형 영역에서 동작하게 되면, 신호레벨이 커져 리미터의 제한특성이 무의미해지므로 대수 특성을 얻기가 어려워지기 때문이다.

따라서 증폭기에서 어느 정도 신호의 크기를 제한해 주는 것이 필요하며, 검파기의 다이오드가 제품법칙 영역에서 동작할 수 있도록 신호의 크기를 조정함으로써 우수한 대수 특성을 얻을 수 있다.

또한, 증폭기의 각 단에서 일정한 크기의 유지 외에도 대수 전달함수의 중요한 역할은 리미터이며, 동작 주파수 범위에 걸쳐 일정한 평탄도를 유지하여 신호를 제한해야 만이 대수 전달함수에 기여할 수 있다. 여기서 증폭기의 이득을 각 단에서 얼마나 균일하게 유지하게 하는가 하는 것도 설계시 고려해야 할 중요한 요소이다.

## 2-3. 전력 분배기

전력 분배기는 마이크로파 측정 장비 및 마이크로파 시스템에서 입력신호를 분배하여 출력하거나 입력신호를 합치는데 사용되는 중요한 능동소자이며, 광대역 특성을 얻기 어려운 단점이 있으나 손실이 적고 구조가 간단하여 널리 사용되고 있다. 전력 분배기는 T접합 전력 분배기와 저항성 전력 분배기, Wilkinson전력 분배기가 있는데, T접합 전력 분배기는 모든 포트에 대한 정합이 어렵고 출력 포트에서의 격리가 어렵다. 또한 저항성 전력 분배기는 모든 포트에 대해서 정합이 가능하나 손실이 많고 출력 포트에서의 격리가 어렵다. 따라

서 본 논문에서는 모든 포트에서 정합이 가능하며 출력 포트에서 격리를 이룰 수 있고 손실이 적은 Wilkinson 전력 분배기를 선정하였다.

#### 2-4. 다이오드 검파기와 리미터

검파기는 낮은 레벨의 진폭 변조된 RF 전력을 변조된 DC 신호로 변환하는데 이용되며, 검파기의 출력은 변조된 정보를 검색하는데 즉 RF 레벨을 결정하는데 이용된다. 다이오드 동작 영역 중 출력 전압이 접합에서 RF 전압의 제곱에 비례하는 제곱법칙 영역에 있으면 검파기는 다이오드와 같은 영역에서 동작하게 되고, 입력 신호의 크기가 다이오드가 처리할 수 없을 정도로 커지게 되면 포화상태가 된다. 따라서 다이오드가 제곱법칙 영역에서 동작할 때 검파기로서 동작하게 된다.

리미터는 다양한 크기의 입력 신호를 일정한 크기를 갖는 출력 신호로 변환해 주는 회로로서 EW, 레이더 시스템에 폭넓게 사용되는 소자로서, 3가지 구현방법이 있다.

첫 번째 리미터 구현 방식은 PIN 다이오드 또는 Schottky 다이오드를 이용하여 구현하는 방법으로, 이는 예리한 제한 특성을 얻기가 어렵다.

두 번째 방식은, Tunnel 다이오드를 이용하여 리미터를 구현하는 방식인데, 이는 옥타브 (Octave) 주파수 범위 이상에 걸쳐 우수한 포화 전력의 평탄도를 보여준다. 그러나 이는 첫 번째 방식에서와 같이 출력 전력이 낮고 포화 특성이 좋지 못하며 10dB의 이득 압축을 갖는 단점이 있다.

세 번째 방식은 출력 고조파를 크게 감소시키면서 증폭단을 선형 영역에서 유지하기 위해 제어 게이트를 갖는 이중 게이트 MESFET를 이용하는 방식으로, 우수한 출력 신호의 스펙트럼 특성을 제공하나 제한 특성이 순간적이지 않으며 시정수가 FET의 제어 게이트를 동작시키는 회로의 루프 응답 시간에 의해 정해진다는 단점을 가지고 있다.

본 논문에서는 가격이 저렴하고 손쉽게 구할 수 있으며 특성이 좋은 첫 번째 방식인 Schottky 다이오드를 이용한 다이오드 리미터를 택하였다.

#### 2-5. 가산회로

가산회로는 일반적으로 비디오 증폭기를 이용하여 설계하는데, 비디오 증폭기로 사용된 연산증폭기는 큰 전압 이득을 가진 소자로서 안정한 전압 이득을 위해 부채환을 이용한다. 연산증폭기에 이용되는 차동증폭기는 큰 개방회로의 전압 이득, 큰 입력 임피던스 및 작은 출력 임피던스를 갖고 있으므로, 이런 특성을 이용한 연산증폭기는 주로 스케일 변환, 아날로그 컴퓨터 회로, 위상이동, 발진기 및 계측기 회로에 많이 사용되고 있으며, 또한 비디오 증폭기에도 널리 사용된다.

비디오 증폭기를 이용한 가산회로 구성 방법은 입력 신호에 대해서 출력이 위상변환 시키는 반전단자를 이용하는 방법과 위상변환이 없는 비반전단자를 이용하는 방법 등이 있는데, 본 논문에서는 비반전단자를 이용하는 방법을 선정하였다.

### III. SDLA의 개별회로 설계

#### 3-1. RF 증폭기

이상적인 대수 전달함수 특성에 근접된 전달 특성을 얻기 위해 RF 증폭기용 소자는 Agilent Technology사의 MGA-85563 GaAs RFIC LNA MMIC를 사용하였다.

증폭기의 개별 이득은 6 GHz 에서 약 13 dB 정도로 크지만, 대수 오차를 줄이기 위해서 이득이 약 10 dB 정도가 되도록 회로를 설계하였다.

RF 증폭기의 설계사양은 주파수범위가 5~7GHz, 입력 및 출력반사손실 13dB이상, 이득  $10\text{dB} \pm 0.2\text{dB}$ , 잡음지수는 2.0 dB 미만이 되도록 하고,  $P_{1\text{dB}}$ 는 0 dBm이 되도록 회로를 구성하였다.

MMIC는 이득이 주파수에 따라서 평탄하지 않고 임피던스 정합상태가 -7 dB이하로 좋지 않으므로 그대로 사용하지 않고, 그림3과 같이 마이크로 스트립 라인을 이용하여 저주파

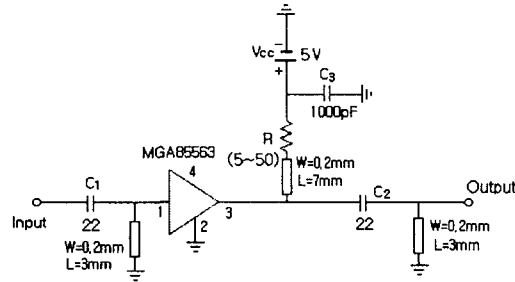
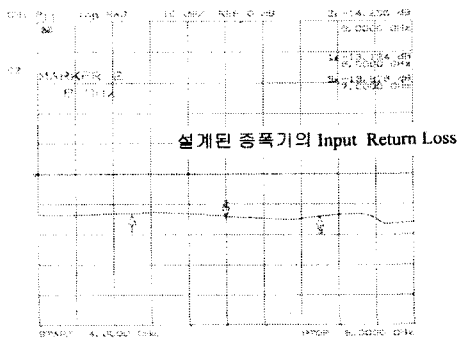
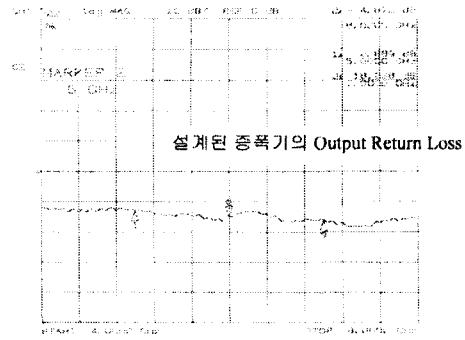


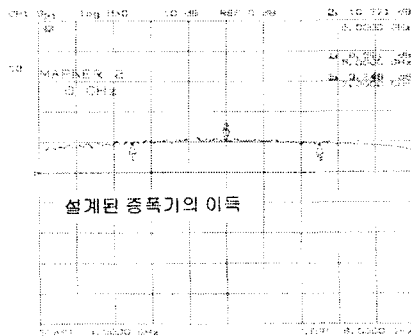
그림3. MMIC 증폭기의 회로도  
Fig3. Schematic of MMIC amplifier.



(a) input return loss



(b) output return loss



(c) gain

그림4. RF 증폭기의 측정결과  
Fig.4. Measured values of RF amplifier

이득의 감소를 방지하면서 중심 주파수(6 GHz)에서 이득이 증가되는 정합회로로서 동작 할 수 있도록 하였고, 저항 R을 통하여 바이어스에 대한 안정도를 개선하였으며, 이를 EESOF Libra CAD Tool을 이용해서 5~7 GHz에서  $10 \text{ dB} \pm 0.2 \text{ dB}$  이내의 평탄한 이득을 얻을 수 있도록 설계하였고, 입·출력 반사손실은  $-13\text{dB}$  이하의 특성을 가지도록 구성하였다.

그림4는 설계된 RF 증폭기의 측정값으로서, 입력 및 출력반사손실은  $13\text{dB}$ 이상, 이득은  $10\text{dB}$  정도로서, 본래의 설계 목표치를 만족함을 볼 수 있다.

### 3-2. 전력 분배기

그림1(b)의 첫째 단 출력은 첫째 단의 검파기 입력과 두 번째 단의 입력으로 분배해 주어야 하는데, 이를 위해 전력 분배기를 EESOF LIBRA 6.0 CAD Tool을 이용하여 그림5와 같이 설계 구현하였다. 설계하고자 하는 전력 분배기의 설계 목표치는,  $20\text{dB}$  미만의 입력 반사손실과  $30\text{dB}$  이상의 출력 반사손실,  $3.3\text{dB}$  정도의 삽입손실,  $30\text{dB}$  이상의 분리도를 갖게 하였다.

주파수 범위가 넓은 경우 Wilkinson 전력 분배기는 협대역 특성을 갖고 있으므로 보통 중심 주파수가 6 GHz에 맞춰 설계해야 하지만, 본 논문에서는 증폭기의 이득이 5 GHz대와 7 GHz대는 거의 비슷하고, 6 GHz대에서는 매우 낮아 변화가 심하기 때문에 평탄한 특성을 얻기 위해, 증폭기의 이득 특성이 고주파에서 낮게 나타나므로 6 GHz를 중심으로 설계하여 전체 시스템에서 고주파 특성이 떨어지는 것을 보상하도록 하였다<sup>[7]</sup>.

구현된 전력 분배기의 특성을 그림6(a)~(d)에 나타내었다. 기판의 유전율은 2.52, 기판 두께는  $0.508\text{mm}$ , 도체 두께는  $0.02\text{mm}$ 인 타코닉사의 테프론 기판을 사용하였다.

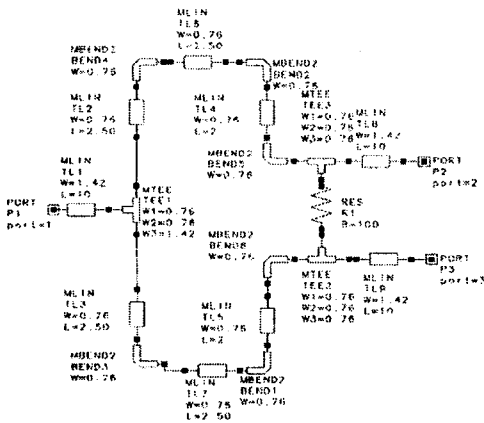
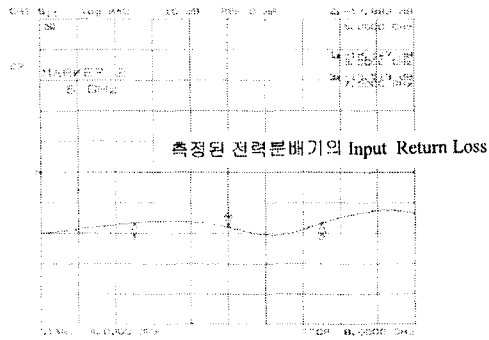
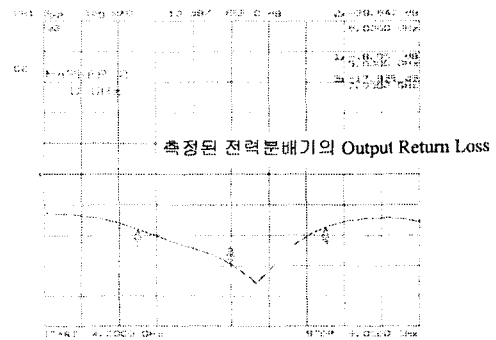


그림5. 설계된 전력 분배기 회로도  
Fig.5. Schematic diagram of the designed power divider.

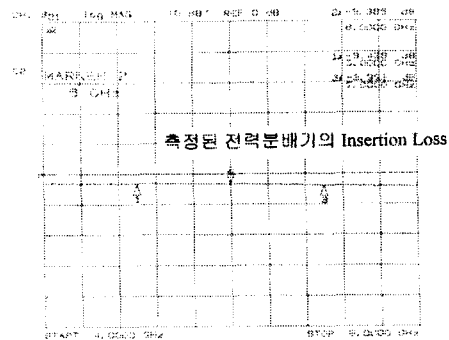




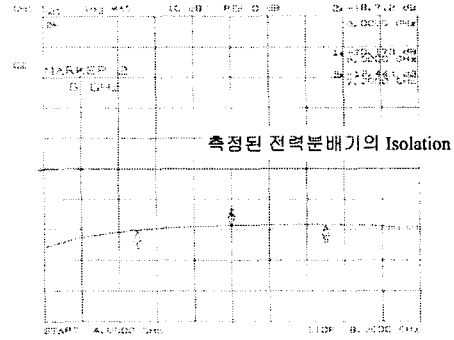
(a) Input return loss



(b) Output return loss



(c) Insertion loss



(d) Isolation

그림6. 구현된 전력 분배기 측정결과

Fig.6. Measured values of the implemented power divider.

### 3-3. 다이오드 검파기와 리미터

대수 증폭기의 성능은 검파기에 의해 결정될 만큼 검파기의 역할은 매우 중요하다. 이는 검파기가 낮은 진폭레벨의 변조도나 신호의 전력을 변조된 DC로 변환시켜 변조된 신호가 지니고 있는 정보를 검색하는 비선형 소자이기 때문이다.

검파기에 사용되는 다이오드는 Metalics사의 MSS20-047-22 쇼트키 다이오드를 사용하여 그림7과 같이 설계였다.

설계된 회로에서는 ASK(Amplitude Shifting Keying)나 OOK(On-Off Keying) modem 인 RF 신호에 변조된 정보를 구형파인 비디오 신호를 검색하는 작용을 한다. 이 회로에서 사용하는 쇼트키 다이오드(P형)는 소자 내에 검파 기능을 하는 특성이 있고 바이어스를 걸어 주지 않고서도 동작할 수 있는 특성이 있으며, 이는 RF 전압의 제곱에 비례하는 제곱 법칙영역에 있으면 일반 다이오드와 같은 영역에서 동작하고, 입력신호의 크기가 다이오드가 처리할 수 없을 정도로 커지면 포화상태에서 동작하게 된다.

RF 증폭기와 전력 분배기의 경우  $50\Omega$  시스템이므로 검파기의 입력 임피던스를  $50\Omega$ 에 정합시켜야 하고, 주파수 범위가 5~7 GHz로 넓기 때문에 광대역 정합을 이루도록 하였고, 이를 그림8(a)에 스미스(Smith) 도표로 나타내었고, (b)는 대수 스케일로 나타낸 것이다.

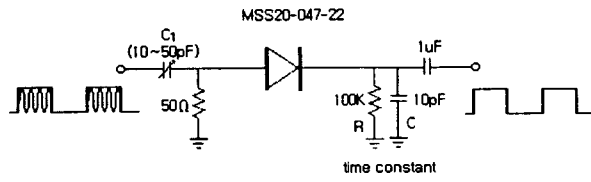
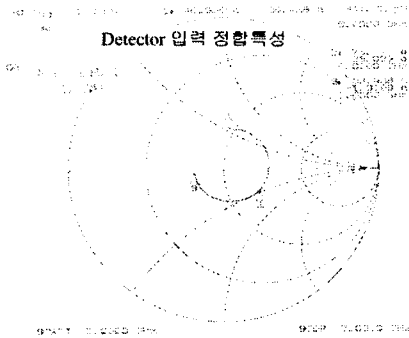
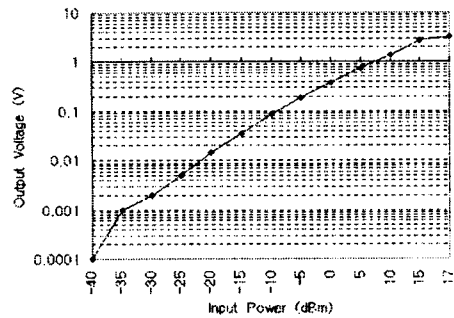


그림 7. 설계된 검파기 회로도.  
Fig.7. Schematic of designed detector.



(a) measured input impedance



(b) logarithmic characteristics of input voltage vs input power

그림8 구현된 검파기  
Fig.8 . Implemented detector.

다이오드 리미터로는 PIN 다이오드, 쇼트키 다이오드, 턴널 다이오드 등을 사용하나, 본 논문에서는 제한특성이 좋고 사각파를 얻기가 쉬운 리미터용 다이오드로 AP1N4248 쇼트키 다이오드를 사용하여 그림9와 같이 설계하였다. 설계된 회로에서 저항 3KΩ은 포화상태에 이르는 전압레벨을 결정하는데 있어 중요한 역할을 하는데, 이 값이 아주 작은 값(0)인 경우

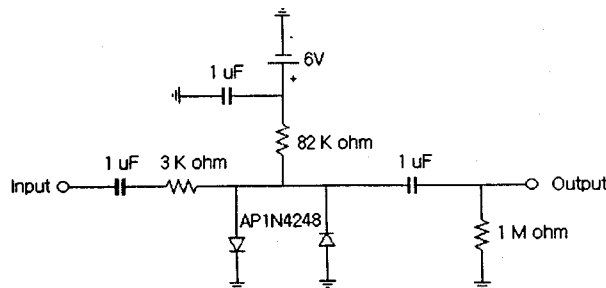


그림 9. 다이오드 진폭 제한기의 설계된 회로도  
Fig.9. Schematic of designed diode limiter.

포화상태에 이르는 전압레벨이 커지면 대수 증폭기에서의 압축력에 영향을 미치게 되고, 너무 큰 값을 갖게 되면 포화상태에 이르는 전압레벨이 작아져 대수적 특성을 이루지 못하게 된다. 그러므로 바이어스 저항값에 따라 바이어스 전압이 변하므로 바이어스 저항을 잘 선택하는 것이 중요하다.

설계된 리미터의 경우 전체 회로의 대수 특성이 나올 수 있도록 바이어스 전압을 조정해 줄 필요가 있는데, 여러 가지 바이어스 저항(본 논문에서는  $240\text{K}\Omega$ ,  $80\text{K}\Omega$ ,  $30\text{K}\Omega$  3가지 경우 실험)에 따른 입력전압 대 출력전압의 변화를 측정한 값을 그림10에 나타내었다.

본 논문에서는, 그림10에서 보인 바와같이 대수적인 특성에 근접한 특성을 보인 저항값은  $82\text{K}\Omega$ 으로 선택하고, 전체 회로 구현시 대수 특성이 나오도록 개별적으로 조정을 하였다. 왜냐하면 MMIC 증폭기의 출력전력이  $17\text{dBm}$  이상이고 별도의 IF 출력 제한기가 없기 때문에 검파기가 제품영역 밖에서 동작하고 리미터에도 예상보다 큰 전압이 걸리기 때문이다.

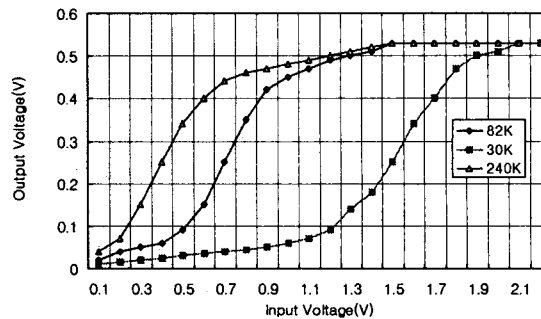


그림 10. 바이어스 저항값에 따른 리미터의 입·출력 특성  
Fig.10. Characteristics of diode limiter with bias resistor value.

#### IV. SDLA의 제작 및 특성측정

압축력이 뛰어나고 동작범위가 넓으며 감도특성이 우수한 1단 RF SDLA는 RF 증폭기 [그림3], 전력 분배기[그림5], 다이오드 검파기[그림7], 다이오드 리미터[그림9] 등 부분 회로도를 이용하여 기본단위 회로를 그림 11과 같이 설계하였다.

각 단의 출력은 비디오 증폭기로 이루어진 가산회로에서 합해져 SDLA 출력측에 전압레벨을 갖고 있는 펄스 신호로 출력하는 구조를 갖고 있다<sup>[8]</sup>.

SDLA의 각 단은 여러 회로로 이루어져 있어 이들의 입·출력간의 임피던스 정합이 우수한 특성을 얻기 위해서는 대단히 중요하다.

RF 증폭기의 입력측은 정합회로를 이용하여 정합하였고, 출력측은 정합회로 및 전력 분배기에 의해서 정합이 이루어져 우수한 신호성분을 얻을 수 있었다. 그러나 입력 임피던스가 큰 다이오드를 사용한 검파기에서는 광대역 주파수에서 임피던스 정합이 선결 과제인데, 신호원과 다이오드 입력측 사이에 광대역 정합회로를 삽입함으로써 임피던스 문제를 해소하였다.

본 논문에서는, 사용하는 MSS20-047-22 쇼트키 다이오드의 내부 임피던스를 고려하여 광대역 정합을 하기 위해  $50\ \Omega$ 의 저항을 삽입하여 그림 8(b)와 같은 대수 특성을 얻을 수가 있었다. 그러나 검파기의 부하저항 값에 따라 감도특성이 변화하고, 이는 다음 단인 리미터의 입력 임피던스에 영향을 미치므로 적절한 값을 선택하는 것이 필요할 것이다.

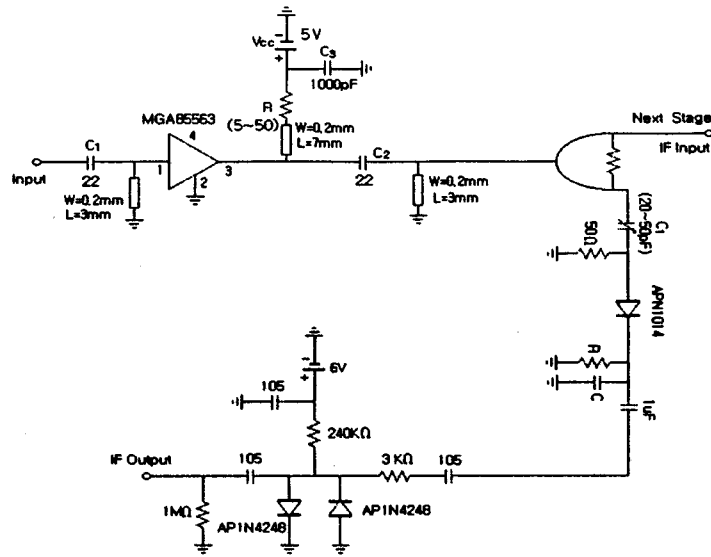


그림 11. SDLA의 기본단위 회로도

Fig. 11. Schematic diagram of the designed unit stage circuit.

리미터의 출력 측 부하저항도 비디오 증폭기의 입력 임피던스가 크므로 적절한 값을 선택하여 임피던스 정합을 이루어야 한다. 양호한 리미팅된 전달함수를 얻기 위해서는 다이오드가 포화영역에서 동작하도록 해야 한다<sup>[9]</sup>.

본 논문에서 구현한 SDLA는 앞절에서 구성한 기본단위 회로를 그림 1(b)와 같이 12단 까지 연결하여 전체회로를 MIC 형태로 제작하였다. 기본단위 회로에서 RF 증폭기의 이득을 10 dB 정도, 4 dB 전력 분배기를 사용함으로써 -80dB 정도의 매우 작은 이득을 검출하기 위해서는 12단으로 구현함으로써 가능하였다. 즉, 대수 증폭기의 선형성을 나타내는 대수 오차는 증폭기의 이득을 작게 하고 단 수를 늘리면 좋은 선형성을 얻을 수가 있다.

SDLA의 각 단 기본단위 회로의 출력신호는 가산회로에서 합해져 최종 출력신호가 된다. 연산 증폭기의 비반전 회로로 설계된 가산회로는 그림 12에 나타내었다<sup>[9]</sup>.

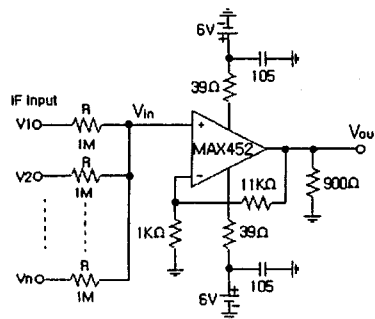


그림 12. 설계된 가산회로

Fig. 12. Designed summing circuit.

여기서 가산회로에 사용된 비디오 증폭기는 MAXIM사의 MAX452 OP-AMP를 사용하였고, 이를 이용하여 그림 12와 같이 설계하였다. 이 회로는 입력신호에 대해 출력신호의 위상 변화가 없는 회로이다.

일반적으로 비디오 신호의 임피던스는 75 Ω 정도이므로 12단으로 구성된 SDLA의 임피던스는 900 Ω가 되므로 임피던스 정합을 이루기 위해서 출력 측에 900 Ω를 삽입하였고, 비디오 증폭기의 기울기가 19.2 mV/dB이 되도록 설계하였다.

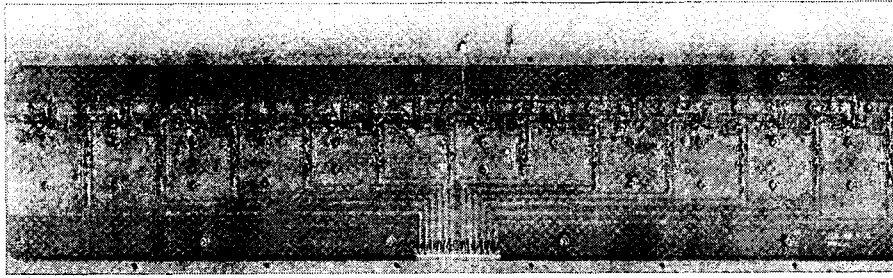


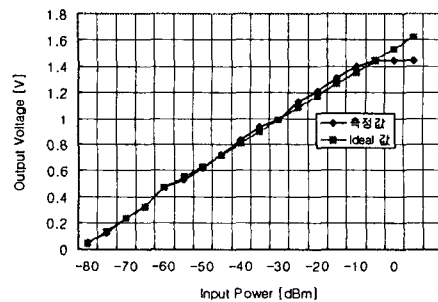
그림 13. 구현된 RF SDLA의 사진

Fig. 13. Photograph of the implemented RF SDLA.

본 논문에서 사용한 기판은 비유전율 2.52, 기판두께 0.508 mm, 도체두께 0.02 mm인 타코닉사의 테프론 기판을 이용하였다. 여기서 입력전력에 따른 출력전압 특성이 대수적인 결과를 얻을 수 있도록 하기 위하여, 대수 증폭기의 선형성을 나타내는 대수오차는 ±1.5 dB 이하로, 동작범위는 80 dB로, VSWR 및 잡음지수 등을 고려해서 설계하였다.

그림 13은 그림 1(b)와 같은 RF SDLA를 구현한 실제 기구물 사진을 나타낸 것이다.

Input Power (dBm)	Output Voltage(V)		Input Power (dBm)	Output Voltage(V)	
	Measured	Ideal		Measured	Ideal
-80	0.0483	0.045	-35	0.9324	0.90
-75	0.1242	0.135	-30	0.9900	0.99
-70	0.2337	0.24	-25	1.1280	1.08
-65	0.3327	0.32	-20	1.2012	1.17
-60	0.4707	0.47	-15	1.3086	1.26
-55	0.5292	0.55	-10	1.3950	1.35
-50	0.6180	0.63	-5	1.4400	1.44
-45	0.7245	0.72	0	1.4400	1.53
-40	0.8340	0.81	5	1.4400	1.62



(a) measured and ideal output voltage vs input power

(b) comparison graph

그림 14. 구현된 SDLA(12단)

Fig. 14. complemented of the SDLA(12-stage) characteristics.

구현된 SDLA의 입력전력과 출력전압에 대한 측정치와 이상적인 값을 그림 14(a)에 기술하였고, 이에 대한 전달특성을 그림 14(b)에 나타내었다. 측정결과 19.2 mV/dB의 완만한 기울기 특성을 얻으므로써 전달특성이 -80~0 dBm의 입력전력 범위에 대해 0~1.53 V의

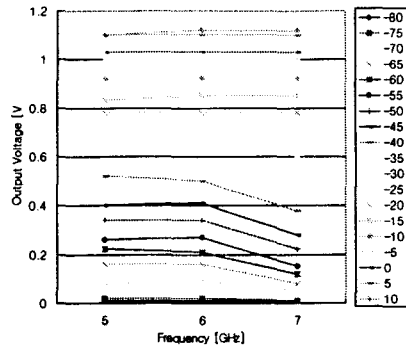
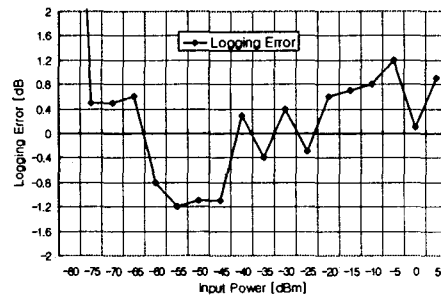


그림 15. 입력전력에 따른 출력전압의 주파수 특성

Fig. 15. Frequency characteristics of output voltage vs input power for the implemented SDLA.

Input Power (dBm)	Logging Error (dB)	Input Power (dBm)	Logging Error (dB)
-80	7.8	-35	-0.4
-75	0.5	-30	0.4
-70	0.5	-25	-0.3
-65	0.6	-20	0.6
-60	-0.8	-15	0.7
-55	-1.2	-10	0.8
-50	-1.1	-5	1.2
-45	-1.1	0	0.1
-40	0.3	5	0.9

(a) measured values of logging error



(b) logging error characteristics

그림 16. 구현된 SDLA 대수 오차

Fig. 16. Logging error for the Implemented SDLA

출력전압으로 압축되어 80 dB의 동작범위인 설계목표치를 얻어 만족하였다.

측정 조건으로, 중심 주파수는 6 GHz이고, 단일 신호원에서 신호는 1 MHz 펄스로 내부 변조하여 실험한 결과이다.

그림 5.35는 제작된 SDLA의 전체 주파수 대역에서의 입력 전력에 따른 출력 전압의 변화를 나타내고 있는데, 주파수 특성은 낮은 신호레벨에서는 7 GHz에서 특성이 나쁘나 신호레벨이 커지면 전체 주파수에 걸쳐 평탄한 특성을 얻을 수 있음을 보여 주고 있다. 이는 낮은 신호레벨에서의 임피던스 정합에 의한 결과이며, 정합회로를 조정함으로써 조정할 수가 있다.

구현된 SDLA에서 측정된 대수오차를 그림 16(a)를 (b)와 같이 표시하였으며  $\pm 1.2$  dB 이하의 대수오차를 나타냄을 알 수 있다. 단 수를 더욱 늘리면 더욱 개선된 대수오차를 얻을 수 있으며, 더욱 넓은 동작범위를 얻을 수 있음을 확인하였다.

실제로 구현된 SDLA의 특성을 종합하면, 단일 종합회로를 12단으로 구성함으로써, 비디오 증폭기의 기울기를 19.2 mV/dB 정도로 하였을 때 동작범위가 80 dB(-80 dBm~0 dBm), 대수오차는  $\pm 1.2$  dB 이하로 나타나 우수한 대수 특성을 얻을 수 있었다.

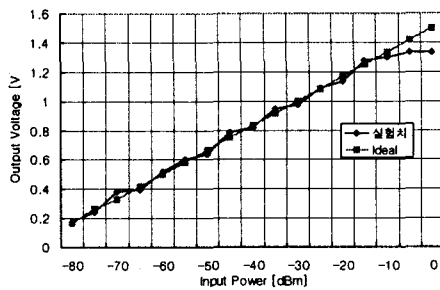
그림 17(a)는 증폭기의 이득을 12 dB로 하고  $P_{1dB}$ 는 0 dBm일 때, 10단으로 구성된 SDLA의 입력전력에 대한 출력전압의 특성을 나타낸 것으로, 대수오차가 3.56 dB 정도로 매우 크게 나타났다. 여기서 비디오 증폭기의 기울기는 12단으로 한 경우와 같이 19.2 mV/dB로 하였다.

10단으로 구성된 경우, 비디오 증폭기의 이득이 1이 되도록 회로를 구성하였는데, 이 때 출력전압은 1.33 V에서 포화상태가 됨을 보았다.

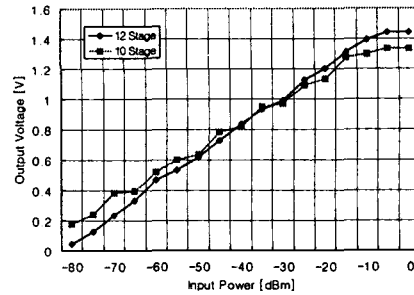
설계한 목표치보다 이득을 12 dB로 크게 한 경우에는, SDLA 기본 단위회로의 단 수를 10 단으로 하여야 -80 dBm의 미소한 출력을 얻을 수 있지만, 매우 큰 대수오차가 문제이다.

이득을 10 dB 정도로 작게 한 경우에는, 12단으로 구성된 시스템보다 복잡성이 있다 하더라도 대수 오차를 현저히 줄일 수 있음을 볼 수 있었다.

그림 17(b)는 SDLA의 구성을 12단으로 한 경우와 10단으로 하였을 때의 전달특성을 비교한 것으로, 12단으로 한 경우보다 10단으로 한 경우 변화 폭이 보다 크게 나타남을 볼 수가 있었다.



(a) Comparison of the measured transfer characteristics of the 10-stage SDLA.



(b) Comparison of the ideal and measured transfer characteristics of the 10-stage and the 12-stage SDLA

그림 17. 구현된 SDLA  
Fig. 17. Complemented SDLA

## V. 결론

레이다 및 EW 수신 시스템에서 사용되는 주파수대는 3~18 GHz로서, 이와같은 넓은 주파수 범위에 있는 신호를 검출하기 위한 시스템을 구성하기란 매우 어려우므로 3~5 GHz, 5~7 GHz, ... 17~19 GHz 등의 주파수대에 따라 각각 시스템을 구성하여 전체적으로 신호를 합성함으로써 필요한 신호를 검출할 수가 있다.

본 논문에서는 레이다 및 EW 수신시스템의 하부 시스템인 SDLA(Successive Detection Logarithmic Amplifier)를 C-Band내의 5~7 GHz대인 주파수대에서 동작할 수 있도록 설계, 구현하였다.

SDLA 설계에 있어서 동작범위, 선형성 즉 대수오차, 시스템의 크기 등을 고려해야 하지만, 본 논문에서는 MIC로 제작 구현함으로써 동작범위와 선형성 및 대수오차에 대해서 연구 검토하였다.

10 dB의 이득을 갖는 증폭기를 12 단으로 구현한 SDLA의 특성은 -80 dBm~0 dBm의 동작범위와  $\pm 1.2$  dB의 이하인 대수오차를 얻었고, 19.2 mV/dB의 대수 기울기, 입력 VSWR 2.0 : 1, 출력전압 범위는 0~1.53V, dir 2dB의 잡음지수, 900 $\Omega$ 의 비디오 임피던스를 얻었다. 또한 이득이 12 dB인 증폭기를 10 단으로 구성한 경우에는 대수오차가  $\pm 3.56$  dB로 매우 크게 변화함을 볼 수가 있었다.

본 논문에서는 대수오차를 줄이기 위해 단 수를 12단으로 늘여 대수 기울기를 낮게 하였고, 증폭기의  $P_{1dB}$ 를 0 dBm 정도로 유지시켜 검파기의 제곱법칙 영역에 존재하도록 설계하였다.  $P_{1dB}$ 가 +5 dBm에서 -5dBm까지 설계 가능한 디바이스를 사용하여 0dBm에 가까운 레벨을 유지하도록 RF 증폭기 회로의 소자 값을 조절하고 리미터의 레벨 폭이 240 mV~650 mV사이에 있도록 설계함으로써 우수한 대수 특성을 얻을 수가 있었다.

구현된 SDLA는 5~7GHz의 주파수 범위에서 대수 선형성 등이 만족할만한 동작특성을 얻을 수 있었지만, 앞으로 3~18GHz의 광대역에서 SDLA 구현에 대한 연구와 함께 소형화, 경량화, 저전력화를 이루도록 SDLA의 기본단위 회로에 대한 MMIC화 및 SDLA 전체 시스템에 대한 MMIC화로의 제작이 진행되어야 할 것으로 사료된다.

## 참고문헌

- [1] Peter Vizmuller, "RF Design Guide System, Circuit and Equations," Artech House, pp. 64-69, 1995.
- [2] Lawrence, Larson, "RF and Microwave Circuit Design for Wireless Communications," Artech House, pp. 392-392, 1996.
- [3] Guillermo Gonzalez, "Microwave Transistor Amplifiers Analysis and Design," Prentice Hall, pp. 352-364, 1997.
- [4] David M. Pozar, "Microwave Engineering", Addison-Wesley Publishing Com., pp. 395-434, 679-688, 1984.
- [5] Richard Smith Hughes, "Logarithmic Amplification with Application to Radar EW," Artech House, 1986.
- [6] I. J. Bahl, E. L. Griffin, "Monolithic Limiting Amplifiers for EW system", *Microwave Journal*, pp. 205-209, Sep. 1987.
- [7] MA-COM, "Logarithmic IF Amplifiers", MA-COM, Application 527, pp.2-134, 137, 1994.
- [8] L. W. Chua, "A GaAs MMIC for 2~7 GHz Successive Detection Logarithmic Amplifier", *IEEE Microwave and Millimeter-wave Monolithic Circuit Symposium Digest*, pp. 145-148, 1992.
- [9] N. Scheinberg and R. Michels, "A Monolithic GaAs Low Power L-Band Successive Detection Logarithmic Amplifier", *IEEE Journal of Solid State Circuit*, vol.29, pp. 151-154, Feb. 1994.
- [10] John L. B. Walker, "High-Power GaAs FET Amplifier", Artech House, pp. 315-351, 1993.



- [11] J. B. Tsui, "Microwave Receivers and related Components", Peninsula 15. M/A COM., pp. 4-98~107. 1994.
- [12] Gianluca Acciari, Franco Giannini, "A Novel Design Methodology for Micro. True Logarithmic Amplifiers", *IEEE MTT-S Digest*, pp.16-19, 1990.

#### 임 경택

1977년 인하대학교 전자공학과  
 1980년 명지대학교 대학원 전자공학과 공학석사  
 2000년 국민대학교 대학원 전자공학과 공학박사  
 1978년 ~ 현재 : 시립인천전문대학 전자과 교수  
 관심분야 : RF 회로설계/MMIC설계

#### 윤 기방

1976년 숭실대학교 전자공학과  
 1981년 숭실대학교 대학원 전자공학과 공학석사  
 1999년 국민대학교 대학원 전자공학과 박사과정수료  
 1981년 ~ 현재 : 시립인천전문대학 전자과 교수  
 관심분야 : 신호처리/전자과 측정

#### 조 홍구

1972년 서울대학교 전자공학과  
 1979년 서울대학교 대학원 전자공학과 공학석사  
 1987년 서울대학교 대학원 전자공학과 공학박사  
 1980년 ~ 현재 : 국민대학교 전자공학과 교수  
 관심분야 : 마이크로파 평면회로 시뮬레이터/  
 MMIC 회로설계