

FNNs 구현을 위한 새로운 학습 방안

A New Learning Scheme for Implementation of FNNs

최명렬 · 조화현

한양대학교 전자·전기·제어계측공학과 ASIC Lab.

ASIC Lab. Dept. of EECS, Hanyang University.

Tel: 0345-400-4036, Fax: 0345-501-8114

ABSTRACT

본 논문에서는 FNNs(feedforward neural networks) 구현을 위한 새로운 학습 방안을 제안하였다. 제안된 방식은 은 칩 학습이 가능하도록 FNNs와 학습회로 사이에 스위칭 회로를 추가하여 단일패턴과 다중패턴 학습이 가능하도록 구현하였다. 학습 회로는 MEBP(modified error back-propagation) 학습 규칙을 적용하였고 간단한 비선형 시냅스 회로를 이용하여 구현하였다. 제안된 방식은 표준 CMOS 공정으로 구현되었고, MOSIS AMI 1.5 μ m 공정 HSPICE 파라미터를 이용하여 그 동작을 검증하였다. 제안된 학습방안 및 비선형 회로는 향후 학습 기능을 가진 대규모의 FNNs 구현에 매우 적합하리라 예상된다.

I. 서론

VLSI 기술의 발전과 인간 신경계에 대한 연구가 진행됨에 따라 포유동물의 신경계를 본따 다양한 신경망 모델을 구현하는 것이 가능해졌다. 그러나, 이러한 신경망 모델은 생물학적 신경망에 비해 크게 간략화 된 것이다. 신경계가 모방에 의해 구현되어 질 때 인공신경망(artificial neural networks)이라 부른다.

많은 연구자들은 많은 종류의 인공신경망 모델을 가지고 신경망의 소프트웨어 또는 하드웨어 형태의 구현에 대해 연구하고 있다. 소프트웨어 구현은 대개 신경망의 해석과 구조에 기반을 둔 알고리즘을 채용하여 기존의 디지털 컴퓨터 상에서 수행된다. 이 소프트웨어 의한 방법은 현재 구현된 신경회로망 모델 및 구조 결정과정에서 유효하게 사용될 수 있다. 학습회로를 포함한 인공 신경 회로망의 하드웨어 구현은 일반적으로 선형 곱셈회로를 가지는 선형 시냅스 회로를 사용하여 구현한다[1,2]. 본 논문에서는 비선형 시냅스 회로와 비선형 곱셈기를 이용하여 단일/다중 학습이 가능한 두가지 방식을 제안하였으며, 학습 회로는 MEBP(modified

error back-propagation) 학습 규칙을 적용하여 구현하였다. 제안한 방식 모두 기존의 CMOS 기술을 가지고 구현하였으며, 그 동작은 HSPICE 회로 시뮬레이터로 검증하였다.

II. 본론

2.1 신경회로망 구현을 위한 간단한

아날로그 비선형 회로

본 논문에서는 신경회로망 구현을 위하여 간단한 아날로그 비선형 곱셈회로를 제안하였다. 제안된 비선형 곱셈 회로(NMC)는 비선형 차 회로(NDC)와 비선형 시냅스 회로(NSC)로 구성 되어있다. NSC는 간단한 비선형 시냅스 회로로 그림 1에 블록도를 나타내었고, NDC는 두 입력 사이에 비감소 미분 단조 비선형 함수의 값을 출력하며 그림 2에 블록도를 나타내었다. 제안된 NMC의 블록 다이어그램을 그림 3에 나타내었다. 이러한 비선형 함수는 CMOS 공정을 이용한 기존의 선형 곱셈기보다 트랜지스터의 수가 적어 하드웨어 구현이 쉽다. 제안된 비선형 회로들은 HSPICE 시뮬레이터를 이용하여 시

물레이션 하였다. 그 결과 비선형 아날로그 회로들은 온 칩 학습기능을 가진 다층 신경회로망 구현에 적용할 수 있다.

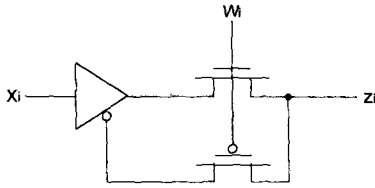


그림 1. 비선형 시냅스 회로(NSC)

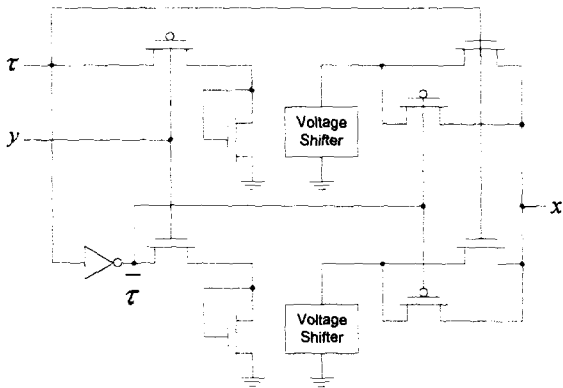


그림 2. 비선형 차 회로(NDC)

2.2 MEBP 학습 규칙의 구현

그림 3은 학습회로를 내장한 단일/다중패턴 FNNs의 블록이다. 이 회로는 $2 \times 2 \times 1$ FNN 회로인데, MEBP 학습 규칙을 이용하였으며, 두 개의 입력노드와 은닉층에 두 개의 뉴런, 출력층에 한 개의 뉴런을 가지고 있다. 그림 3에서 ID-MUL은 아날로그 신호와 아날로그 시냅스 가중치를 비선형적으로 곱하는 비선형 곱셈기를 뜻한다.

MEBP 학습 규칙은 EBP 규칙의 안정성과 수렴도를 잃지 않으면서 EBP 규칙의 시그모이드 도함수 항을 제외한 것이다[3,4,5]. MEBP 학습 규칙에서 뉴런 k 가 출력 층에 있으면 식 (1)로써 표현되며, 은닉 층에 뉴런 j 가 있는 경우 식 (2)로 표현된다.

$$\dot{w}_{kj} = \eta(\tau_k - \bar{y}_k)y_j - \alpha_{ji}\bar{w}_{ji} \quad (1)$$

$$\dot{w}_{kj} = \eta \sum_m \bar{w}_{mj}(\tau_m - \bar{y}_m)y_i - \alpha_{ji}\bar{w}_{ji} \quad (2)$$

비선형 MEBP 규칙은 EBP 규칙의 안정과

수렴도를 잃지 않으려면 선형 MEBP 규칙에 비감소 미분 단조 시그모이드형 함수(nondecreasing differentiable monotone sigmoid-type function)를 이용해야만 한다. 그리고 비선형 MEBP 규칙은 식 (4)처럼 주어진다.

$$\dot{w}_{kj} = \eta \sum_p f(\tau_{pk} - \bar{y}_{pk}) \cdot y_{pj} - \alpha_{ji}\bar{w}_{ji} \quad (4)$$

$$\dot{w}_{ji} = \eta \sum_k g(\bar{w}_{kj} \cdot f(\sum_p (\tau_{pk} - \bar{y}_{pk}) \cdot y_{pj})) - \alpha_{ji}\bar{w}_{ji}$$

여기서 $f(\cdot)$ 와 $g(\cdot)$ 는 비감소 미분 단조 시그모이드형 함수이다.

2.3 다중 학습패턴의 구현

표 1의 결과는 제안된 학습회로가 주어진 입출력 패턴을 성공적으로 학습하였다는 것을 보여준다. 그러나 여러 개의 서로 다른 입출력 패턴을 학습하기 위해서 한번에 하나의 입출력 패턴을 인가하면 학습회로는 전체적으로 이전 학습 패턴을 유지하지 못한다는 것을 알게 되었다. 이것은 시냅스 가중치가 새로 인가된 학습 패턴만을 학습하기 위해 갱신되기 때문이다.

다중 입출력 패턴을 학습하기 위해 각 입력-목표 패턴이 상응하는 학습단계동안 연속적으로 인가된다. 예를 들어, 두 개의 입출력 패턴을 학습하는 경우, 첫 번째 패턴은 첫 번째 학습단계동안 인가되며 다른 패턴은 다음 단계에서 인가된다. 그 다음에는 학습이 끝날 때까지 이러한 동작을 반복한다.

HSPICE 시뮬레이션으로 하나의 목표를 가지는 2-, 3-, 4-패턴 학습을 수행하였다. 시뮬레이션 결과 표2와 표 3에 각각 나타냈으며, 이 표에서 제안된 학습 회로의 출력(y)은 목표치(τ)에 수렴하며, 안정된 가중치 값을 가지는 것을 알 수 있었다.

III. 결론

본 논문에서는 온 칩 학습기능을 수행 할 수 있으며, 비선형 시냅스 회로와 새로운 학습 방안을 채용한 MEBP 학습 규칙을 적용하여 FNNs를 구현하였다. 학습 규칙은 단일/다중 패

턴에 대하여 학습을 수행하기 위하여 다층 회드포워드(feedforward) 회로와 학습 회로 사이에 스위치 제어 회로를 추가하여 구현하였다. 제안된 학습 방안은 2x2x1 회드포워드 신경회로를 위해 구현되었으며, HSPICE를 이용하여 그 동작을 검증하였다. 그 결과 제안된 학습 방안은 대규모의 학습 기능을 가진 FFNs 구현에 적합하리라 예상된다.

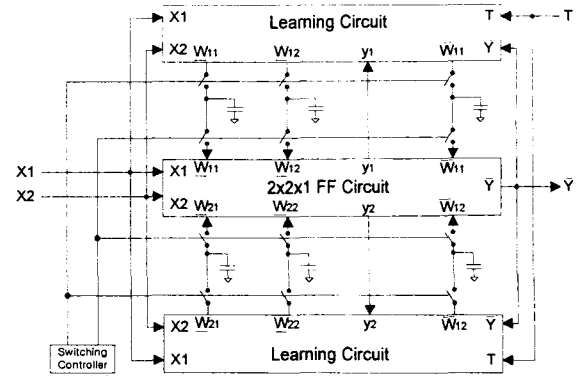


그림 3. 제안된 학습 방안을 적용한 2x2x1 FFNs

본 연구는 과학기술부의 뇌정보처리연구 사업의 지원을 받아 수행되었습니다.

IV. 참고 문헌

- [1] D. E. Rumelhart, J. L. McClelland, and the PDP Research Group Eds., Parallel Distributed Processing Explorations in the Microstructure of Cognition, vol. 1, Foundations, Cambridge, MA:MIT Press, 1986.
- [2] F. Kub et al., Programmable Analog Vector-Matrix Multipliers, IEEE J. Solid-State Circuits, SC-25, pp. 207-214, Feb. 1990.
- [3] M. R. Choi, Analog Vector Multipliers for Feedforward Neural Networks, Journal of Engineering & Technology, Vol. 2. No. 1, Hanyang University, Korea, pp. 13-21, Sept. 1993.
- [4] M. R. Choi and F. Salam, Implementation of Feedforward Artificial Neural Networks With Learning Using Standard CMOS Technology, ISCAS 91, Singapore, pp. 1509-1512, May 1991.
- [5] M. R. Choi, Implementation of Feedforward Neural Networks with Simple Nonlinear Circuits, Journal of Hanyang Research Institute of Industrial Science, Vol.hanyang University, Korea, pp. 15-25, Feb. 1999.

표 1. 단일패턴 시뮬레이션 결과

입력	x_1	0	0	5	5
	x_2	0	5	0	5
목표치	τ	0	5	0	5
출력	y	1.64	4.67	1.64	4.47
시냅스 가중치	\bar{w}_{11}	2.74	2.52	2.26	2.48
	\bar{w}_{12}	2.74	2.48	2.74	2.48
	\bar{w}_{21}	2.74	2.52	2.26	2.48
	\bar{w}_{22}	2.74	2.48	2.74	2.48
	w_{11}	3.24	2.24	3.24	2.30
	w_{12}	3.24	2.24	2.24	2.30

표 2. 2-패턴 시뮬레이션 결과

입력	x_{11}	0	0	0	0
	x_{12}	0	5	0	5
	x_{21}	5	5	5	5
	x_{22}	0	5	0	5
목표	τ	0	5	5	0
출력	y	0.797	4.66	4.66	0.797
가중치	\bar{w}_{11}	2.5	2.5	2.5	2.5
	\bar{w}_{12}	2.5	2.5	2.5	2.5
	\bar{w}_{21}	2.5	2.5	2.5	2.5
	\bar{w}_{22}	2.5	2.5	2.5	2.5
	w_{11}	3.1	2.25	2.25	3.1
	w_{12}	3.1	2.25	2.25	3.1

표 3. 3-패턴, 4-패턴 시뮬레이션 결과

입력	x_{11}	0	0	0	0
	x_{12}	0	5	0	5
	x_{21}	5	5	5	5
	x_{22}	0	5	0	5
	x_{31}	0	0	0	0
	x_{32}	5	5	5	5
	x_{41}	-	-	5	5
	x_{42}	-	-	0	0
목표	τ	0	5	5	0
출력	y	1.82	4.66	2.3	3.43
가중치	\bar{w}_{11}	2.59	2.5	2.5	2.5
	\bar{w}_{12}	2.41	2.5	2.5	2.5
	\bar{w}_{21}	2.59	2.5	2.5	2.5
	\bar{w}_{22}	2.41	2.5	2.5	2.5
	\underline{w}_{11}	3.26	2.30	3.26	2.85
	\underline{w}_{12}	3.26	2.30	3.26	2.85