

200-MHz@2.5-V 0.25- μ m CMOS 파이프라인 적응 결정귀환 등화기

안 병규*, 이 종남**, 신 경욱**

* 서두인칩(주), ** 금오공과대학교

A 200-MHz@2.5V 0.25- μ m CMOS Pipelined Adaptive Decision-Feedback Equalizer

*Byung-Gyu An, **Jong-Nam Lee, **Kyung-Wook Shin

*Seodu InChip, Inc., **Kumoh National University of Technology

E-mail : kwshin@knut.kumoh.ac.kr

요 약

광대역 무선 디지털 통신 시스템용 파이프라인 적응 결정귀환 등화기 (pipelined adaptive decision- feedback equalizer; PADFE)를 0.25- μ m CMOS 공정을 사용하여 full custom 단일 칩으로 설계하였다. ADFE의 동작속도를 향상시키기 위해 DLMS (delayed least-mean-square)을 적용한 2-stage 파이프라인 구조로 설계하였다. PADFE의 필터와 계수갱신 블록 등 모든 연산을 redundant binary (RB) 수치계로 처리하였으며, 2의 보수 수치계를 사용하는 기존의 방식에 비해 연산량의 감소와 동작속도의 향상이 얻어졌으며, 또한 전체적인 구조의 단순화에 의해 VLSI 구현이 용이하다는 장점을 갖는다. COSSAP을 이용한 알고리즘 레벨 시뮬레이션을 통해 파이프라인 stage 수, 필터 tap 수, 계수 및 내부 비트 수 등의 설계 파라미터 결정과 bit error rate (BER), 수렴속도 등을 분석하였다. 설계된 PADFE는 약 205,000개의 트랜지스터로 구성되며, 코어의 면적은 $1.96 \times 1.35\text{-mm}^2$ 이다. 시뮬레이션 결과, 2.5-V 전원전압에서 200-MHz의 클럭 주파수로 안전하게 동작할 수 있을 것으로 예상되며, 평균 전력소모는 약 890-mW이다.

ABSTRACT

This paper describes a single-chip full-custom implementation of pipelined adaptive decision-feedback equalizer (PADFE) using a 0.25- μ m CMOS technology for wide-band wireless digital communication systems. To enhance the throughput rate of ADFE, two pipeline stages are inserted into the critical path of the ADFE by using delayed least-mean-square (DLMS) algorithm. Redundant binary (RB) arithmetic is applied to all the data processing of the PADFE including filter taps and coefficient update blocks. When compared with conventional methods based on two's complement arithmetic, the proposed approach reduces arithmetic complexity, as well as results in a very simple complex-valued filter structure, thus suitable for VLSI implementation. The design parameters including pipeline stage, filter tap, coefficient and internal bit-width, and equalization performance such as bit error rate (BER) and convergence speed are analyzed by algorithm-level simulation using COSSAP. The single-chip PADFE contains about 205,000 transistors on an area of about $1.96 \times 1.35\text{-mm}^2$. Simulation results show that it can safely operate with 200-MHz clock frequency at 2.5-V supply, and its estimated power dissipation is about 890-mW.

1. 서 론

수십 Mb/s 이상의 데이터 전송속도를 갖는 디지털 무선 통신 시스템에서 고속 데이터 전송을 저해하는 요인중 대표적인 것으로 부호간 간섭 (Inter-Symbol Interference; ISI)을 꼽을 수 있으며, 이는 무선 채널에서 전송되는 심볼이 인접 심볼들로부터 영향을 받는 것을 말한다. 이 현상은 데이터 전송률이 증가할수록

더욱 심해져 시스템 성능을 크게 저하시키므로, 이를 제거하기 위해서는 수신단에 적응 신호처리를 이용한 채널등화 과정이 필요하다^[1].

심볼간 간섭을 제거하기 위한 채널등화 방식은 크게 나누어 선형 등화기 (Linear Transversal Equalizer; LTE)와 적응 결정귀환 등화기 (Adaptive Decision-Feedback Equalizer; ADFE)로 구분된다^[2]. 선형 등화기는 채널 왜곡이 심한 경우에 등화기를 구성하는 필터

의 차수가 커야하므로 하드웨어 부담이 크며, ADFE는 선형 등화기보다 등화성능이 우수하지만 귀환 루프를 가지고 있어서 고속 동작에 제한을 받는다. ADFE의 동작속도 향상을 위한 방법으로 Relaxed Look-Ahead (RLA)^[3], Delayed-LMS (DLMS)^[4,5] 등을 이용한 파이프라인 적용 결정귀환 등화기 (Pipelined ADFE; PADFE) 방식들이 제안되고 있다. DLMS는 RLA에 비해 등화성능은 다소 떨어지나 하드웨어 부담이 작다는 장점을 갖는다.

본 논문에서는 광대역 무선 통신 시스템에 적합한 PADFE를 0.25- μm CMOS 공정을 사용하여 full custom 방식으로 설계하였다. 등화기의 throughput rate 향상을 위하여 DLMS에 의한 파이프라인 기법을 적용하였고, 등화기의 기본 구성요소인 적응 복소수 필터의 효율적인 구현을 위해 RB 복소수 필터 구조를 제안하였다. DLMS를 적용한 PADFE는 삽입된 파이프라인 주기 동안 등화기 필터의 계수갱신이 지연되므로 파이프라인 삽입에 의한 동작속도와 등화성능 사이에 trade-off 관계가 존재한다. 본 논문에서는 알고리즘 레벨 시뮬레이션을 통해 trade-off 관계를 분석한 후, 최적의 설계 파라미터를 결정하였다. 또한, 내부의 모든 연산 처리에 기존의 2의 보수 수치계 대신에 RB 수치계를 적용하였으며, 이를 통하여 전체적인 연산 및 회로의 단순화를 이루어 효율적인 구현이 가능하도록 하였다.

II. 파이프라인 적용 결정귀환 등화기

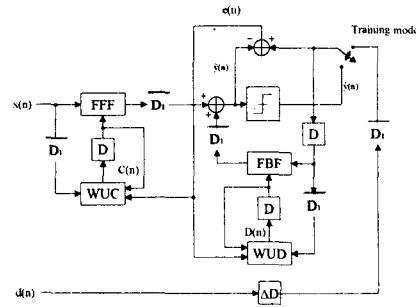
2.1 DLMS를 이용한 파이프라인 ADFE

DLMS는 식(1)과 같이 등화기 필터의 계수갱신을 D_1 기간동안 지연시킴으로써 등화기의 critical path에 파이프라인 stage를 삽입하여 동작속도를 향상시키는 방식이며, 그림 1-(a)와 같은 구조를 갖는다.^[4,5,7]

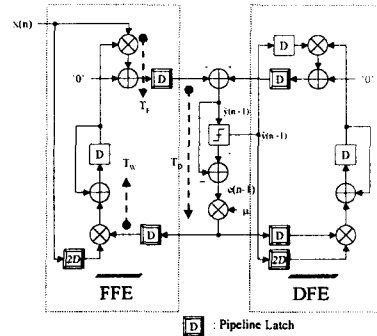
$$W(n) = W(n-1) + \mu e(n-D_1)U(n-D_1) \quad (1.a)$$

$$e(n) = d(n) - W^T(n-1)U(n) \quad (1.b)$$

$W(n)$, $U(n)$ 은 각각 등화기 필터의 계수와 입력 데이터이고, $e(n)$ 는 계수갱신에 사용되는 에러신호, 그리고 μ 는 step-size이다. DLMS는 $e(n)U(n)$ 의 값이 지연 D_1 기간 동안 일정한 값을 갖는다고 가정하므로 이 기간 동안 post-cursor ISI가 완전히 제거되지 못하여 약간의 등화성능 저하가 발생될 수 있다. 만약 D_1 이 너무 길면 이 기간 동안에 post-cursor ISI를 제거하지 못하게 되어 등화성능의 저하가 심해진다. 따라서, 회로설계에 앞서 삽입될 파이프라인 stage 수와 등화성능 사이의 trade-off 관계를 분석한 후 적절한 D_1 값을 결정해야 한다. 본 논문에서는 알고리즘레벨 시뮬레이션 결과를 토대로 $D_1=2$ 로 결정하여 2-stage의 파이프라인을 갖는 DLMS-PADFE를 설계하였으며, 그림 1-(b)는 본 논문에서 설계되는 PADFE의 1-tap 구조와 파이프라인 삽입위치를 보인 것이다.



(a) basic PADFE architecture based on DLMS



(b) 1-tap structure of the proposed PADFE with 2-stage pipelining

그림 1. DLMS를 적용한 PADFE 구조

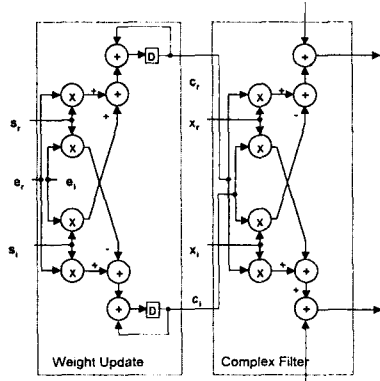
2.2 RB 적응 복소수 필터 구조

본 논문에서 설계하고자 하는 DLMS-ADFE는 모든 데이터 및 필터 계수가 복소수 형태이며, 따라서 복소수 승산과 가산으로 구성되는 적응 복소수 필터 (즉, 필터블록과 계수갱신블록)의 동작속도와 하드웨어 복잡도가 전체 등화기의 동작속도, 면적, DLMS의 삽입 지연 수 및 등화성능 등에 영향을 미치게 된다.

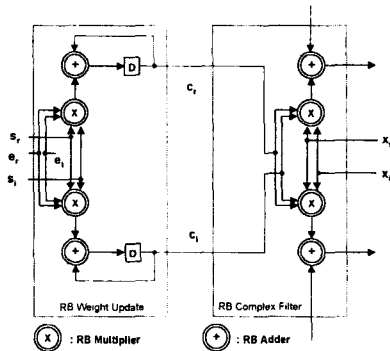
그림 2-(a)는 계수 갱신부를 포함한 1-tap 적응 복소수 필터의 일반적인 구조이며, 필터블록과 계수갱신블록의 연산이 2진 수치계로 처리된다. 필터블록에서 계수와 데이터의 복소수 승산을 위한 4개의 실수 승산과 2개의 가산, 그리고 복소수 승산 후의 tap 간 가산을 위한 2개의 실수 가산 등 총 4개의 실수 승산과 4개의 가산이 요구된다. 또한 계수갱신블록에서도 총 4개의 실수 승산과 4개의 가산이 요구되므로, 2진 수치계를 이용한 고전적인 1-tap 적응 복소수 필터의 구현은 총 8개의 실수 승산과 가산을 필요로 하며, 실수 승산기와 가산기 사이에 비교적 복잡한 배선을 갖는다.

본 논문에서는 2진 수치계를 사용하는 고전적인 방법에 비해 구조적으로 단순하며 고속 동작이 가능한 RB 적응 복소수 필터 구조를 적용하였으며, 그림 2-(b)는 1-tap 구조를 보인 것이다. 필터블록은 2진 수치계의 입력 데이터와 필터계수를 받아 내부 연산 (즉, 승산과 가산)을 RB 수치계로 처리하여 그 결과를 RB 수치계 형태로 다음 tap의 RB 가산기로 출력한다. 계수

갱신블록은 입력과 출력은 모두 2진 수치계를 사용하지만 내부 연산은 모두 RB 수치계로 처리된다. 그림 2-(b)에서 보는 바와 같이, 1-tap 복소수 필터블록과 계수갱신블록이 각각 2개의 RB 승산기와 2개의 RB 가산기로 구성되며, 따라서 총 4개의 RB 승산기와 RB 가산기로 구성된다. 그림 2-(a)의 고전적인 구조에 비해 연산의 단순화와 RB 수치계의 carry-propagation-free (CPF) 연산에 의한 고속 동작이 가능하며, 또한 전체적인 구조가 매우 단순하여 VLSI 구현에 적합하다⁶⁾.



(a) conventional structure



(b) proposed structure based on RB arithmetic

그림 2 1-tap 적응 복소수 필터 구조

III. 회로 설계

3.1 회로 설계 및 검증

설계된 DLMS-PADFE의 전체 구조는 그림 3과 같으며, 크게 나누어 FFE (Feed-Forward Equalizer) 블록, DFE (Decision-Feedback Equalizer) 블록 그리고 DEB (Decision/Error Block) 등으로 구성된다. FFE와 DFE는 동일하게 7-tap으로 구성되며, DLMS에 의한 파이프라인 stage는 그림 1-(b)에 나타낸 바와 같이 FFE 및 DFE 블록의 출력단과 DEB 출력단에 삽입하여 2-stage

파이프라인으로 설계하였다. 파이프라인 stage 사이의 critical path는 그림 1-(b)에 표시된 바와 같이 필터 블록의 지연시간 (T_F), 계수갱신 블록의 지연시간 (T_W) 및 DEB의 지연시간 (T_D)에 의해 결정된다. FFE 및 DFE 블록을 구성하는 적응 복소수 필터는 기존의 2의 보수 수치계 대신에 그림 2-(b)와 같이 RB 복소수 승산기 및 가산기를 사용하여 구현하였으며, 이를 통해 전체 구조의 단순화와 동작속도의 향상을 이루었다.

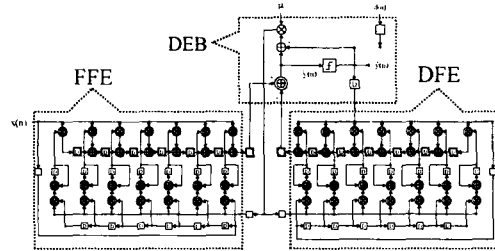


그림 3. 설계된 PADFE의 전체 구조

그림 4는 DEB에서 생성된 에러신호를 받아 매 심볼 주기마다 계수를 갱신하여 필터블록으로 출력하는 계수갱신회로의 내부 구성도이며, 4-b \times 12-b RB 복소수 승산기, 23-b RB 복소수 누적기, 수치계 변환회로 그리고 overflow 방지를 위한 saturation 회로 등으로 구성된다. 에러신호와 데이터 (즉, WUC 블록에서는 입력신호, WUD 블록에서는 결정된 심볼값)의 복소수 승산은 radix-4 Booth 알고리즘과 RB 수치계를 적용하여 설계되었으며, 23-b 복소수 누적기도 RB 가산기를 사용하여 구현하였다. 이와 같이 복소수 승산기와 누적기를 모두 RB 수치계로 구현함으로써 CPF 가산 특성에 의한 동작속도 향상이 가능하며, 회로 설계 시에 부호확장을 고려할 필요가 없어 2진 승산기 및 가산기를 사용하는 방식에 비해 설계가 용이하다는 장점을 갖는다. 누적기의 출력은 RB2BC 블록을 통해 2진 수치계로 변환된 후, 귀환루프에서 발생할 수 있는 overflow를 방지하기 위해 saturation 처리과정을 거쳐 최종적으로 12-b의 계수가 필터블록으로 출력된다. 한편, RB 수치계를 2진 수치계로 변환하는 RB2BC 블록은 캐리선택 가산기를 사용하여 설계하였으며, 2진 수치계를 RB 수치계로 변환하는 B2RB 블록은 별도의 하드웨어를 사용하지 않고 단순히 '0' 또는 '1'의 삽입으로 구현된다.

그림 5는 DEB의 내부 구성도이며 RB 가산기, 수치계 변환회로, saturation 회로, 심볼값 결정 및 에러생성 블록 등으로 구성이 된다. FFE와 DFE 블록의 출력이 RB 가산기로 가산된 후, RB2BC를 통한 수치계 변환과 overflow 방지를 위한 saturation 회로를 거쳐 심볼값 결정 블록으로 인가된다. 심볼값 결정 블록은 선택된 변조방식에 따라 데이터를 포맷하여 결정된 심볼값을 출력하며, 에러생성 블록은 training/tracking mode에 따라 선택된 심볼값과 등화기 출력에 대한 가산과 step-size에 따른 데이터 포맷을 통해 12-b의 에러신호를 생성하여 계수갱신 회로로 출력한다.

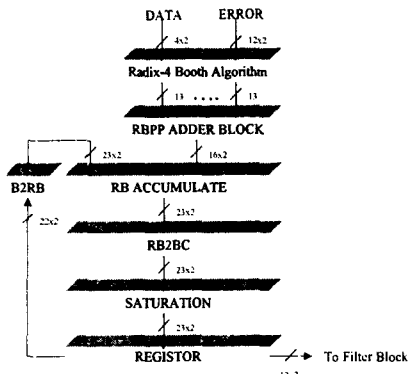


그림 4. 계수갱신 블록의 내부 구성도

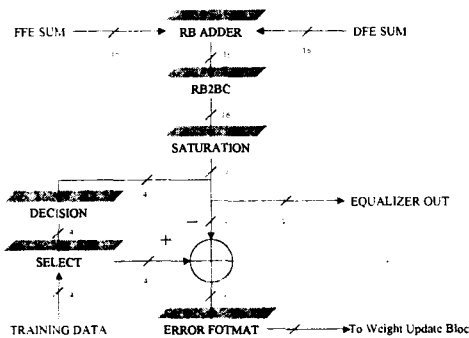
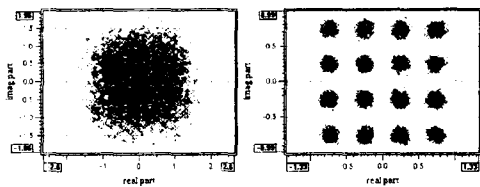


그림 5. Decision/Error 블록의 내부 구성도

알고리즘 레벨 시뮬레이션은 등화성능 분석과 설계 파라미터 결정을 위해 필요하다. 본 논문에서는 파이프라인 stage 수에 따른 등화성능 분석과 등화기 필터의 tap 수를 결정하기 위한 floating-point 시뮬레이션, 그리고 회로 구현 시 필요한 내부 비트 수를 결정하기 위한 fixed-point 시뮬레이션으로 나누어 수행하였다. 시뮬레이션은 COSSAP^[8]를 이용하였으며, 사용된 채널 모델은 지연이 0인 직접 경로와 샘플링 주기의 1.5배 지연을 갖는 간접경로로 구성되는 two-path 무선채널^[9]이다. 그림 6은 결정된 설계 파라미터 값들을 적용하여 16-QAM 신호에 대한 fixed-point 시뮬레이션 결과이며, 그림6-(a)의 수신 신호 정상도가 등화 후에는 그림 6-(b)와 같이 16개의 위치로 집중됨을 볼 수 있다.



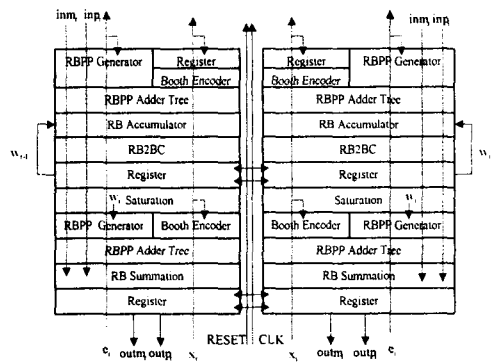
(a) before equalization (b) after equalization

그림 6. 설계된 PADFE의 fixed-point 시뮬레이션 결과

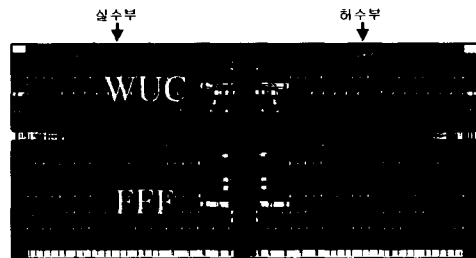
3.2 full custom 레이아웃 설계

설계된 PADFE는 0.25- μm 5-metal CMOS 공정을 이용하여 full custom 방식으로 레이아웃 설계하였다. 레이아웃 설계를 위한 고려사항은 다음과 같다. 첫째, FFE와 WUC 블록, 그리고 FBF와 WUD 블록이 동일한 pitch를 갖도록 설계함으로써 pitch mismatch에 의한 면적낭비를 없앴으며, 또한 필터 tap 간의 연결은 추가적인 배선 없이 규칙적인 배열에 의해 이루어지도록 하였다. 둘째, 복소수 승산기는 허수부와 실수부의 연산이 다르므로 레이아웃 설계가 다소 복잡하나, RB 복소수 승산기의 Booth encoder 부분을 제외한 나머지 부분이 동일한 구조를 갖도록 함으로써 효율적인 레이아웃 설계가 가능하도록 하였다. 셋째, WUC 블록의 지연시간이 FFE의 지연시간보다 크므로 WUC 내부의 saturation 블록을 레지스터 출력단에 삽입함으로써 WUC의 critical path 지연을 최소화하였다.

그림 7-(a)는 FFE와 DFE 블록을 구성하는 1-tap 적용 복소수 필터 모듈의 floorplan이며, 클럭과 제어신호는 실수부와 허수부의 중앙부분에 배치하였으며, 데이터 패스는 tap 간의 연결이 규칙성을 갖도록 배치하였다. 그림 7-(b)는 FFE의 1-tap의 레이아웃이며, 트랜지스터 수는 16,200개이고 면적은 $0.29 \times 0.64 \text{ mm}^2$ 이다. 한편, DFE의 1-tap 모듈도 FFE 모듈과 동일한 레이아웃 구조를 가지며, 트랜지스터 수는 12,000개이고 면적은 $0.23 \times 0.64 \text{ mm}^2$ 이다. DEB 블록은 3,400개의 트랜지스터로 구성되며, 면적은 $0.12 \times 0.64 \text{ mm}^2$ 이다.



(a) layout floorplan



(b) layout (0.29 mm x 0.64mm)

그림 7. FFE 1-tap 모듈의 레이아웃

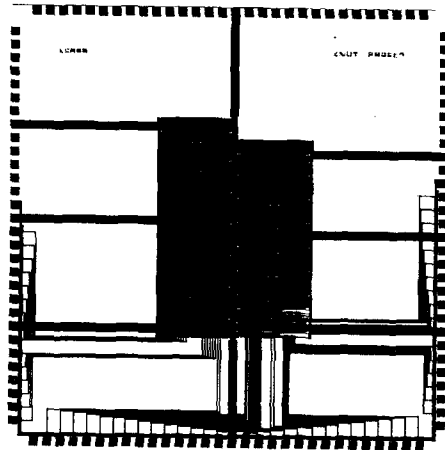


그림 8. 설계된 PADFE 칩의 레이아웃

전체 PADFE의 레이아웃 도면은 그림 8과 같으며, 약 205,000여개의 트랜지스터와 1.96×1.35-mm²의 면적을 갖는다.

설계된 PADFE의 동작속도 및 전력소모 특성을 예측하기 위해 parasitic RC가 포함된 netlist를 추출하여 post-layout 시뮬레이션을 수행하였다. 시뮬레이션 결과에 의하면, critical path 지연시간은 약 2.71-ns로 나타났다. 설계 마진 및 여유도를 고려할 때 200-MHz의 클럭 주파수로 안전하게 동작할 것으로 예상된다. 설계된 회로의 전력소모는 EPIC의 PowerMill을 이용하여 예측하였으며, 200-MHz의 클럭 주파수와 2.5-V의 전원전압 조건에서 1,000개의 랜덤 입력벡터를 인가하여 시뮬레이션한 결과 FFE 1-tap의 평균 전력소모는 약 68-mW이고, DFE 1-tap은 약 55-mW의 전력소모를 나타냈다. 전체 PADFE의 평균 전력소모는 약 890-mW로 예측되었다. 표 1은 설계된 PADFE의 주요 특징을 요약한 것이다.

표 1. 설계된 PADFE 칩의 주요 특성

Technology	0.25- μ m 5-metal CMOS
Transistors	205,000
Layout area (core part)	1.96×1.35-mm ²
Layout density	77.5 k/mm ²
Operating clock frequency	200-MHz @2.5-V
Power dissipation	890-mW @2.5-V, 200-MHz
I/O pins	69

IV. 결론

본 논문에서는 고속 동작이 가능한 파이프라인 적응 결정귀환 등화기를 0.25- μ m 5-metal CMOS 공정을 이용하여 full custom 단일 칩으로 설계하였다. ADFE

의 recursive 연산 특성에 의한 동작속도 제한을 극복하기 위해 DLMS를 적용한 파이프라인 구조로 설계하였다. floating-point 및 fixed-point 알고리즘 레벨 시뮬레이션을 통해 파이프라인 stage 수를 2, FFE 및 DFE의 tap 수를 7로, 그리고 내부 연산회로의 비트 수 등 설계 파라미터를 결정하였다. 또한, 기존의 2의 보수 수치계를 이용하는 방식 대신에 새로운 RB 적응 복소수 필터구조를 적용하여 설계함으로써 전체적인 구조의 단순화, 연산량의 감소, 동작속도의 향상 등이 가능하도록 하였다. 설계된 PADFE 칩은 약 205,000개의 트랜지스터로 구성되며, 코어의 면적은 1.96×1.35-mm²이다. 시뮬레이션 결과, 2.5-V 전원전압에서 200-MHz의 클럭 주파수로 안전하게 동작할 수 있을 것으로 예상되며, 평균 전력소모는 약 890-mW이다. 본 논문에서 제안된 파이프라인 적응 결정귀환 등화기 구조 및 설계방법은 광대역 무선 통신 시스템의 핵심 신호처리 회로설계에 적용 가능할 것으로 예상된다.

참고문헌

- [1] J. G. Proakis, Digital Communications, 3rd ed., McGraw-Hill, 1995.
- [2] S. Haykin, Adaptive Filter Theory, 3rd ed., Prentice Hall, 1996.
- [3] N. R. Shanbhag and K. K. Parhi, "Pipelined Adaptive DFE Architectures Using Relaxed Look-Ahead," IEEE Trans. Signal Processing, vol. 43, no. 6, pp. 1368-1385, June 1995.
- [4] G. Long, F. Ling, and J. G. Proakis, "The LMS algorithm with delayed coefficient adaptation," IEEE Trans. Acoust. Speech Signal Processing, vol. 37, pp. 1397-1405, Sept. 1989.
- [5] R. Perry, D. R. Bull, and A. Nix, "Pipelined DFE Architecture Using Delayed Coefficient Adaptation," IEEE Trans. Circuits Syst. II, vol. 45, no. 2, pp. 868-873, July 1998.
- [6] K.W. Shin, B. S. Song and K. Bacrania, "A 200-MHz complex-number multiplier using redundant binary arithmetic," IEEE J. of Solid-State Circuits, vol. 33, no. 6, pp. 904-909, Jun. 1997.
- [7] M. D. Meyer, and D. P. Agrawal, "A High Sampling Rate Delayed LMS Filter Architecture," IEEE Trans. Circuits Syst. II, vol. 40, no. 11, Nov. 1993.
- [8] COSSAP Tutorials (v1998.02), Synopsys, 1998
- [9] W. P. Chou and P. J. McLane, "16-State Nonlinear Equalizer for IS-54 Digital Cellular Channels," IEEE Trans. on Vehicle Technology, vol. 45, no. 1, pp. 12-25, Feb. 1996.