

Turbo 복호기 CPLD 구현

김 상 훈* . 김 상 명* . 황 원 철* . 정 지 원*

*한국해양대학교 전파공학과

A CPLD Implementation of Turbo Decoder

Sang-Hoon Kim* . Sang-Myung Kim* . Won-Cheol Hwang* . Ji-Won Jung*

*Dept. of Radio Science & Eng., Korea Maritime University

E-mail : shkim510@hanmail.net

요 약

본 논문에서는 Shannon's Limit에 보다 근접한 성능을 나타낼수 있는 Turbo 부호의 기본 이론과 MAP, Log-MAP 복호알고리즘을 정리하고, 이를 바탕으로 VHDL(Very high speed integrated circuit Hardware Description Language)를 이용하여 Log-MAP Turbo 복호기를 ALTERA 사의 FLEX10K100 CPLD(Complex Programmable Logic Device)에 구현하였다.

ABSTRACT

In this paper, Turbo code is describing a performance near the Shannon's channel capacity limit. So, basic theory of turbo code and MAP, Log-MAP decoding algorithm was arranged. The foundation of this using VHDL, Log-MAP turbodecoder was implemented by Altera's FLEX10K CPLD.

1. 서 론

고품질의 서비스를 목적으로하는 이동통신, PCS, WLL, 위성통신등의 무선통신 시스템에서는 페이딩, 비선형성등 채널환경이 유선에 비해 매우 열악하기 때문에 오류정정능력이 뛰어난 오류제어방식을 사용하여야 한다. Froney에 의해 도입된 길쌈부호와 블럭부호를 결합시킨 연결부호(Concatenation code)는 높은 부호이득을 얻어낼 수 있으며, 부호길이를 길게하는 효과를 주기 때문에 최근의 무선통신시스템에서 각광을 받고 있는 채널오류제어 기법이다[1].

그러나, 연결부호 역시 성능에 있어서 Shannon's Limit와 다소 큰 격차를 보이고 있으며, 고속 데이터 전송 및 동영상 등을 포함한 무선 멀티미디어 전송에 기반을 두고 있는 B-WLL, 무선 CATV(LMDS), IMT-2000등의 차세대 이동통신 시스템에 적용될 강력한 오류정정부호가 필요하게 되었다. 이에 가장 많은 주목을 받고 있는 부호가 1993년 Berrou등에 의해 발표된 Turbo부

호이다[2]. Turbo부호는 Shannon's Limit에 근접한 성능을 나타낼 수 있는데, Eb/No 0.7dB, 부호율 1/2에서 비트오류확률 10⁻⁵ 성능을 보였다[2]. 그 후 1-2년간에 걸쳐 그 성능이 입증되었고, 현재는 적용분야에 대한 연구가 집중되고 있으며, 시스템 엔지니어링 차원에서 설계 기술이 축적 및 고도화되고 있는 단계이다.

Turbo 복호기의 구성은 연관정 입/출력(soft-in/soft-out)이 가능하고, 정보신호에 대해서 서로 다른 인터리버에 의해 분리된 2개이상의 구성코드(Component Code)들이 병렬연접(Parallel Concatenation)된 구성을 하고 있다. 이러한 Turbo 복호기의 구성코드로는 SOVA(Soft Output Viterbi Algorithm), MAP(Maximum a Posteriori), Sub-MAP복호기등이 있는데 채널의 잡음분산평가가 필요하다는 단점이 있지만 일반적으로 성능이 우수한 MAP을 사용한다. 하지만, MAP 기반의 Turbo부호는 채널의 잡음분산량의 평가가 필

$\delta_k^{i,m}$ 은 branch metrics로서 다음과 같이 표현된다.

$$\delta_k^m = \Pr(d_k=i, S_k=m, R_k) = \exp\left(-\frac{2}{\sigma^2} \times (X_k i + Y_k C_k^{i,m})\right) \quad (9)$$

여기서, $C_k^{i,m}$ 은 부호기의 상태가 m 이고 입력이 i 일 때 부호기 출력값이다.

III. Log-MAP 기반의 Turbo 복호기 CPLD 구현

3.1 각 메트릭의 최적 비트수 결정

Log-MAP기반의 Turbo복호기의 주요 구성요소들은 가지메트릭을 계산하는BMC (Branch Metric Calculator), 순방향 상태메트릭 FSM과 역방향 상태메트릭 BSM의 상태메트릭을 결정하는 SMC(State Metric Calculator), LLR을 계산하는 LLRC (Log Likelihood Ratio Calculator)등을 들 수 있다. Turbo 복호기 내부의 각 메트릭 값은 수신신호는 X_k, Y_k 에 대한 적정 양자화 비트 수의 결정과 채널 신뢰도 L_c 의 비트수에 의해 결정되므로 터보복호기 하드웨어 구현에 있어서 매우 중요한 요소가 된다.[5] 최적의 각 메트릭의 할당 비트는 9비트임을 시뮬레이션을 통해 알 수 있다.

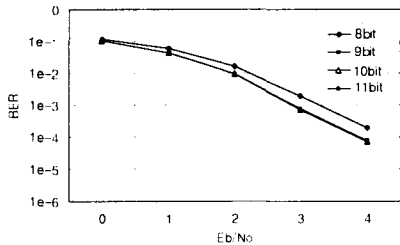


그림2. 메트릭 비트 따른 Log-MAP/Turbo 복호기의 성능 (N=64, I=3)

3.2 Log-MAP복호기에서의 메모리 할당

FSM, BSM, LLR 계산블록에서 E-함수 연산을 하게되는데, 하드웨어상으로는 계산값을 사전에 평가하여 이를 ROM 즉, LUT(Look-Up Table)에 저장하고 입력내용이 곧 바로 ROM내의 주소를 지시하도록 설계한다. 본 논문에서 사용한 E-Table 은 입력 6비트, 출력 4비트로 하였다. Log-MAP 복호기의 설계에 요구되는 모든 메모리는 FLEX10K-100디바이스의 내부램인 EAB를 사용하였다. 그러나, 본 연구에서 사용한

FLEX10K-100GC503-4 디바이스에서 지원하는 EAB의 한계용량 때문에 복호블록 N=64비트로 제한하였다. 이때, 사용되는 메모리 용량을 계산 하면 먼저 수신신호를 저장하는 메모리용량은 8 비트 양자화신호이므로 $2^8 \times 64 = 1024$ 비트, BM 메모리는 한 시점에서 존재하는 가지메트릭 BM00, BM01, BM10, BM11을 복호블록 만큼 저장해야 하므로 요구되는 메모리는 $4 \times 9 \times 64 = 2304$ 비트가 요구된다. BSM 메모리 역시 요구되는 메모리는 $4 \times 9 \times 64 = 2304$ 비트 이다.

3.3 Log-MAP 복호기의 CPLD 구현

Log-MAP복호기를 전체적으로 구성한 것을 그림 3에 나타내었다. 그리고 이를 실행한 타이밍 시물레이션결과를 그림 4에 나타내었다.

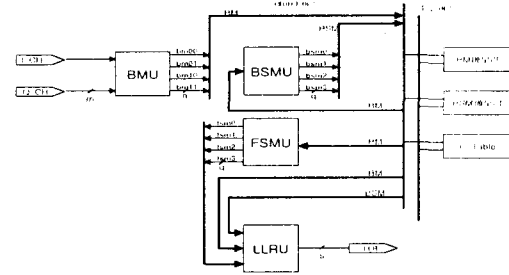


그림 3. Log-MAP복호기의 하드웨어 구조

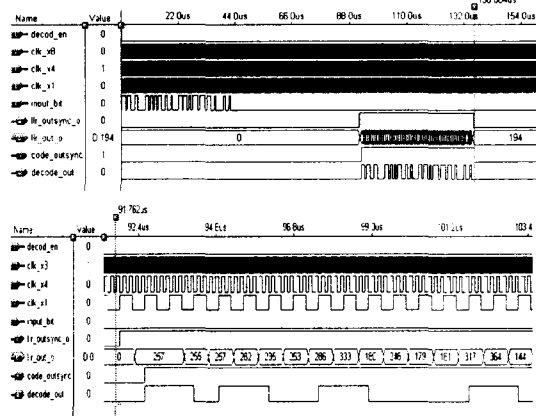


그림 4. Log-MAP 복호기 타이밍 시물레이션 결과

사용된 디바이스는 ALTERA사의 FLEX10K100GC503-4이며, 복호블록 N=64 비트로 설정하였으며, 1배수, 4배수, 16배수의 총 3개의 클럭이 사용되었다. 타이밍 분석결과 16배수

클럭의 요구 주기는 약 44ns 이었고, 64비트를 복호하는데 소요된 총 클럭지연은 136us = 0.00735 Mbps 였다. 따라서, 복호기의 복호속도는: 0.00735Mbps * 64 = 0.47 Mbps 이다.

3.4 Log-MAP 기반의 Turbo 복호기의 CPLD구현

Turbo복호에 사용되는 인터리버는 랜덤 인터리버를 사용하였다. 복호블록 N의 크기와 인터리버의 크기는 일치하므로 인터리버와 디인터리버의 구현시 요구되는 메모리의 크기는 각각 9*64=576비트가 된다. 본 설계에서는 Log-MAP복호기를 2개를 사용하지 않고 하나의 MAP복호기로 각각 다른 복호동작이 가능하도록 설계하였다. 복호블록 N=64비트 이고 타이밍 분석결과 제일 빠른 클럭인 16배수 클럭의 요구 주기는 Log-MAP복호기에서와 마찬가지로 약 44ns 이었다. 그림 5에서와 같이 1번 복호동작시 지연이 약 280us 였으며, 이는 터보복호기가 64비트를 복호하는데 소요된 총 클럭지연이 280us = 0.00357 Mbps 이라는 의미이다. 따라서, 복호기의 복호속도는 0.00357Mbps * 64 = 0.23 Mbps 이다.

Log-MAP기반의 Turbo 복호기 하드웨어설계는 VHDL을 이용하여 ALTERA사의 FLEX10K100 CPLD 디바이스를 사용하여 구현하였다. 설계시 요구되는 메모리는 외부 램을 사용하지 않고 디바이스 내부에서 지원하는 EAB블록을 이용하였으며, 컴퓨터 시뮬레이션을 통하여 최적의 복호기 내부 매트릭들의 비트수를 결정하여 설계하였다. EAB의 한계 때문에 복호블록 N=64로 하였고, 모든 매트릭 비트수를 9비트로 하였다. 설계 결과 10만 게이트의 약 62%를 사용하였고, 스위칭동작을 하여 동일한 MAP복호기로 각각 다른 복호동작이 가능하도록 설계하였다. 타이밍 분석결과 16배수 클럭의 요구 주기는 약 44ns 이었고, 1회 복호속도는 0.23 Mbps 이었다.

설계한 복호기를 실제디바이스에 다운로드 하였으며, 동작에는 1배속, 4배속, 16배속 3개의 클럭이 필요한데, 이러한 3개의 클럭을 생성하고 동기를 맞추는 정밀한 작업이 요구되었다. 따라서, 향후연구과제는 단일 클럭으로 동작 가능한 고속 Turbo복호기를 설계하는 것이다.

참고문헌

- [1] G. D. Forney, Jr., Concatenated Codes, Cambridge, MA: MIT. Press, 1996.
- [2] C.Berrou, A.Glavieux, and P.Thitimajshima, "Near Shanon Limit Error-Correcting Coding and Decoding : Turbo-Codes," in Proc. ICC93, 1993.
- [3] S.S. Pietrobon, "Implementation and performance of a serial MAP decoder for use in an iterative turbo decoder," in Proc., IEEE Int. Symp. on Inform. Theory, p. 471, 1995.
- [4] S.S. Pietrobon, "Implementation and Performance of a Turbo/MAP Decoder," International Journal of Satellite Communications, pp.23-46, vol.16, 1998.
- [5] 손만익, 고성찬, "Log-MAP기반 터보복호기의 VHDL설계," 한국통신학회 하계학술대회 논문집(1), pp.799-803, 1999.

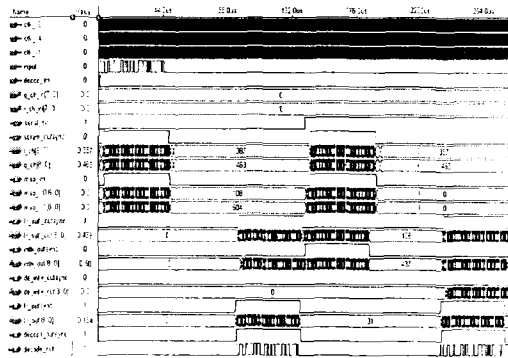


그림 5. Log-MAP/Turbo복호기의 타이밍 다이어그램

V. 결 론

본 논문에서는 Turbo부호에서 구성 코드로 쓰이는 Log-MAP 복호기와 이들을 적용한 Turbo 복호기를 컴퓨터 시뮬레이션을 통해 복호블럭과 반복에 따른 성능을 비교,분석하였다. 또한, VHDL을 이용하여 Log-MAP 기반의 Turbo 복호기를 ALTERA사의 FLEX10K100 CPLD 구현하였으며, 타이밍 시뮬레이션으로 하드웨어 검증을 하였다.