

IMT-2000 시스템을 위한 QPSK 복조기 구현

김상명* · 김상훈* · 황원철* · 정지원*

*한국해양대학교 전파공학과

Implementation of QPSK Demodulator for IMT-2000 System

Sang-Myung Kim* · Sang-Hoon Kim* · Won-Cheol Hwang* · Ji-Won Jung*

Dept. of Radio sciences & Eng., Korea Maritime University

E-mail : ksm1233@hanmail.net

요 약

본 논문에서는 CPLD 칩을 이용하여 QPSK 복조기를 구현하고, 그 결과를 검토하였다. 복조기는 비트 동기를 포착하는 STR(Symbol Timing Recovery) loop와 반송파 동기를 포착하는 CPR(Carrier Phase Recovery) loop로 구성된다. STR loop는 DD-Gardner 방식을, CPR loop는 빠른 반송파 포착을 위하여 Decision-Directed 동기화 방식을 이용하여 구현한 결과를 제시하였다. Altera사의 Design Compiler를 이용하여 FLEX10K 칩에 합성한 QPSK 복조기의 속도는 약 2 [Mbps]의 전송속도를 가지며, ASIC으로 구현시에는 CPLD 속도의 5~6배 이상의 고속화가 가능하다.

ABSTRACT

In this paper, we implemented the QPSK demodulator with a CPLD chip, and examined the results. DD(Decision Directed)-Gardner algorithm is used for STR loop and Decision-Directed algorithm is used for CPR loop. The speed of the QPSK demodulator implemented in FLEX10K chip can be guaranteed approximately 2[Mbps] transmission speed. In practical designed by ASIC, the speed is faster than that of CPLD by 5~6 times.

1. 서 론

제 3세대 이동통신은 FPLMTS(Future Public Land Mobile Telecommunication System) 또는 IMT-2000(International Mobile Telecommunication)으로 불리는 미래공중육상이동통신시스템을 말한다. IMT-2000은 1885 ~ 2025 MHz, 2110 ~ 2200 MHz의 주파수 대역을 가지며, 기존에 제공된 데이터 서비스뿐만 아니라, 더욱 향상된 기술에 의하여 144 Kbps급의 무선 ISDN급 음성, 데이터, 영상 등의 멀티미디어 서비스와 4.8 Kbps 이하의 음성, 저속 데이터, 팩스, 무선평출 등의 위성 서비스를 고속으로 제공할 수 있는 차세대 이동통신 시스템이다. 이 시스템에서는 지상망 또는 위성망에 연결될 수 있는 다양한 형태의 단말기가 이동통신용 또는 고정통신용으로 사용될 수 있다[1]. 현 시점에서 실현될 것으로 전망되는 IMT-2000에 대해서는 세계적으로 활발한 표준화가 진행 중에 있으며, 우리 나라에서는 무선접속

및 서비스 기술 등의 기반 기술과 운용 기술을 1995년부터 연구하여 왔다. 그리고 1996년 말에는 한국전자통신연구원이 IMT-2000 무선접속규격을 작성하였고, 한국전자통신연구원, 한국통신, SK Telcom과 데이콤 등의 통신사업자와 산업체, 학계가 개별적으로 기술개발을 검토하고 있다. 현재는 이동 및 위성 통신 전송 방식에 적합한 BPSK(Binary Phase Shift Keying), QPSK(Quadrature Phase Shift Keying), OQPSK(Offset Quadrature Phase Shift Keying), OCQPSK(Orthogonal Complex Phase Shift Keying) 등이 모뎀방식으로 제안되어 연구 개발이 활발히 진행 중에 있다.

반도체 기술이 급격히 발달함에 따라 QPSK 복조기를 주문형 반도체인 ASIC이나 CPLD(Complex Programmable Logic Device)를 이용하여 하나의 칩으로 구현하는 것이 가능하게 되었다. 하지만 ASIC의 개발은 디지털 시스템의 기본적인 지식과 다양한 경험이 필요하고, 제작 비용과 제작 시간이 많이 소요되는 단점이 있는 반면에

CPLD의 경우에는 제작 비용과 제작 시간을 절감할 수 있고, 사전에 로직을 검토한 후에 설계를 할 수 있으므로 이를 이용하여 QPSK 복조기를 구현하였다[2][3].

본 논문에서는 QPSK 복조기 구현을 위해서 복조기의 주요 모듈들을 검토하고, Altera Tool을 이용하여 CPLD로 설계한 QPSK 복조기를 구현한 결과를 제시한다. II장에서는 QPSK 복조기의 모듈들과 multiplier 구현에 대한 내용을 분석하고, III장에서는 그 구현 결과를 검토한다.

II. QPSK 복조기 CPLD 구현

QPSK 복조기는 크게 비트 동기를 포착하는 STR loop와 반송파 동기를 포착하는 CPR loop로 구성된다. STR loop는 Interpolator와 DD-Gardner, 그리고 Loop Filter로 구성되고, CPR loop는 DD 동기화기를 사용하여 구현하였다. 또 디지털 모델 구현시 가장 중요한 모듈인 Multiplier도 구현하였다[4][5].

2.1 Interpolator

Interpolator는 샘플링 rate를 증가시켜 Symbol timing error를 작게 하기 위하여 사용한다. Interpolator의 구조를 그림 2-1에 나타내었다.

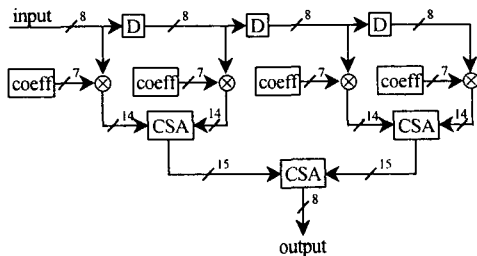


그림 2-1 Interpolator 구조

8비트로 샘플링 된 입력 신호와 Loop Filter 결과에 의해 결정된 4개의 Interpolator 계수와의 곱으로 출력된 4개의 Multiplier 결과 신호들을 3개의 CSA(Carry Save Adder)를 이용하여 출력한다. 하지만 Interpolator의 출력은 DD-Gardner의 입력 신호일 뿐만 아니라, CPR의 입력 신호로도 동작하므로 16비트의 신호를 상위 2비트, 하위 6비트를 제거하여 8비트 신호로 출력해야 한다.

2.2 DD-Gardner 알고리즘

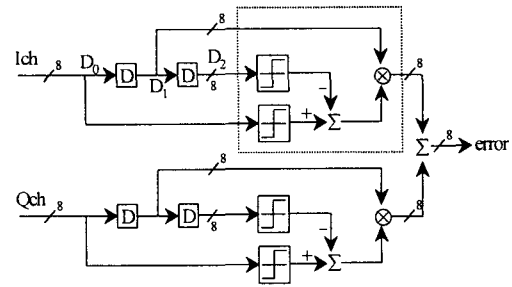


그림 2-2 DD-Gardner 구조

표 2-1 논리 회로의 진리값

D2	D0	출력
양수	양수	"00000000"
양수	음수	D1의 보수
음수	양수	D1
음수	음수	"00000000"

DD-Gardner 알고리즘은 타이밍 검출기내의 hard limiter를 통과한 샘플값의 신호를 이용하여 타이밍 에러를 검출하는 방식이다. 그림 2-2에 DD-Gardner를 나타내었다.

DD-Gardner 구조는 D flip-flop을 이용하여 입력 신호 D0와 지연된 신호 D1, D2를 얻은 다음에, D0와 D2 신호를 경판정(hard decision)하고, D2의 보수와 D0를 더하여 그 결과치를 D1과 곱하여 error 정보를 추출하는 구조로 이루어져 있다. 하지만 이러한 구조는 하드웨어 구현 시 아주 복잡하고, 많은 처리 시간을 요구하기 때문에 D0와 D2신호의 부호 비트를 이용하여 간단한 논리 회로로 구현하였다. 이 결과를 표 2-1에 나타내었다.

표 2-1에서의 출력값을 더해서 나온 9비트의 error 신호를 최하위 1비트를 제거하여 8비트 신호로 만들어서 최종 출력을 한다.

2.3 Loop Filter

DD-Gardner에서 출력된 error의 값을 입력 신호로 하는 Loop Filter의 구조를 그림 2-3에 나타내었다. 입력 신호 error에 누적기에서 누적된 신호를 더한 신호와 현재에 입력되는 신호에 이득을 부여하기 위하여 8

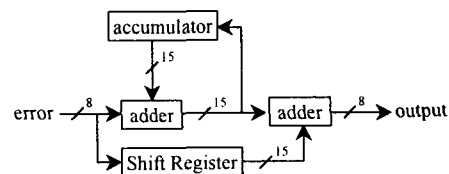


그림 2-3 Loop Filter 구조

비트 error의 값을 좌측으로 7비트 천이한 신호를 더하여 15비트로 출력한다. 하지만 Interpolator 계수를 결정하는 처리 시간을 줄이기 위해서 하위 7비트를 제거하여 8비트 신호로 최종적으로 출력한다.

2.4 DD-CPR

STR Loop를 거쳐서 샘플링 된 8비트 디지털 신호를 입력으로 하는 CPR Loop의 구조는 그림 2-4와 같다.

입력되는 I, Q 채널 신호와 이전에 출력된 LPF(Low Pass Filter) 신호를 곱하여 14비트의 값을 얻고, 이 값들을 더하여 15비트의 논리 회로의 입력을 도출한다. 논리 회로는 크게 경관정 부분과 Multiplier부분으로 구성된다. 하지만 실제로 구현을 할 때에는 Multiplier는 사용하지 않는다. 입력된 신호를 부호 비트만으로 경관정하여 1 또는 -1인 2비트의 신호를 얻을 수 있다. 2비트의 신호와 입력되는 8비트의 신호와 곱은 8비트의 신호를 1일 경우에는 그대로 출력하고, -1일 경우에는 보수를 취하여 출력함으로써 최종 8비트의 값을 얻을 수 있다. tmp1과 tmp2는 I채널의 값을, tmp3와 tmp4는 Q채널의 값을 각각 출력한다. tmp1과 tmp2를 더하여 I채널의 LPF 입력을 얻고, tmp3와 tmp4를 더하여 Q채널의 LPF 입력을 얻는다.

LPF의 구조를 그림 2-5에 나타내었다. 입력 신호와 누적기에서 입력되는 신호와의 합을 구하여 8비트의 신호를 얻고, 이를 하위 1비트를 제거하여 7비트의 값을 최종적으로 출력한다. 출력된 값은 다시 Multiplier의 입력 신호로 동작한다.

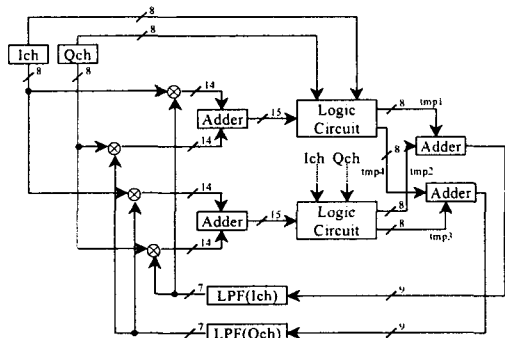


그림 2-4 DD CPR 구조

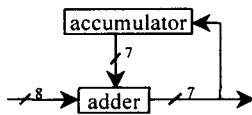


그림 2-5 LPF 구조

2.5 Multiplier 구현

Multiplier는 디지털 모뎀을 구현할 때 가장 중요한 모듈이다. STR을 구현할 경우에는 Interpolator에서 사용되고, CPR을 구현할 때에도 빈번히 사용되는 블록이다. 그리고 Multiplier의 처리 속도는 전체 전송 속도에도 큰 영향을 준다. 그림 2-5는 Multiplier의 구조를 나타내었다.

그림 2-5에서 보는 바와 같이 Multiplier는 Overlapped Multiple-Bit Scanning을 이용한 Carry Save Adder로 구성되어진다. Overlapped Multiple-Bit Scanning은 표 2-2에 나타내었다.

입력되는 8비트의 신호는 피승수로서 A이고, 7비트의 신호는 승수로서 X이다. 먼저 승수 X를 3비트씩, 1비트가 겹쳐지게 묶으면 각각의 경우의 수에 만족하는 4개의 결과를 얻을 수 있다. 먼저 3개의 결과를 첫번째 Carry Save Adder에 입력하여 sum과 carry를 구하고, 구해진 sum과 carry, 그리고 남은 하나의 결과를 두번째 Carry Save Adder에 입력하여 sum과 carry를 구하게 된다. 그런 다음 carry 부분을 왼쪽으로 1비트 천이시킨 후에 sum과 carry를 더해주게 되면 최종적으로 14비트의 출력을 얻을 수 있다.

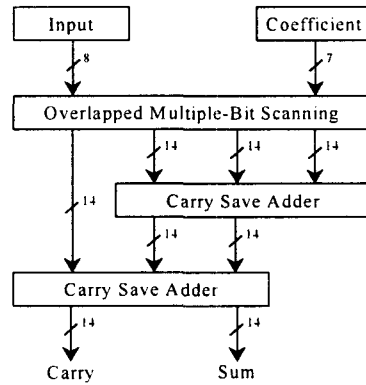


그림 2-5 Multiplier 구조

표 2-2 Overlapped Multiple-Bit Scanning

Multiplier Bits			Multiplicand Multiples to be Added
X_{I+1}	X_I	X_{I-1}	
0	0	0	Zero
0	0	1	+A
0	1	0	+A
0	1	1	+2A
1	0	0	-2A
1	0	1	-A
1	1	0	-A
1	1	1	Zero

III. 구현 결과

QPSK 복조기의 VHDL(Very high speed integrated circuit Hardware Description Language) code는 Altera사의 Design Compiler를 이용하여 컴파일하고 합성하였다. 설계한 복조기는 CPLD 칩 내에 모델화하여 구현하였다. 별도의 Test Board를 제작하지 않고도 설계한 복조기의 기능을 검증할 수 있었고, 검증과정은 주로 timing simulation을 이용하였다. 복조기는 약 2 Mbps의 속도로 동작이 가능하였다. 설계한 복조기를 EPF10K100GC503-4 칩에 합성하였다. 본 장에서는 QPSK 복조기의 주요 블록들에 대한 시뮬레이션 및 구현 결과를 제시하고 검토한다.

그림 3-1은 QPSK 복조기를 구현하는데 있어 가장 중요한 Multiplier 동작 과정을 나타낸다. 회로는 66 ns 클럭주기 내에서 안정적으로 동작할 수 있다.

그림 3-2는 비트 동기를 포착하는 STR의 동작 과정을 나타낸 것이다. STR 회로는 170 ns 클럭주기 내에서 동작하며, 클럭은 4분주하여 사용하였으므로, 대략 1.47 Mbps의 속도를 가진다. STR은 다른 모듈에 비하여 긴 처리 시간을 요구하므로, 고속 디지털 모뎀을 결정하는 가장 중요한 블록이다.

그림 3-2에서 Ten은 DD-Gardner를 동작시키기 위하여 심볼당 4샘플로 구성된 신호를 받아들이는 동작 신호이고, Sen은 Gardner 출력 신호를 입력으로 받아서 실행하는 Loop Filter의 동작 신호이다. 그리고 o1은 Loop Filter의 결과를 나타내는 신호로서 oput에 누적된다. 누적된 oput의 값은 Interpolator의 center를 나타내는 값으로서, Interpolator계수를 결정짓는 결과치이다. oput의 값이 100을 초과하게 되면 샘플링 지점

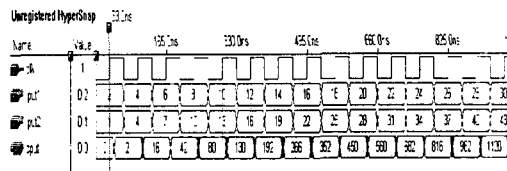


그림 3-1 Multiplier의 Device 시뮬레이션 결과

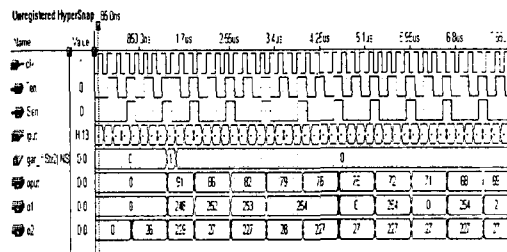


그림 3-2 STR의 Device 시뮬레이션 결과

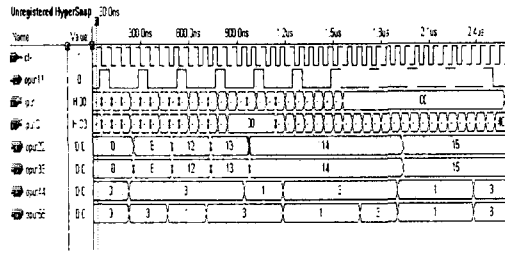


그림 3-3 CPR의 Device 시뮬레이션 결과

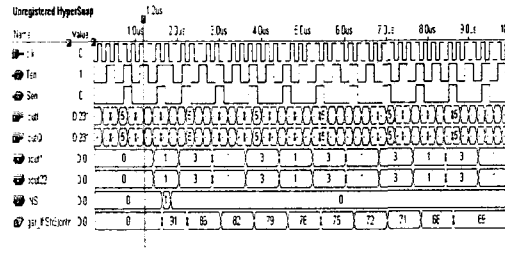


그림 3-4 STR과 CPR을 연동시켜 동작한 Device 시뮬레이션 결과

이 낮다는 것을 나타내므로, oput에 -100을 더하고 Ins에 -1을 발생시켜서 한 클럭을 느리게 동작시키고, 반면에 oput의 값이 음수를 가지게 되면 100을 더하고 Ins에 1을 발생시켜서 한 클럭을 빠르게 동작시킨다. oput이 대략 70의 값을 가지면서 정확한 샘플링 지점을 포착하는 것을 알 수 있다. 정확히 포착한 지점에서 샘플링 된 값은 최대의 파워를 가지면서 CPR의 입력으로 동작한다. 그림에서 o2는 CPR의 입력을 나타낸다.

그림 3-3은 반송파 동기를 포착하는 CPR의 동작과정을 나타낸 것이다. CPR회로는 57.2 ns 내에서 동작하고, 클럭을 4분주하여 사용하였으므로, 대략 각 채널당 4.37 Mbps의 속도를 가지므로 최대 8.74 Mbps의 전송 속도를 가진다.

oput11은 CPR을 동작시키는 제어신호로 각 심볼당 4개의 샘플치를 주었으므로, 4클럭 주기마다 발생한다. iputI, iputQ는 I 채널과 Q 채널 신호로서 랜덤한 데이터에 임의로 만큼의 잡음을 부여하여 생성한 신호이다. oput22, oput33는 I 채널과 Q 채널의 잡음신호를 필터링 한 LPF의 결과치이다. 입력되는 잡음 신호가 zero로 수렴하면서 결과값이 15로 귀결됨을 알 수 있다. oput44, oput55는 decision 되어진 I 채널과 Q 채널 신호이다. 시뮬레이션 결과값과 발생한 데이터가 동일함을 확인하였다.

그림 3-4는 비트 동기를 포착하는 STR과 반송파 동기를 포착하는 CPR을 연동시켜서 동작한 시뮬레이션 결과이다. 시뮬레이션에 이용한 입력 신호는 임의의 timing error를 부가한 정현파 신호이다. Interpolator의

계수를 결정짓는 $cntr$ 은 점점 감소하면서 70으로 수렴함을 알 수 있다. 그리고 $oput11$ 과 $oput22$ 는 복조된 신호이다. 신호의 결과치는 2비트로 표현되므로 십진수 3은 이진수 "11"로서 -1을 나타내므로, I채널과 Q채널의 입력값이 동시에 1, 0, 1, 0이므로 정확히 복조됨을 알 수 있다. STR과 CPR을 연동한 회로는 192.8 ns내에서 동작한다. 클럭을 4분주하여 사용하였으므로, FLEX10K100GC503-4 칩에 합성한 회로는 한 채널 당 1.30 Mbps의 처리 속도를 가진다.

VI. 결 론

본 논문에서는 차세대 이동통신으로 각광 받고 있는 IMT-2000 시스템에 적용 가능한 QPSK 복조기를 설계하였고, 이를 하나의 CPLD 칩에 구현하여 그 동작을 검토하였다.

복조기는 DD-Gardner 방식을 기초로 한 STR과 Decision-Directed 동기화 방식을 이용한 CPR로 나누어 두 개의 블록으로 구현하였다. STR에서는 샘플링 rate를 증가시켜 오차를 줄이기 위해서 Interpolator를 사용하였고, 복잡한 DD-Gardner의 구조를 간단한 논리 회로로 대체하였으며, Loop Filter는 2차 구조를 사용하여 구현하였다. CPR에서는 STR을 구현할 때에 사용한 Multiplier를 기초로 하여 구현하였으며, LPF도 역시 STR 구현할 때에 사용한 Loop Filter를 기반으로 구현하였다.

이러한 기술들을 적용하여 CPLD 칩으로 구현한 결과, EPF10K100GC503-4 칩에 합성한 복조기는 총 100,000 게이트 중에 87%를 사용하였고, 복조기의 경우는 2 Mbps 처리 속도를 가진다. 따라서 2 Mbps를 목표로 연구가 활발히 진행되고 있는 IMT-2000 시스템에 적용이 가능하다. ASIC으로 구현 시에는 ASIC과 CPLD의 구조로 인해 CPLD 속도의 5-6배 이상의 고속화가 가능하며, 변복조기는 10 Mbps급을 요하는 무선통신시스템에 적용될 수 있을 것으로 사료된다.

향후, 2 Mbps에 머무르고 있는 복조기의 구조를 개선하여, 처리 속도를 향상시킬 수 있는 연구가 필요하다.

참고문헌

- [1] 유문희, 이수인, 박세경, 김재명, "IMT-2000 위성부문 표준화 동향", 한국통신학회지, Vol. 15, NO. 11, Nov. 1998.
- [2] 양오, 디지털시스템 설계 및 응용, 북두출판사, 1998

- [3] D.L. Perry, VHDL, McGraw-Hill, Inc. 1995.
- [4] F.M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers", IEEE Trans. On Comm., Vol. 34, NO. 5, May 1986.
- [5] M.P. Fitz, "Decision-Directed Burst-Mode Carrier Synchronization Techniques", IEEE Trans. On Comm., Vol. 40, NO. 10, Nov. 1992.