

FDTD법을 이용한 구형도파관의 Slot 안테나 설계

고 지원* · 김 광욱* · 김 동철* · 임 학규* · 민 경식*

*한국해양대학교 공과대학 전파공학과

Design for Rectangular Waveguide Slot Antenna using FDTD Method

Jee-Won Ko* · Kwang-Wook Kim* · Dong-Chul Kim* · Hag-Gyu Lim* · Kyeong-Sik Min*

*Dept. of Radio Sciences & Engineering, College of Engineering, Korea Maritime University

#1, Dongsam-Dong, Youngdo-Ku, Pusan 606-791, Korea

E-mail : k007042@hanbada.kmaritime.ac.kr

요 약

본 논문은 3차원 유한차분시간영역법(FDTD)을 이용하여 구형도파관 슬롯 안테나를 해석하였다. 해석영역의 반사손실을 최소로 하기위해서 Mur의 2차 흡수경계조건을 사용하였다. 최적 설계를 위해 Time Step, 여진면 크기, 해석영역의 크기, 여진면의 위치 등의 변화에 따른 영향을 살펴보았다.

구형도파관 슬롯 안테나 단일 소자에 대한 설계 결과를 기존의 실험결과와 비교하였다.

ABSTRACT

This paper presents an analysis of a slot on the broad wall of a rectangular waveguide using the 3D FDTD method. In order to reduce the reflection loss, Mur's 2nd absorbing boundary condition is used.

To realize the optimum design by FDTD, the effects of time step, excitation aperture size, analysis region and excitation position in model are derived.

The analysis results are compared with the experimental results and they show a good agreement with each other.

1. 서 론

구형도파관 슬롯 안테나는 도파관의 E면(narrow wall) 또는 H면(broad wall)에 홈(slot)을 파서 제작되므로 방사손실이 없어 전송선로의 단면적을 크게 할 수 있고, 구조상 튼튼하며 높은 주파수에서도 이용 가능한 장점이 있어서 예전에는 주로 항공기 및 선박용 레이더로 많이 사용되어왔다. 그러나 최근에는 일본 등을 중심으로 위성통신 또는 각종 통신용 안테나 및 민수용 레이더 안테나 등의 용도로도 많이 개발되고 있다.

본 논문에서는 유한차분시간영역(FDTD)[1]법을 이용하여 Fig. 1에서 보여주는 구형도파관 슬롯 안테나를 해석하였다.

반사손실을 줄이기 위해 Mur의 2차 흡수경계조건[2]을 사용하여 Yamasita와 Qian[3]에 의해 제안된 FDTD 프로그램에 Fig. 1에 있는 구조를 적용하였다.

그들이 제안한 방법은 마이크로스트립에 적용하는 것이나 본 논문에서는 구형도파관에 그들의

제안법을 적용함으로써 아래에 기술하는 여러 조건들을 구형도파관에 맞게 도출하였다.

해석의 최적 조건을 구하기 위해서 Time Step, 여진면 크기, 해석영역의 크기, 여진면의 위치 등을 변화시켜서 이들의 변화가 입력신호(V0)와 출력신호(V1)에 미치는 영향을 알아보았다.

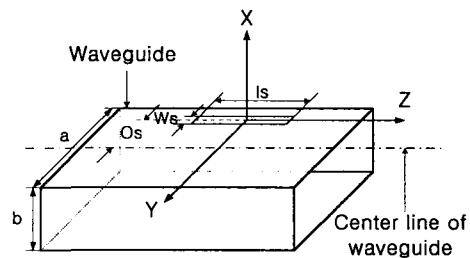


Fig. 1. Structure of a waveguide slot antenna

II. FDTD 시뮬레이션

구형도파관 슬랏 안테나 소자의 설계에 사용된 도파관은 3.7 GHz대를 포함하는 WR-229 표준 구형도파관이며, 도파관의 길이(a), 높이(b)와 두께는 각각 58.1 mm, 29.1 mm, 1.6 mm이다.

입력신호(V0)는 가우시안 펄스를 사용하였으며 해석의 안정조건을 만족시키기 위해서 공간이산간격을 파장의 1/80 이하로 하였고, 아래의 식을 이용하여 시간이산간격도 안정조건을 만족하는 범위에서 결정하였다.

$$\Delta t \leq \frac{1}{c \sqrt{\left(\frac{1}{\Delta x}\right)^2 + \left(\frac{1}{\Delta y}\right)^2 + \left(\frac{1}{\Delta z}\right)^2}}$$

Fig. 2와 같이 도파관영역의 크기는 $33\Delta x \times 62\Delta y \times 60\Delta z$ 이고 흡수경계조건을 고려한 전체해석영역의 크기는 $53\Delta x \times 82\Delta y \times 60\Delta z$ 이며 각각의 셀의 크기는 1 mm로 하였다. 셀의 크기를 1 mm로 같게한 것은 해석시간의 단축과 설계의 편의를 위해서이다.

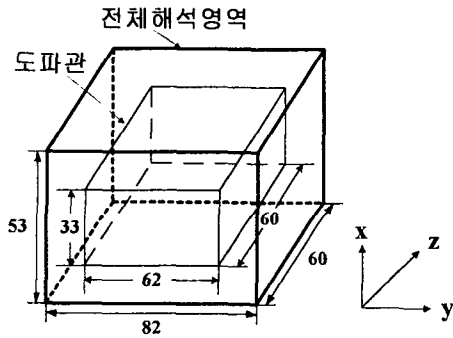


Fig. 2. Size of analysis region

II-1. Time Step의 변화

Time Step의 변화가 입력신호(V0)의 특성에 어떤 영향을 미치는지 알아보기 위해서 Fig. 2에서 제시한 해석영역에 대하여 Time Step을 3000 Step까지 증가시키면서 시뮬레이션 하였다.

해석시간은 펜티엄II 400 MHz에서 약 1시간 정도가 소요되었다.

시뮬레이션 결과는 Fig. 3과 같다.

Time Step이 약 1800 Step 이상 일 때 입력신호(V0)의 값은 반사파가 거의 없이 0에 수렴함을 보였다.

그러나, 반사계수를 구하기 위하여 비교되어지는 출력전압(V1)은 3000 Step 정도에서 0으로 수렴하므로 여기서는 3000 Step을 기준으로 잡는다.

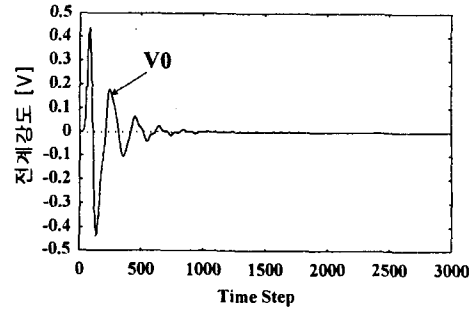


Fig. 3. The value of input signal for the various time step

II-2. 점여진의 경우

여진을 도파관의 한 점에서 했을 때와 도파관 면전체에 했을 때의 특성 차이를 알아보기 위해서 여진점의 위치가 Fig. 4의 (27, 41, 1)과 (27, 41, 5)인 두 경우에 대해서 점여진에 대한 시뮬레이션을 행하였다. 이 때 전체해석영역의 크기는 $53\Delta x \times 82\Delta y \times 60\Delta z$ 이며 Time Step은 3000으로 하였다. 시뮬레이션 결과는 Fig. 5와 같다.

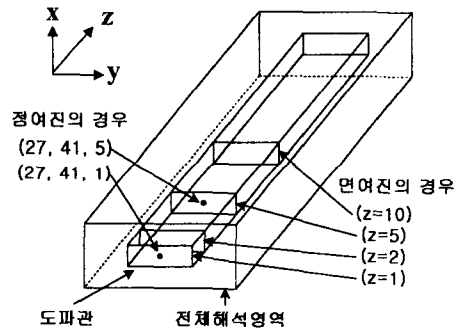


Fig. 4. Structure of excitation aperture

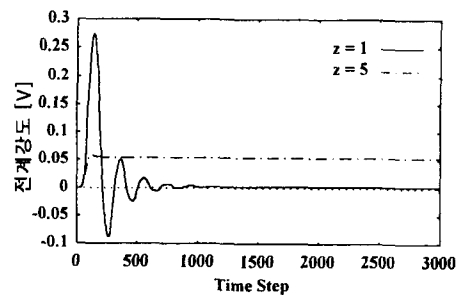


Fig. 5. The value of input signal for the point excitation

점여진을 했을 때, $z=1$ 일 때는 입력신호의 값이 0으로 수렴하지 않으며, $z=5$ 일 때는 입력파인 가우시안 펄스가 나오지 않는 것을 알 수 있었다.

II-3. 여진면 크기의 변화

면여진의 경우 수렴정도를 알아보기 위해 우선 여진면의 크기가 변화되었을 때의 입력신호(V0)의 특성을 살펴보았다. Fig. 5에서 보는바와 같이 여진면의 위치가 $z=1$ 일 때, Fig. 6과 같이 여진면의 크기를 변화시켰다. 다음의 3가지 경우에 대한 시뮬레이션 결과는 Fig. 7과 같다.

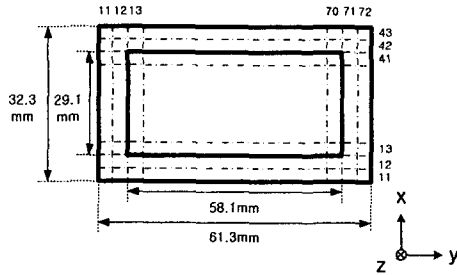


Fig. 6. Structure of excitation aperture

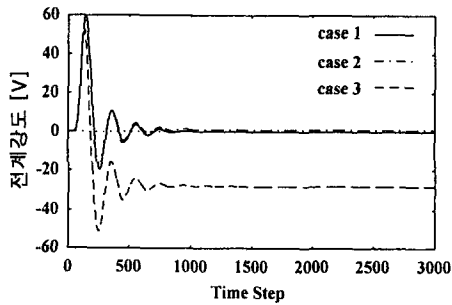


Fig. 7. The value of input signal for the excitation aperture size

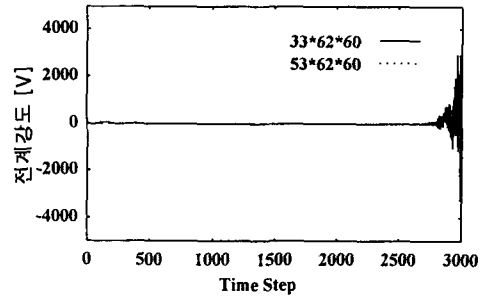
case 1은 $x(12\sim42)$, $y(12\sim71)$, case 2는 $x(11\sim43)$, $y(11\sim72)$ 이고, case 3은 $x(13\sim41)$, $y(13\sim70)$ 이다. case 2와 case 3에서 여진면을 계산하였을 때는 입력신호(V0)의 값이 0에 수렴하지 않지만, case 1일 때는 0에 수렴함을 알 수 있었다.

따라서 여진면은 도파관의 내벽을 포함하는 부분인 case 1일 때를 고려하였다.

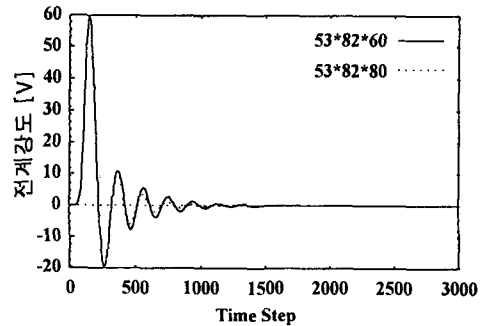
II-4. 해석영역변화

도파관의 크기는 $33\Delta x \times 62\Delta y \times 60\Delta z$ 로 일정할 때, 전체해석영역의 크기변화가 입력신호(V0)에 미치는 영향을 알아보기 위해서 Time Step을 3000까지로 하여 전체해석영역의 크기를 Fig.

8(a), (b)와 같이 변화시켰다.



(a) $33\Delta x \times 62\Delta y \times 60\Delta z$ and $53\Delta x \times 62\Delta y \times 60\Delta z$



(b) $53\Delta x \times 82\Delta y \times 60\Delta z$ and $53\Delta x \times 82\Delta y \times 80\Delta z$

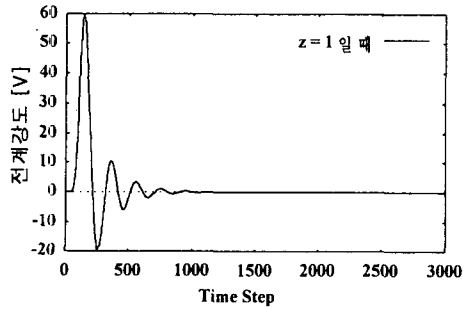
Fig. 8. The value of input signal for the total analysis regions

Fig. 8(a)에서 보는바와 같이 전체해석영역의 크기가 $33\Delta x \times 62\Delta y \times 60\Delta z$ 일 때와 $53\Delta x \times 62\Delta y \times 60\Delta z$ 일 때 입력신호(V0)의 값은 수렴하지 못하고 3000 Step 근처에서 발산하였다. 하지만 $53\Delta x \times 82\Delta y \times 60\Delta z$ 일 때와 $53\Delta x \times 82\Delta y \times 80\Delta z$ 일 때는 Fig. 8(b)과 같이 0으로 잘 수렴함을 알 수 있다. 이후로 $53\Delta x \times 82\Delta y \times 60\Delta z$ 를 적용하기로 한다.

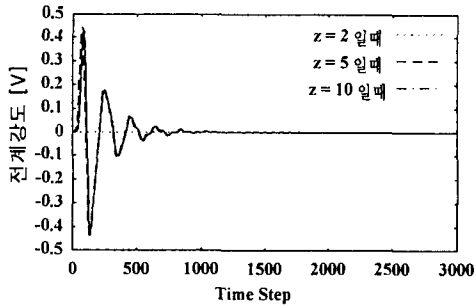
따라서, 정확한 도파관 해석을 위해서는 x와 y 축상에서 도파관을 둘러싸는 공간이산간격이 필요함을 알 수 있었다.

II-5. 여진면의 위치변화

z축 방향에 대한 여진면의 위치가 입력신호(V0)에 미치는 영향을 살펴보기 위해서 Fig. 4에서와 같이 z의 위치가 각각 1, 2, 5, 10으로 변할 때의 입력신호의 수렴정도를 계산하여 보았다. 결과는 Fig. 9(a), (b)와 같다.



(a) z=1



(b) z=2, 5, 10

Fig. 9. The value of input signal for the various excitation aperture positions

Fig. 9(a)와 같이 z=1 일 때, 입력신호(V0)의 값이 수렴하는 것 같지만 전계강도의 세기가 너무 강하여 Fig. 9(b)와 비교하기 어려운 점이 있다.

z=1일 때 Time Step 3000에서 전계강도는 1.2×10^{-4} [V]이고, z=2일 때는 2.4×10^{-5} [V], z=5일 때는 3×10^{-5} [V], z=10일 때는 3.7×10^{-5} [V]로 계산되었다. 따라서 z=2일 때를 선택하였다.

III. 구형도파관 슬랏 안테나의 주파수특성

위에서 시뮬레이션한 결과를 토대로 하여 단일 슬랏을 가지는 도파관 안테나의 좀더 정확한 해석결과를 얻기 위해서 공간이산간격을 1 mm보다 더 작은 값을 선택하였다.

Table. 1은 실험에서 사용된 슬랏 소자를 포함하는 도파관의 수치들과 FDTD 이론계산에서 사용된 각 파라미터들의 수치를 보여주고 있다. FDTD를 이용한 계산에서 x, y, z에 대한 각각의 공간이산간격 값들은 Table. 1에 표시된 실험치의 설계파라미터를 최대한 만족하도록 선택하였다. Fig. 1에 표시된 설계 파라미터는 Table. 1과 같다.

도파관영역의 크기를 $54\Delta x \times 97\Delta y \times 70\Delta z$, 전체 해석영역의 크기를 $74\Delta x \times 117\Delta y \times 70\Delta z$, Time Step을 3000으로하여 시뮬레이션 하였다.

여진위치는 x(12-63), y(12-106), z(2)이고, 공간이산간격 Δx , Δy , Δz 의 크기는 $\Delta x=0.582$ mm, $\Delta y=0.625$ mm, $\Delta z=0.7556$ mm으로 설정하였다.

Table. 1. Design parameters of a waveguide slot antenna [단위 : mm]

Parameters	Exp	FDTD
Design frequency	3.7 [GHz]	
Broad wall width of a waveguide (a)	58.1	58.125
Narrow wall width of a waveguide (b)	29.1	29.1
Wall thickness of a waveguide (t)	1.6	1.164(x) 1.25(y)
Slot length (l_s)	37.78	37.78
Slot offset (O_s)	20.0	20.0
Slot width (W_s)	5.0	5.0

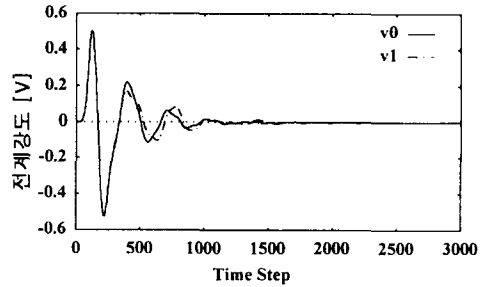


Fig. 10. The value of input and output signal for the waveguide slot antenna

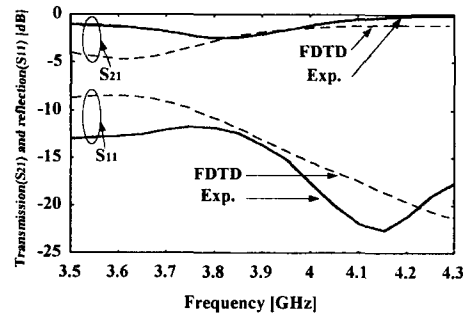


Fig. 11. The frequency characteristics of waveguide slot antenna

Fig. 10은 시뮬레이션한 입력신호(V0)와 출력신호(V1)의 값을 보여주고 있으며, Time Step 3000에서 0에 잘 수렴하는 것을 알 수 있다. 이들을 이용한 반사계수와 투과계수는 다음과 같이 구한다.

$$S_{mn} = \frac{F[V_m(t)]}{F[V_n(t)]}$$

여기서, F는 푸리에변환 연산을 나타내며 $V_m(t)$ 와 $V_n(t)$ 는 각각 port m, n에 있어서의 전압이다.

Fig. 11은 FDTD 방법에 의해 구한 반사계수(S_{11})와 투과계수(S_{21}) 값을 실험에 의해 구한 값과 비교하였다.[4]

3.7 GHz에서 실험에 의한 S_{11} 값은 약 -12 dB 정도로 측정되었지만 FDTD에 의한 값은 약 -9 dB로 계산되었다. 그리고 실험에 의한 S_{21} 값은 약 -2 dB로 측정되었지만 FDTD에 의한 값은 약 -4 dB로 측정되었다.

실험치와 이론치를 3.7 GHz에서 살펴보면 S_{11} 과 S_{21} 의 각각의 값들에서 약 3 dB와 2dB의 오차가 발생하였다.

위에서 발생한 오차는 FDTD법의 특성상 셀크기의 결정에 있어 발생하는 오차로 구형도파관 슬롯 안테나의 설계오차와 컴퓨터의 메모리에 의해 공간이산간격의 크기 제한에 기인한다고 볼 수 있다.

III-1. 슬롯길이 변화

실험에 따른 슬롯 길이의 오차를 확인하기 위해 슬롯 길이의 변화를 살펴보았다. 시뮬레이션 결과는 Fig. 12와 같다.

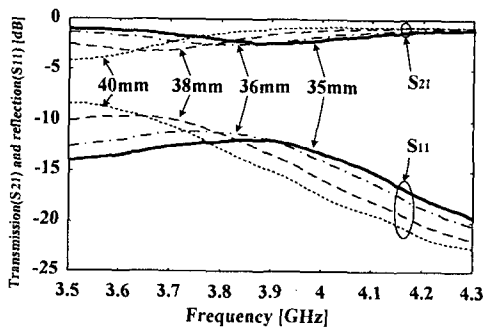


Fig. 12. The frequency characteristics of waveguide slot antenna for the various slot lengths

슬롯 길이를 38 mm에서 35 mm로 줄이면 실험결과와 거의 일치하는 결과를 얻을 수 있었다.

IV 결론

본 논문에서는 유한차분시간영역(FDTD)법을 이용하여 구형도파관 슬롯 안테나 소자의 설계를 행하였다. FDTD법으로 도파관의 슬롯을 설계하는 과정에서 Time Step, 여진면 크기, 해석영역의 크기, 여진면의 위치에 대한 정확한 해석이 요구되었다. 실제 주파수가 3.7 GHz일 때 정확한 계산을 위한 입력신호(V0)와 출력신호(V1) 값을 도출하기 위해서 여러 가지 경우의 시뮬레이션을 행하여 최적의 조건을 알아보았다. 이러한 최적조건을 이용하여 계산한 FDTD 이론치와 실험에 의해 구한 값을 비교했을 때 거의 일치하는 것을 알 수 있었다.

FDTD법을 이용하여 도파관의 슬롯을 설계할 때 발생하는 각종 오차와 해석시간의 단축 등이 남은 과제이다.

참고문헌

- [1] K. S. Yee, "Numerical Solution of Initial Boundary Value Problems Involving Maxwell's Equations in Isotropic Media". IEEE Trans. Antennas Prop., vol. Ap-14, No. 3, pp. 302~307, May. 1966.
- [2] G. Mur, "Absorbing Boundary Conditions for the Finite-Difference Approximation of the Time-Domain Electromagnetic-Field Equations". IEEE Trans. Electromagnetic Compatibility., vol. Ece-23, No. 4, pp. 377~382, Nov. 1981.
- [3] E. Yamasita and Qian, "FDTD Analysis of Microwave Planer Circuits and Antennas," Realize Inc., 1996.
- [4] K. S. Min, "A study of single layer polarization converters for slotted waveguide array antennas". Department of Electrical and Electronic Engineering Tokyo Institute of Technology, Doctoral Dissertation, June., 1996.