LP를 이용한 반도체 FAB 라인 스케쥴링 모델의 연구

이 준 호, 이 영 훈
연세대학교 산업시스템공학과
hilevel@grad.yonsei.ac.kr youngh@yonsei.ac.kr

Abstract

본 연구는 반도체 생산에서 제조공기 단축과 생산 능력의 극대화를 동시에 추구하는 스케쥴링에 관한 연구이다. 반도체 공정에서의 생산능력은 사진 공정 안에 있는 병목 설비에 의존한다. 본 연구는 사진 공정의 병목 설비인 스테퍼의 효율적인 스케쥴링을 생성하여 제조공기의 단축과 생산량의 최대화를 위한 선형계획법 모델을 제시하였다.

1. 서론

반도체 제조에 있어서, Fabrication(이하 FAB) 공정은 고가의 설비로 구성되어 있으며 공정의 구성이 복잡하고 공정작업에 소요되는 시간이 상대적으로 길다. 메모리 제품의 경우 하나의 FAB 라인에서 10-20 개의 디바이스가 생산되고 있으며, 비메모리 제품은 100 여개의 디바이스가 생산된다. FAB 공정은 확산(Diffusion), 사진(Photolithography), 박막(Thin Film), 식각(Ethcing) 등으로 구성되어 있으며, 특히 사진 공정은 감광액 도포(Photoresist), 노광(Exposure), 현상(Development) 등으로 구성되어 있다. 반도체 재료로 만들어진 원판 웨이퍼는 감광액이라는 화학적인 얇은 필름으로 코팅되며 코팅된 웨이퍼는 용해액을 제거하기 위해 가열된다. 한번 가열이 끝나면 웨이퍼는 정렬(Alignment) 공정과 노광 공정을 수행하며. 이러한 공정을 수행하는 기계를 스테퍼(Stepper)라 한다. 스테퍼에서 작업된 웨이퍼는 특별한 회로 패턴이나 레이어(Layer)가 형성된 다음 자외선에 노출된 마스크 판에 정렬된다. 스테퍼에서 정렬되어 노광 공정을 거친 웨이퍼는 곧 현상 설비에서 현상된다. 현상 공정은 노광되지 않은 감광액을 웨이퍼 상에서 제거하고 노출된 감광액만을 남긴다. 각각의 작업대 위에 올려진 웨이퍼에 대해 반도체 공정 내내 똑같은 코팅과 정렬, 노광 공정을 몇 번에 걸쳐 수행하게 된다. 따라서 작업이 끝난 작업대는 여러 개의 마스크 레이어를 가진다.

반도체 공정의 생산성은 대체로 생산량과 사이클 타임에 의해 평가된다. 장비 용량과 수율은 생산량의 척도이고, 생산 관리의 효율성은 사이클 타임으로 평가된다. 과거에는 주어진 설비용량 내에서 최대의 수율을 달성하고 최대의 생산량을 달성하는 것이 FAB 라인의 주요 관리목표였으나 최근 고객만족의 중요성이 증가하고 국제적 경쟁이 치열해짐에 따라 제조공기의 감축이 점차 FAB 라인의 관리상 주요 관리지표가 되었다. 그러나 최대생산량과 제조공기 단축이라는 두가지 목표를 동시에 달성하는 것은 복잡한 FAB 라인의 특성상 매우 어렵다. FAB 라인에서의 사진 공정의 장비는 대표적인 병목 설비로서 생산능력을 최적화하는 데에 있어 가장 중요한 관리 포인트가 된다. FAB 라인에서는 디바이스를 바꾸지 않고 많은 재공을 유지하면서 연속적으로 생산하는 것이 병목 설비의 효율성을 극대화 하기 때문에 언제나 재공의 양을 많이 유지하려는 경향이 있다. 적은 재공은 병목 장비의 많은 준비교체(Setup)를 유발하므로 생산 용량도 감소한다. 따라서 FAB 공정에서 생산량의 최대화와 사이클타임의 최소화를 동시에 달성하기 위하여 연속적으로 적절한 재공의 공급이 필요하다. FAB 라인의 재공의 흐름이 균형을 잃게 되면 재공이 적정한 시간에 공급되지 않고 스테퍼는 적절하게 스케쥴링되지 못하므로, FAB 공정에서의 밸런스 라인 구축은 매우 중요하다. 재공의 밸런스는 두 가지 경로로 파악된다. 첫번째는 전 공정을 통한 로트의 적절한 투입 위치 선정이며 두번째는 생산 계획 시한 동안의 생산 목표를 맞추기 위한 적절한 라인 속도이다. 본 연구에서 FAB 라인의 병목 공정을 중심으로 생산량을 최대화하면서 재공흐름의 균형을 유지하기위한 스케줄링방법을 제시하고자 한다.

반도체 생산라인에 대한 연구는 1980 년대 중반부터 많이 보고되고 있다. 사이클 타임의 감소에 대하여 Ehteshami, Petrakian & Shabe(1992),

Wein(1992), Demeester & Tang(1994) 등이 연구하였고, Bitran & Tirupati(1988), Glassey(1990), and Kraft(1993) 등은 반도체 산업의 시스템에 대한 연구를 발전시킨 것으로 평가된다. 반도체에 대한 심화 연구는 Uzsoy, Lee & Martin-Vega (1992,1994), Leachman(1994) 등이 수행하였다. Wein(1988) 은 병목 공정의 조정을 위한 Workload Regulating(WR) 규칙을 제시하였다. Glassey & Resende(1988) 는 병목 설비 이용율을 극대화하기 위한 Starvation Avoidance(SA) 규칙을 제안하였다. 그 외의 FAB 라인에서 특정 상황에 적용되는 규칙에 대하여 Lou & Kager(1989), Fowler, Phillips & Hogg(1992), Lee, Uzsoy & Martin-Vega(1992), Weng & Leachman(1993) 등 다수의 연구자들이 연구 결과를 제시하였다.

2. 재공흐름의 모델링

반도체 생산 공정은 20-30 개의 레이어로 구분된 600-800 개의 공정으로 구성되어 있다. 각각의 레이어는 사진, 확산, 식각 공정과 같은 일련의 과정을 수행한다. 모든 레이어는 약간의 차이는 있으나 일정한 공정의 반복되는 형태를 취하고 있다. FAB 라인에서 적정 재공수준을 정의하는 것은 어려우나 라인재공의 밸런스의 상태를 고려하는 데에 있어 적정 재공에 대한 정의는 매우 중요하다. 이는 공정별로 진행되는 작업의 형태가 서로 다르기 때문인데 예를 들면 스테퍼가 1 웨이퍼 단위로 수행되는 동안 확산 공정은 150 웨이퍼 단위의 배치 단위로 수행된다. 적정재공은 일반적으로 특정공정작업에 소요되는 제조시간에 단위생산기간동안의 생산목표로 정의할 수 있다. 레이어의 밸런스율은 현 재공에서 적정 재공을 뺀 양을 적정 재공으로 나누어 준 값으로 정의할 수 있다. 라인 밸런스를 적절하게 유지하면 짧은 사이클 타임 상황 하에서 높은 생산성을 달성할 수 있는데 이는 설비별로 필요한 재공을 적절히 공급할 수 있도록 재공이 분포되어 있음으로 설비의 유휴시간을 최소화하고 지속적으로 가동할 수 있도록 해주기 때문이다. 반도체 FAB 라인의 생산용량을 결정하는 사진 공정의 스테퍼에 대한 스케쥴링은 라인의 생산성을 좌우하고 사이클타임을 결정하기 때문에 효율적인 관리가 필요하다.

FAB 공정의 스케쥴링에는 여러가지 접근 방법이 있다. 가장 널리 사용하고 있는 방법은 사진공정에 도착하는 제품별 재공에 대해 일정한 규칙에 의해 우선순위를 결정하고 이에 따라 스케줄링하는 방법이다. 이는 실행의 편이성 때문에 널리 사용되고 있으나 본래의 목표를 달성하는데 효율적이라고 할 수 없다. 병목 설비에 대한 최적화 방법으로 정수계획법을 활용할 수 있는데 이론적으로는 가능하나 적용에 어려운 점이 있다. 정수계획법은 마스크 교체나 웨이퍼의 정렬로 인해 스테퍼의 디바이스가 교환될 때의 준비 교체 시간 손실을 고려한다. 준비 교체 시간은 디바이스의 교체 회수와 표본 검사의 유무로 결정된다. 그러나 준비 교체의 종류에 대한 엄격한 구분은 쉽지 않다. 예를 들어 FAB 라인에는 1 시간 단위의 중요한 준비 교체와 5 분 단위의 무시해도 좋을 준비 교체가 공존하고 있다. 따라서 준비 교체 시간을 무시하여 실제적으로 적용될 수 있는 선형계획법 모델을 제안한다. 현재의 정렬 (Aligning) 공정에서 다음의 정렬 공정까지의 기간을 레이어로 분류하며 정렬 공정을 레이어의 병목 공정으로 간주하고, 정렬 공정을 제외한 나머지 공정은 비병목 공정으로 간주한다. 결정 변수는 한 시프트 (Shift)가 8 시간 동안 수행될 동안 스테퍼에 정렬된 총 웨이퍼의 개수로 정의한다. 비병목 공정 상의 웨이퍼는 각 공정에 제조공기에 따라 균일하게 분포되어 있고 연속적으로 움직이는 것으로 가정한다. 특별한 경우 웨이퍼는 공정 상에서 배치의 형태를 이루기도 하지만 이러한 상태는 웨이퍼 흐름에 심각한 영향을 미치지 않는다.

제안하는 모델은 세 가지이다. 모델 A 는 한 시프트 상에서 병목 공정과 비병목 공정을 나누지 않고 순차적인 웨이퍼 흐름만을 고려하는 모델이며 하나의 시프트 스케쥴링 만을 최적화한다. 모델 B 는 2 달 동안의 180 쉬프트와 같은 결정된 상황에서 레이어를 병목 공정과 비병목 공정으로 나누어 최적화한다. 모델 C 는 병목 공정과 비병목 공정으로 구성된 레이어를 가정하고 하나의 시프트 스케쥴링을 최적화하는 모델이다. 모든 모델에서 한 레이어 동안의 웨이퍼 흐름은 이전 레이어의 비병목 공정에서 현재 레이어의 병목 공정으로, 그리고 현재 레이어의 병목 공정에서 다음 레이어의 비병목 공정으로 이동하는 것으로 가정한다. 각각의 모델은 목적 함수에 따른 세 가지 경우를 다시 고려한다. 모델 1 에서는 적정 재공과 현 재공의 차이의 합을 최소화하여 밸런스율을 감소시키고, 모델 2 에서는 모델 1 의 목적함수를 적정 재공으로 나누어 평균 밸런스율을 최소화하며, 모델 3 에서는 최종 레이어의 총 생산량이 최대화된다. 본 연구에서는 모델 A,B,C 와 모델 1,2,3 을 교차하여 총 9 개의 모델을 제안하였다. 예를 들어 모델 C-3 은 총 생산량을 최대화하는 한 시프트 동안의 병목-비병목 공정에 대한 스케쥴링이다.

3. 선형계획법 모델링

i = 디바이스 순서, $i = 1,2,\cdots,n$

j = 레이어 순서, $j = 1,2,\cdots,n_i$, n_i는 디바이스 i의 레이어의 개수

k = 스테퍼 순서, $k = 1,2,\cdots,m$

l = 시프트 순서, $l = 1,2,\cdots,L$, L은 실험 내의 시프트의 수

$X(i,j,k)\big(X(i,j,k,l)\big)$ = (시프트 l의) 스테퍼 k에 할당된 웨이퍼 (i,j)의 개수

$PW(i,j)\big(EW(i,j)\big)$ = 시작 (최종) 재공에서의 전체 재공, (i,j) 는 디바이스 i와 레이어 j

$TW(i,j)$ = (i,j)에서의 적정 재공

$BW(i,j)\big(PBW(i,j)\big)$ = 병목 공정 (i,j)에서의 시작(최종)재공

$NBW(i,j)\big(PNBW(i,j)\big)$ = 비병목공정 (i,j)에서의 시작(최종)재공

$BW(i,j,l)\big(NBW(i,j,l)\big)$ = 시프트 l에서의, 병목(비병목)공정 (i,j)에서의 최종 재공

$NBT(i,j)$ = 비병목 공정(i,j)의 사이클 타임

$STD(i,j,k)$ = 스테퍼 k에서의 표준 작업 시간

$Q(i)$ = 디바이스 i에서의 목표 생산량, 또는 최소생산요구량

Model A 의 제약조건 :

$$A(i,j) - B(i,j) = EW(i,j) - TW(i,j)$$

$$EW(i,j) = PW(i,j) + \sum_k X(i,j-1,k) - \sum_k X(i,j,k)$$

$$\sum_i \sum_j X(i,j,k) \times STD(i,j,k) \le 480$$

$$\sum_k X(i,j,k) \le PW(i,j) \times \alpha$$

$$\sum_k X(i,j,k) \ge Q(i)$$

Model A 의 목적 함수 :

Model A-1 : $Min \sum_i \sum_j [A(i,j) + B(i,j)]$

Model A-2 : $Min \sum_i \sum_j \dfrac{A(i,j) + B(i,j)}{TW(i,j)}$

Model A-3 : $Max \sum_i \sum_k X(i,n_i,k)$

모델 B 의 제약 조건 :

$$A(i,j,l) - B(i,j,l) = BW(i,j,l) + NBW(i,j,l) - TW(i,j)$$

$$BW(i,j,l) = BW(i,j,l-1) - \sum_k X(i,j,k,l) + \frac{NBW(i,j,l-1)}{NBT(i,j)}$$

$$NBW(i,j,l) = NBW(i,j,l-1) + \sum_k X(i,j-1,k,l) - \frac{NBW(i,j,l-1)}{NBT(i,j)}$$

$$\sum_k X(i,j,k,l) \le BW(i,j,l)$$

$$\sum_i \sum_j X(i,j,k,l) \times STD(i,j,k) \le 480$$

모델 B 의 목적 함수:

Model B-1 : $Min \sum_i \sum_j \sum_l A(i,j,l) + B(i,j,l)$

Model B-2 : $Min \sum_i \sum_j \sum_l \dfrac{A(i,j,l) + B(i,j,l)}{TW(i,j)}$

Model B-3 : $Max \sum_i \sum_k \sum_l X(i,n_i,k,l)$

모델 C 의 제약 조건:

$$A_{ij} - B_{ij} = BW(i,j) + NBW(i,j) - TW(i,j)$$

$$BW(i,j) = PBW(i,j) - \sum_k X(i,j,k) + \frac{PNBW(i,j)}{NBT(i,j)}$$

$$NBW(i,j) = PNBW(i,j) + \sum_k X(i,j,k) - \frac{PNBW(i,j)}{NBT(i,j)}$$

$$\sum_k X(i,j,k) \le PBW(i,j)$$

$$\sum_i \sum_j X(i,j,k) \times STD(i,j,k) \le 480$$

모델 C 의 목적 함수:

Model C-1 : $Min \sum_i \sum_j [A(i,j) + B(i,j)]$

Model C-2 : $Min \sum_i \sum_j \dfrac{A(i,j) + B(i,j)}{TW(i,j)}$

Model C-3 : $Max \sum_i \sum_k X(i,n_i,k)$

4. 결론

위에서 제시한 선형계획법 모델은 다양한 병목 공정 모델과 목적함수를 제안하고 있다. FAB 라인을 평가하는 평가지표에는 최소 재공, 사이클 타임 감소, 밸런스율, 병목 공정의 가동율, 최대 생산량 등이 있다. 한 종류의 평가지표 만을 달성하는 모델의 선택은 복잡한 생산라인 관리에 있어 만족할만한 결과를 달성할 수 없다. 따라서 위의 모델은 많은 실험을 통하여 결과를 분석할 필요가 있다. 생산량 최대화를 목적함수로 가지는 모델은 대체적으로 생산량은 많으나 재공의 밸런스와 사이클 타임에서는 좋은 결과가 기대되지 않는다. 반대로 재공밸런스를 목적으로 하는 모델은 반대

의 결과가 예상된다. 이에 대한 적절한 조합이 대부분의 목적함수를 만족시키고 이에 대한 선택으로 생산현장에 적용할 수 있는 모델을 결정할 수 있다. 현재 위 모델에 대한 전산실험과 일반적인 발견적기법과의 상호비교분석을 진행하고 있다.

선형계획법에 기초를 둔 스케쥴링은 기계의 돌발적인 고장, 특히 병목 설비의 고장에 대해 유연한 대처를 할 수 없으므로 돌발 상황에 대비한 리스케쥴링의 생성을 고려해야 한다. 투입량 규칙 (Dispatching Rule)은 실제로 수행되는 스케쥴링에서 대부분 유효하므로 8 시간 동안의 한 시프트와 같은 주어진 시간 간격에서는 라인에 심각한 변화가 없는 한 선형계획법을 적용하고, 병목 설비의 고장과 같은 돌발 상황에서는 투입량 규칙을 적용할 수 있다. 적절한 투입량 규칙과 웨이퍼 할당규칙은 재공 상황, 설비 상황, 생산 목표 등에 대한 다양한 연구를 통하여 선정할 수 있다.

참고문헌

1 Bitran, G.R., and Tirupati, D., "Development and Implementation of a Scheduling System for a Wafer Fabrication Facility", *Operations Research*, Vol. 36, No. 3, pp377-395, 1988.

2 Carrrasco, J., Alpetekin, S.E., and Krumme, L., "Mixed Integer Programming Applied to Stepper Scheduling", Proceedings of 1999 international Conference on Semiconductor manufacturing, pp 62-66.

3 Demeester, L., and Tang, C., "Reducing Cycle Time at an IBM Wafer Fabrication Facility", Technical Paper, University of California at Los Angeles, 1994.

4 Ehteshami, B., Petrakian, R.G., and Shabe, P.M., " Trade-Offs in Cycle Time Management: Hot Lots", *IEEE Trans. on Semiconductor Manufacturing*, Vol. 5, No. 2, pp101-106, 1992.

5 Fowler, J.W., Phillips, D.T., and Hogg, G.L., "Real-Time Control of Multiproduct Bulk Service Semiconductor Manufacturing Process", *IEEE Trans. on Semiconductor Manufacturing*, Vol. 5, pp158-163, 1992.

6 Glassey, C.R., and Resende, M.G.C., "Closed-Loop Job Release Control for VSLI Circuit Manufacturing", *IEEE Trans. on Semiconductor Manufacturing*, Vol. 1, No. 1, pp36-46, 1988.

7 Glassey, P.G., "A Comparison of Release Rules using BLOCS/M Simulations", ESRC Report 90-15, 1990.

8 Kraft, C., "Dynamic Kanban Semiconductor Inventory Management System", Technical Paper, Texas instruments Inc., 1993.

9 Leachman, R.C., "The Competitive Semiconductor Manufacturing Survey: Second Report on Results of the Main Phase", CSM-08 Report, 1994.

10 Lee, C.Y., Uzsoy, R., and Martin-Vega, L.A., "Efficient Algorithms for Scheduling Batch Processing Machines", *Operations Research*, Vol. 40, pp764-775, 1992.

11 Lou, S.X.C., and Kager, P.W., "A Robust Production Control Policy for VLSI Wafer Fabrication", *IEEE Trans. on Semiconductor Manufacturing*, Vol. 2, No. 4, pp159-164, 1989.

12 Uzsoy, R., Lee, C.Y., and Martin-Vega, L.A., "A Review of Production Planning and Scheduling Models in the Semiconductor Industry, Part I: System Characteristics, Performance Evaluation, and Production Planning", *IIE Transactions*, Vol. 24, No. 4, pp47-60, 1992.

13 Uzsoy, R., Lee, C.Y., and Martin-Vega, L.A., "A Review of Production Planning and Scheduling Models in the Semiconductor Industry, Part II: Shop-Floor Control", *IIE Transactions*, Vol. 26, No. 5, pp44-55, 1994.

14 Wein, L.M., "Scheduling Semiconductor Wafer Fabrication", *IEEE Trans. on Semiconductor Manufacturing*, Vol. 1, No. 3, pp115-129, 1988.

15 Wein, L.M. "On the Relationship Between Yield and Cycle Time in Semiconductor Wafer Fabrication", *IEEE Trans. on Semiconductor Manufacturing*, Vol. 5, pp156-158, 1992.

16 Weng, W. and Leachman, R.C., " An Improved Methodology for Real-Time Production Decisions at Batch-Process Work Stations", *IEEE Trans. on Semiconductor Manufacturing*, Vol. 6, pp219-225, 1993.