

## 거리 측정을 위한 변환기의 설계

최진호, 도태권\*, 장윤석\*  
부산외국어대학교 전자컴퓨터공학부, \*부경대학교 전기제어계측공학부  
전화 : 051-640-3194

### Design of a Converter for range finder

Jin-Ho Choi, Tae-Kwon Do\*, Yun-Seok Jang\*  
Division of Electronic and Computer Engineering, Pusan University of Foreign Studies  
\* Dept. Electrical Engineering Pukyong University  
E-mail : jhchoi@taejo.pufs.ac.kr

#### Abstract

A new time-to-digital converter is designed and the converter is based on a voltage-to-frequency converter and a counter. The converter output is obtained without delay time and the resolution improves with increasing input time interval because the output of voltage-to-frequency converter increases linearly. In the designed circuit the input time intervals range is from 100nsec to 3 $\mu$ sec.

#### I. 서론

시간에 대한 정보를 디지털 신호로의 변환은 거리 측정용 회로 등에서 응용되어지는 주요한 회로이다. 시간-디지털 신호의 변환은 시작(start)을 알리는 펄스 신호와 멈춤(stop)을 알리는 펄스 신호 사이의 시간을 측정하여 시간에 비례하는 디지털 신호를 만드는 것이다. 이러한 동작을 위한 일반적인 방법은 전류원을 이용하여 시작 신호가 발생하면 일정한 전류로 커패시터를 충전하고, 멈춤 신호가 발생하면 커패시터의 충전은 멈추게 된다. 그러면 커패시터에는 시작과 멈춤 사이의 시간에 비례하는 전하가 충전된다. 이때 커패시터에 충전된 전압을 아날로그-디지털 변환회로를 이용하여 디지털 값으로 변환하면, 시간에 대한 신호를 디지털 값으로 변환할 수 있다<sup>1)</sup>. 그리고 또 다른 방법은 커패시터에 충전된 전하를 방전시키면서, 방전 시간동안 crystal oscillator와 카운터를 이용하여 시간 신호를 디지털 신호로 변환하는 것이다. 이때 crystal oscillator의 주파수는 보통 100MHz 정도의 주파수를 가지며, 또한 방전 시간은 충전 시간의 N배가 되도록 조절한다. 즉, 방전 전류를 충전 전류의 1/N이 되도록 조절하여 방전 시간을 증가시키는 이유는 디지털 출력 값의 분해도(resolution)를 향상시키기 위함이다<sup>2)</sup>.

이외에도 delay element를 이용하는 방법이 있다<sup>3)</sup>. 기존의 이러한 방법들은 시작과 멈춤의 입력 신호가 발생한 후 디지털 출력 값을 얻기까지는 약간의 지연 시간이 필요하며, 방법에 따라서는 변환하고자 하는 입력 시간보다 더 긴 시간이 필요하다. 그리고 delay element를 이용하는 경우는 입력 신호를 인가하기 전에 항상 기준 신호를 입력하여 기준 시간에 따른 카운터의 값을 측정한다. 원하는 입력 신호를 인가하고 기준 신호에 따른 출력 값과의 관계를 이용하여 재 계산해야 하는 단점이 있다.

본 논문에서는 이와 같은 단점을 보완하기 위하여 디지털 출력 신호의 분해도를 향상시키고 동시에, 멈춤 신호가 입력되면 지연시간 없이 디지털 출력 값을 얻기 위한 방법을 제안한다.

#### II. 시간-디지털 변환기의 구성

본 논문에서 제안하는 시간-디지털 변환기의 개략도는 그림 1과 같으며, 입력 신호 및 회로 각 블럭의 출력 신호 파형은 그림 2와 같다.

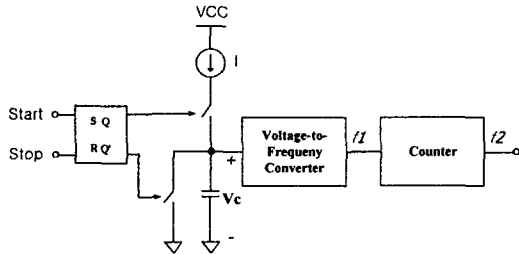
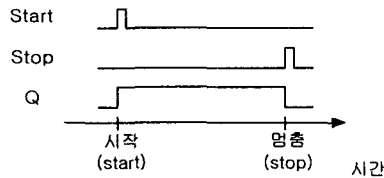
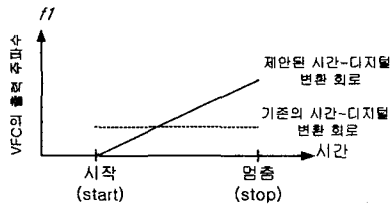


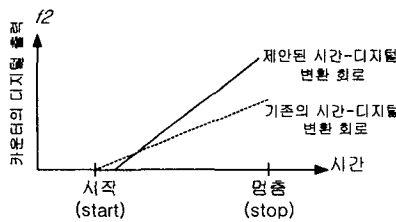
그림 1 시간-디지털 변환기의 개략도



(a)



(b)



(c)

그림 2 회로의 출력신호

(a) 시작과 멈춤 신호 (b) 전압-주파수 변환회로의 출력 (c) 카운터 출력

RS latch에서 시작 신호는 S 단자에 그리고 멈춤 신호는 R 단자에 인가한다. 시작 신호가 low에서 high로 변화할 때 RS latch의 출력은 high가 되며, 이 후 시작 신호가

low로 변화하더라도 RS latch의 출력 Q는 계속해서 high의 값을 유지한다. 그러다가 멈춤 신호의 값이 low에서 high로 변화하면 RS latch의 출력은 high에서 low로 변화한다. 즉, RS latch의 출력은 시작과 멈춤 신호 사이에서 high 값을 가지는 펄스 신호이며, 출력 신호는 그림 2(a)와 같다.

이와 같은 RS latch의 출력은 시간 신호를 전압 신호로 변환하기 위하여 커패시터를 충·방전하기 위한 스위치 제어 신호로 사용된다. RS latch의 출력이 high인 경우 커패시터는 전류원을 통하여 일정한 전하를 충전한다. 그리고 RS latch의 출력이 low이면 커패시터는 방전을 한다. 그러므로 RS latch의 출력이 high인 동안 커패시터의 전압  $V_c$ 는 수식 (1)과 같이 표현된다.

$$V_c = A_1 \cdot (T_2 - T_1) \quad (1)$$

여기서  $A_1$ 은 커패시터를 충전시키기 위해 흐르는 전류와 커패시터 크기의 비로 표현되어지는 비례 상수이고,  $T_2$ 는 멈춤 신호가 low에서 high로 변화할 때의 시간이며  $T_1$ 은 시작 신호가 low에서 high로 변화할 때의 시간이다. 즉, 커패시터 전압  $V_c$ 는 시작 신호와 멈춤 신호 사이의 시간에 비례하는 전압 신호이다.

시간 신호에 비례하는 전압  $V_c$ 를 전압-주파수 변환 회로의 입력 신호로 인가하면, 전압-주파수 변환 회로의 출력 주파수는 수식 (2)와 같이 표현된다.

$$f_1 = A_2 \cdot V_c \quad (2)$$

여기서  $A_2$ 는 전압-주파수 변환회로의 비례 상수 값이다. 그러므로 수식 (1)과 (2)로부터 최종 출력 신호는 입력 시간에 비례하는 주파수를 가지는 펄스 신호이다. 그러므로 출력 신호를 카운터의 클럭 신호로 사용하면 카운터의 출력은 시간에 비례하는 디지털 신호가 될 것이다.

그림 2 (b)에서 보듯이 본 논문에서 제안한 클럭 주파수와 기존의 연구에서 사용된 클럭 주파수의 값은 시간에 따라 다르다. 즉, 기존의 연구에 사용된 클럭 주파수는 입력 시간에 무관하게 항상 일정한 값을 가지나, 본 논문에서 제안한 회로의 클럭 주파수는 입력 시간이 증가함에 따라 수식 (1)과 (2)의 관계에 따라 선형적으로 증가하게 된다. 입력 시간에 따라 선형적으로 변화하는 주파수 신호를 사용함에 의해 카운터의 디지털 출력 값은 그림 2 (c)와 같을 것이다.

그리고 시간-디지털 변환 회로의 분해도는 비례상수  $A_1$ 과  $A_2$ 에 관계하며, 분해도를 향상시키기 위해서는 비례 상수  $A_1$ 과  $A_2$  값이 커지는 방향으로 회로의 파라미터를 조절

함으로서 분해도를 향상시킬 수 있다. 또한 변환하고자하는 입력 시간이 길어지면 질수록 기존의 회로에 비해 제안된 회로의 분해도는 향상되어질 것이다. 그리고 시간-디지털 신호 변환을 위하여 외부 소자의 추가 없이 전체 회로를 하나의 IC로 구현할 수 있을 것이다.

### III. CMOS 시간-디지털 변환 회로

그림 3은 CMOS를 이용하여 설계한 시간-디지털 변환 회로이다. 회로 설계 시 사용된 모델 파라미터는 MOSIS사의 0.35 $\mu$ m 트랜지스터 특성을 이용하였으며, simulation은 HSPICE를 사용하였다.

회로의 각 구성을 살펴보면, 트랜지스터 MP1에서 MP4 그리고 MN1에서 MN4는 RS latch 회로를 이루고 있다. 그리고 MP5, MP6, MN5, C<sub>1</sub>으로 구성된 회로는 시작과 멈춤 신호에 따라 시간을 전압으로 변환하는 회로로서 커패시터 C<sub>1</sub>의 전압 V<sub>c</sub>는 시간에 비례하여 증가하는 전압이다. 즉, 식(1)을 다시 표현하면 수식 (3)과 같다.

$$V_c = \frac{I \cdot (T_2 - T_1)}{C_1} \quad (3)$$

여기서 I는 C<sub>1</sub>을 충전하기 위한 전류로서 전류원 MP5를 통하여 흐르는 전류이다. 그리고 C<sub>1</sub>에 충전되는 전압 V<sub>c</sub>는 MP15에서 MP19 그리고 MN12에서 MN15로 구성된 source follower를 통하여 저항 R5에 인가된다. R5 저항을 통해서 흐르는 전류 V<sub>c</sub>/R5는 전류원 MP19, MP21, MP22를 통하여 흐르게 되고, 이 전류는 V<sub>c</sub>의 전압이 증가함에 따라 선형적으로 증가하게 되므로 MP19, MP21, MP22는 시작과 멈춤 신호에 따라 선형적으로 증가하는 전류원으로 동작하게 된다. 이 전류는 스위치 MP23과 MN17을 통하여 C<sub>2</sub>를 충·방전하게 된다. 충·방전시 최대 전압과 최소 전압은 저항 R1, R2, R3 그리고 트랜지스터 MP10에서 MP14, MN8에서 MN11로 구성된 비교기 회로에 의해서 스위치 MP23과 MN17을 on/off함으로써 결정되어진다. 그러므로 커패시터 C<sub>2</sub>의 전압 파형은 전류원 MP22와 MN18을 통하여 충·방전하는 삼각파가 된다. 그리고 삼각파의 주파수 f<sub>1</sub>은 수식 (4)와 같이 표현된다. f<sub>1</sub>은 수식(4)에서 보듯이 시작과 멈춤 사이의 시간에 비례하는 주파수이다.

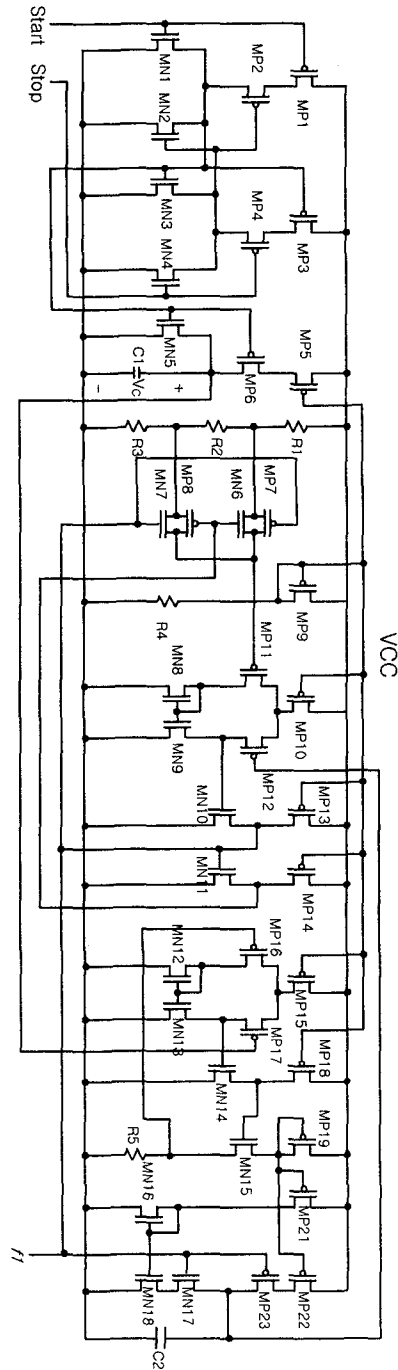


그림 3 CMOS 시간-디지털 변환 회로

$$f_1 = \frac{V_c}{R5} \cdot \frac{1}{C_2 \cdot (V_{high} - V_{low})}$$

$$= \frac{1}{R_5} \cdot \frac{1}{C_1 C_2} \cdot \frac{I \cdot (T_2 - T_1)}{V_{high} - V_{low}} \quad (4)$$

여기서 I는 수식 (3)에서와 같이 전류원 MP5를 통하여 흐르는 전류이다. 그리고 디지털 값을 얻기 위한 카운터의 클럭 신호는 커패시터 C<sub>2</sub>를 충·방전하기 위해 스위치 MP22와 MN18의 게이트 단자에 인가되는 펄스 신호이다.

회로 설계에 사용된 트랜지스터의 최소 채널 길이는 0.35μm 이며, 공급 전압은 3.3volt이다. 그림 4는 입력 시간에 따른 출력 디지털 값의 simulation 결과이다. 그리고 기존의 결과와 비교하기 위하여 100MHz의 클럭 주파수를 이용하여 시작과 멈춤 신호 사이의 시간동안 카운터 되어진 값은 점선으로 나타내었다.

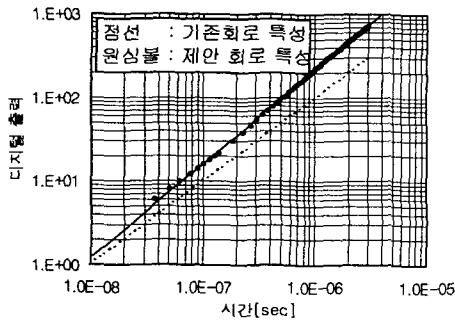


그림 4 시간-디지털 변환회로의 출력

기존 연구의 경우 클럭 주파수가 입력 시간의 값에 관계없이 일정하지만, 본 논문에서 제안한 경우는 입력 시간이 증가함에 따라 클럭 주파수가 증가하므로 그림 4에서 보듯이 입력 시간이 길어질수록 기존의 방법에 비해 분해도가 좋을 수 있다. 그리고 사용할 입력 시간 영역을 고려하여 C<sub>1</sub>, C<sub>2</sub>, R<sub>5</sub>의 파라미터 값을 조절한다면, 향상된 특성을 가질과 동시에 지연 시간 없이 출력 값을 얻을 수 있는 시간-주파수 변환 회로를 구현할 수 있다.

제안된 시간-주파수 변환회로에서는 입력 신호의 시간이 100nsec 이하에서는 선형성이 다소 떨어지는데, 이는 100nsec 이하의 시간 영역에서는 C<sub>1</sub>의 충전 전압이 아주 작아 커패시터 C<sub>2</sub>를 충전하기 위한 전류가 선형적으로 흐르지 않기 때문이다. 그리고 입력 시간이 3μsec 이상으로 증가할 경우에는 C<sub>1</sub>의 충전 전압 V<sub>c</sub>가 포화되어 시간에 따라 더 이상 전압이 증가하지 않

으므로 입력 시간에 따른 주파수의 선형성이 유지되지 않는다.

## V. 결론

3.3 volt용 CMOS를 이용한 시간-디지털 변환회로를 설계하였다. 설계된 회로에서의 입력 시간 영역은 100nsec에서 3μsec 이하이다. 그리고 기존의 회로와의 차이점은 멈춤 신호가 발생함과 동시에 출력 디지털 값을 구할 수 있다는 것이다. 그리고 기존의 방법에서는 카운터의 클럭 주파수가 일정한 값을 가지기 때문에 분해도를 향상시키기 위해서는 카운터되는 시간을 증가시켰다. 그러나 본 논문에서 제안한 방법에서는 입력 신호의 시간이 증가함에 따라 클럭 주파수가 선형적으로 증가함으로써 입력 신호의 시간이 증가함에 따라 분해도는 향상되어진다. 그리고 입력 신호의 시간 영역 변화와 분해도 향상을 위해서는 C<sub>1</sub>, C<sub>2</sub>, R<sub>5</sub>의 수동소자 값을 변화시킴으로서 간단하게 해결할 수 있다.

## 참고 문헌

- [1] A.Baschirotto, G. Boella, R. Castello, G. Frattini, G. Pessina and P.G. Rancoitat, "3ns resolution CMOS low-power time-to-voltage converter," Electronics Letter, vol. 34, no. 7, pp. 614-615, April 1998.
- [2] Elvi Raisanen-Ruotsalainen, Timo Rahkonen and Juha Kostamovaara, "A low-power CMOS time-to-digital converter," IEEE Journal of Solid-State Circuits, vol. 30, no. 9, pp. 984-990, September 1995.
- [3] Poki Chen, Shen-Iuan Liu and Jingshown Wu, "Highly accurate cyclic CMOS time-to-digital converter with extremely low power consumption," Electronics Letter, vol. 33, no. 10, pp. 858-860, May 1997.