

# Verilog-A를 이용한 행위수준에서의 아날로그 회로 모델링

° 이길재, 김태련, 채상훈, 정희범\*  
호서대학교 전자공학과, \*한국전자통신연구원 아날로그회로연구소  
전화 : 041-540-5428 / 핸드폰 : 017-279-5501

## Analog Circuit Modelings in Behavioral Level using Verilog-A

Kil-Jae Lee, Tae-Lyoun Kim, Sang-Hoon Chai, Hee-Bum Chung\*  
Dept. of Electronic Engineering, Hoseo Univ., \*ETRI  
E-mail : dhkdsnsl@freechal.com

### Abstract

This paper introduces to design analog circuits with Verilog-A. It is a tool for design and simulation of analog ICs in behavioral level. Verilog-A has been already established standard and used to IP development in USA. We have proved the possibility of Verilog-A by comparing with measurement data of a fabricated 235MHz PLL circuit. This paper also describes another advantage of Verilog-A.

### I. 서론

이제까지 특정 시스템에 사용되는 아날로그 칩에 대한 설계는 실제 칩을 제작해서 테스트를 하므로써 검증할 수 있었다. 그러나, 이러한 방법에 의해서는 칩이 장착될 시스템의 사양에 맞지 않을 경우 칩의 설계를 수정하여 새로 제작하여야 하므로 신제품의 출시 단계에서 다른 경쟁자들보다 늦어지는 결과가 나올 수 있다. 이것은 디지털 회로의 설계와 달리 초기 시뮬레이션(pre-simulation)이 어렵기 때문이다. 아날로그 분야에도 HSPICE라는 툴이 있으나 이것은 칩에 대한 하위수준(bottom-level)에서의 시뮬레이션일 뿐 실제 시스템과 제대로 인터페이스가 되는지를 알기까지는 부

족함이 많았으며, 회로단계에서 시뮬레이션을 하여야 그 결과를 알 수 있었다. 그래서, 디지털 설계에서의 VHDL이나 Verilog와 같은 툴을 이용하여 아날로그 칩의 설계에 대해서도 행위 수준에서 시뮬레이션이나 설계가 가능한 툴의 개발과 기준을 마련해 놓았으며 이미 미국 등에서는 이것을 이용하여 IP를 개발하고 있다, 이것이 바로 VHDL-AMS(Analog Mixed Signal)와 Verilog-A이다.

본 논문은 이들의 툴 중에서 Verilog-A를 이용하여 아날로그 칩의 설계에서 행위 수준에서의 설계방법에 대해 다루고자 한다. 이를 위해서, 이미 실제 설계하여 제작된 PLL을 Verilog-A를 이용하여 모델링하고 시뮬레이션을 하여 나온 결과와, 실제 제작된 칩을 측정하여 얻은 결과를 비교함으로써 행위 수준에서의 시뮬레이션의 가능성과 그 잇점들에 대하여 소개하고자한다.

### II. Verilog-A의 개요

#### 2.1 Verilog-A의 개발

이제까지 아날로그 IC의 설계에서는 초기 시뮬레이션이란 HSPICE를 이용한 하위수준에서의 시뮬레이션이었으며, 설계과정에서 회로 단계에 이르러서야 IC가

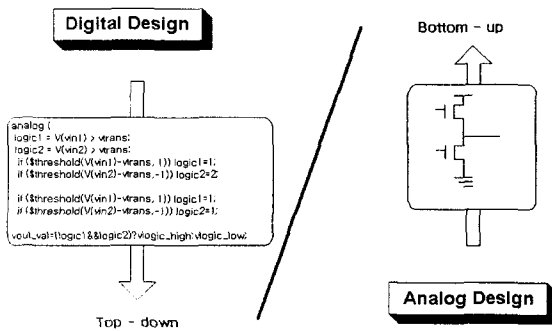


그림 1. 디지털과 아날로그 설계방법의 근본적 차이

쓰일 시스템과 인터페이스 관계를 알아볼 수 있었다. 그러나 디지털 설계에서는 이미 1980년대 초반부터 Verilog-HDL (Hardware Description Languages) 등의 상위수준(high-level)에서 초기시뮬레이션이 가능한 툴들이 개발되어 설계에 활용하였으며, 1990년대 중반에는 IEEE에서 이들에 대한 표준안을 만들었다. 이로 인하여 디지털 설계에서는 라이브러리의 공유가 가능해졌으며, 설계와 시뮬레이션의 편의성 때문에 디지털 설계 분야에서는 많은 발전을 보고 있다. 이러한 잇점을 아날로그 설계에서도 활용하기 위해 OVI (Open Verilog International)에서는 Verilog 언어의 표준안(IEEE-1364)을 더욱 포괄적으로 규정하여 아날로그와 혼합 모드 형태의 표준도 마련했고 1996년 Verilog-A와 1998년 Verilog-AMS를 개발하였다.

2.2 Verilog-A의 표현방법

Verilog-A로 아날로그 회로를 표현하는 방법은 Verilog-HDL이 C프로그래밍에 경험이 있는 사람에게 쉽게 접근할 수 있는 것처럼 Verilog-A 또한 기존의

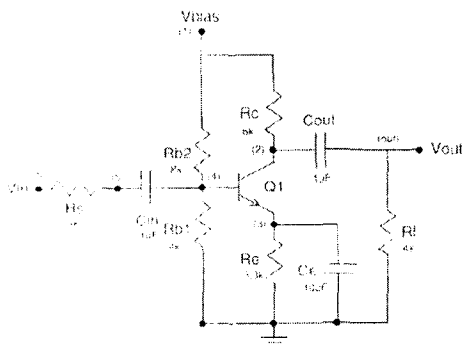


그림 2. 공통 이미터 증폭기의 schematic 회로

아날로그 시뮬레이션의 툴로 사용하던 SPICE를 사용해본 사람이라면 쉽게 접근할 수 있다. 뿐만 아니라, 회로의 수학적 표현과 구조적인 표현뿐만 아니라 Laplace 변환 등을 사용하여 행위수준(behavior-level) 표현이 가능하다. 그림2는 트랜지스터 수준에서의 공통 이미터 증폭기의 schematic 회로이다. 이것을 Verilog-A에서 SPICE와 같은 표현방법으로 그림3에서 표현하였다.

```

module ceamp_sp(Vin, Vbias, Vout, gnd);
    input Vin, Vbias;
    output Vout;
    inout gnd;
    electrical Vin, Vbias, Vout, gnd;

    Rs      5 6      4K;
    Rb1     4 0      4K;
    Rb2     1 4      8K;
    Rc      1 2      6K;
    Re      3 0      3K;

    Rsp     out_sp 0 4K;
    Rfm     out_fm 0 4K;
    Rec     out_rc 0 4K;
    Rlp     out_lp 0 4K;

    Cin     5 3      1uF;
    Ce      3 0      10uF;
    Cout    2 out_sp 1uF;
    
```

그림 3. 공통 이미터 증폭기 SPICE

그림 2에 대한 이득을 식으로 표현하면

$$A_0 = \left( \frac{R_{in}}{(R_{in} + R_s) \times g_m \times R'_L} \right) \quad (식1)$$

을 이용하면 이득은 25가 나온다. 이식을 가지고 공통 이미터 증폭기를 함수적으로 표현하면 그림4와 같다.

```

module ceamp_fm(in, out);
    inout in, out;

    parameter real gain = 1.0;

    analog begin
        V(out) <+ V(in)*(-gain);
    end
    
```

그림 4. 공통 이미터 증폭기의 함수적 표현

그림4는 그림2의 공통 이미터 증폭기를 함수적인 방법으로 표현한 것이다.

그림5는 그림2와 식1에서 얻은 이득을 가지고 주파수 응답에 대한 RC연결로 공통 이미터 증폭기를 나타내고 있다.

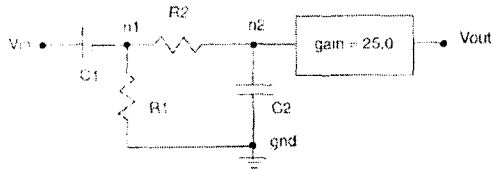


그림 5. 주파수 응답에 대한 RC연결한 structure 구조

```

analog begin
    I(in, n1) <+ c1*ddt(V(in, n1));
    V(n1, gnd) <+ r1*I(in, n1);
    I(n1, n2) <+ V(n1, n2)/r2;
    I(n2, gnd) <+ c2*ddt(V(n2, gnd));
    V(out, gnd) <+ V(n2, gnd)*(-gain);
end
    
```

그림 6. 주파수 응답을 표현한 structure 표현

그림6은 그림5를 표현한 것으로서 구조적 표현 방법으로 모델링한 것이다. 실질적으로 이 표현부터 행위수준에서 표현이라 할 수 있다.

그림7은 식2와 같은 Laplace 변환에 관한 식을 이용하여 표현한 행위수준 표현 방법이다.

$$(A(s))/ A_M = \frac{s}{\omega_L + \left(1 + \frac{\omega_L}{\omega_H}\right)s + \left(\frac{1}{\omega_H}\right)s^2} \quad (식2)$$

```

module ceamp_b도(in, out, gnd
    inout in, out;
    electrical in, out;

    parameter real gain = 1.0;

    analog begin
        V(out, gnd) <+ gain*laplace_nd(V(in),
            {(0.0, 1.0), (3.6K, 1.001, 3.7e-7)});
    end
end
    
```

그림 7. 공통 이미터 증폭기의 행위수준 표현

이상과 같이, 공통 이미터 증폭기를 예로 들어 Verilog-A로써 표현할 수 있는 4가지 표현 방법을 보

였다. Verilog-A의 표현은 행위 수준에서만뿐만 아니라 하위수준에서도 표현이 가능하기 때문에 다양한 표현 방법과 여러 수준에서 시뮬레이션이 가능해 빠른 시간에 시뮬레이션이 가능하다.

### III. 234MHz PLL 행위수준 시뮬레이션

본 논문에서는 Verilog-A에 대한 좀 더 나은 정보를 제시하기 위해 실제 제작하였던 235MHz의 PLL(Phase-Locked Loop: 위상동기 루프)를 Verilog-A로 표현하여 PLL을 측정하여 추출한 데이터와 시뮬레이션 결과를 비교했다.

#### 3.1 PLL 표현

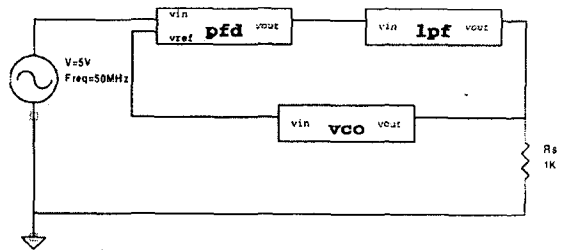


그림 8. 구현할 235MHz PLL의 블록도

그림8에서와 같이 구현하고자한 235MHz PLL의 블록도이다. PLL은 블록도와 같이 PFD(Phase-Frequency Detector)와 VCO(Voltage Control Oscillator), LPF(Low-pass Filter)로 구성되어있다. 각 블록에 대해 함수적 표현이나 구조적 표현 방법으로 모델링하였다.

```

module pll(vin, Vref, vout_pdf, vout);
    electrical vin, vout, Vref, vout_pdf;
    input vin, vref;
    output vout;

    phase_detector_frequency #(gain(2))
        pfd_체 (vref, vin, vout_pdf);
    vco #(amp(1))
        vosc (vout_pdf, vout);
    lpf #(bandwidth(1))
        lpf (vout_pdf, vout);
end
    
```

그림 9. 각 블록을 연결한 PLL의 Verilog-A 표현

그림9는 PLL을 이루는 VCO, PFD, LPF를 연결하는

구조(structure) 형태의 표현방법이다. 입력되는 235MHz의 신호를 기준 주파수와 일치(lock)하도록 하였다.

3.2 시뮬레이션 결과와 측정 결과 비교

235 MHz PLL에 대하여 Verilog-A로 모델링하여, 컴파일로 생성된 PLL의 심볼을 이용하여 Cadence의 Spectra로 시뮬레이션을 하였다. 입력 주파수 48.76MHz에 대하여 235MHz의 주파수의 클럭 출력여부를 알아보았다.

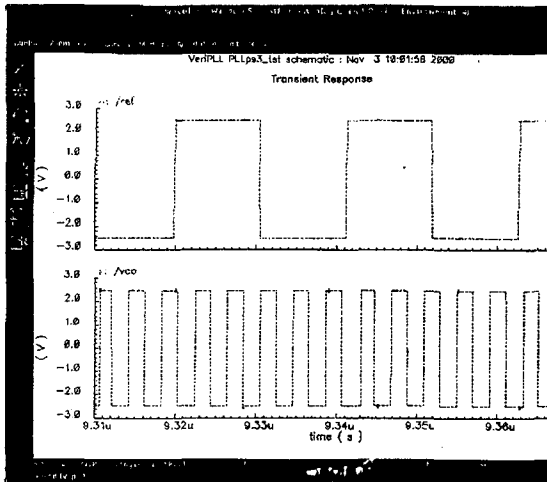


그림10. Verilog-A로 구현한 PLL의 출력

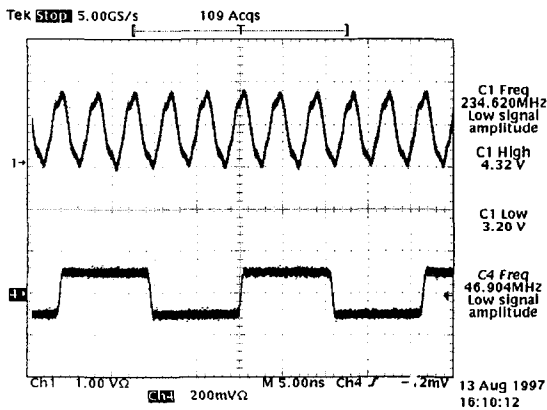


그림11. 실제 235MHz PLL의 출력

Verilog-A로 시뮬레이션의 결과인 그림10과 실제 PLL의 결과와 비교해 보았을 때 파형은 차이가 있었지만, 발전형태는 비슷하였다, 실제 PLL 측정에서의

임피던스 부정합(miss-match)등을 감안한다면 Verilog-A로 구현한 PLL의 시뮬레이션 결과는 초기시뮬레이션으로 사용하기에 만족할만하다고 할 수 있다.

IV. 결론

아날로그 회로에서의 행위 수준에서의 설계와 초기 시뮬레이션은 이제까지 불가능했다. 따라서, 칩의 개발에 많은 시간과 비용이 소요되었다. 이것은 행위수준에서의 초기시뮬레이션을 수행할만한 틀이 없었기 때문이었다. 그러나, Verilog-A의 개발로 이러한 문제를 상당부분 해결할 수 있게 되었다.

본 논문의 앞장에서 제시한 것과 같이 Verilog-A를 이용하면 아날로그 회로의 시뮬레이션을 행위수준에서 벗어나 행위 수준에서 초기시뮬레이션이 가능하게 되었다. 이것은 설계자가 본 설계를 시작하기 전에 외부 장치들과의 인터페이스 관계를 예측할 수 있기 때문에 설계의 수정 등으로 인한 새로운 칩의 개발 시간과 재설계에 의한 비용을 절감할 수 있다는 것을 의미한다. 한편, 공동 개발을 수행할 때에도 Verilog-A를 이용한다면 설계자간의 라이브러리 공유도 가능하게 될 것이며, 설계자의 독자적인 라이브러리에 대해서도 보호 받을 수 있다. 더 나아가서는 Verilog-A로써 아날로그 라이브러리를 개발하여 디지털 설계와 같이 IP사업도 할 수 있을 것으로 예상된다.

Verilog-A는 아날로그-디지털의 설계에도 이용하기 위한 단계까지 연구되고 있다.

참고문헌(또는 Reference)

- [1] Dan FitzPatrick, Ira Miller, Analog Behavioral Modeling with the Verilog-A language, Kluwer Academic Publishers. 1998
- [2] Ken Kundert, "Modeling and 시뮬레이션 of Jitter in Phase-Locked Loops", in analog Circuit Design. Kluwer Academic publishers 1997
- [3] Ernst Christen, Kenneth Bakalar, "VHDL-AMS-A Hardware Description Language for Analog and Mixed-Signal Applications", in IEEE transactions on circuits. vol46 pp.1263-1272, October 1999
- [4] 채상훈, 광명신 "ATM 교환기용 데이터 및 클럭 복원 회로의 설계", 대한 전자공학회 논문지, 제32권, B 편, 제4호, 1995년 4월