

무선 LAN 용 네트워크 프로세서의 설계

김 선영, 박 성일, 박인철

KAIST 전자전산학과

전화 : 042-869-8061 / 핸드폰 : 019-632-4044

Implementation of a Network Processor for Wireless LAN.

Sun-Young Kim, Sung-Il Park, In-Cheol Park

Dept. of EECS, KAIST

E-mail : sun@ics.kaist.ac.kr

Abstract

A network is an important portion of communications in these days. Because of many inconveniences of a wired-network, wireless solutions have been studied for many years. One of the results of those efforts is IEEE 802.11, wireless LAN. This paper briefly summarizes wireless LAN and specially focuses on the design of a network processor for the wireless LAN system. The processor has 16-bit instruction set suitably selected for network processing and low-power consumption. It is implemented and verified with a wireless LAN system model. The wireless LAN system is modeled in RTL excluding the RF module. The processor can be used in many wireless systems as a controller and utilized as a test module for the research of low-power schemes.

I. 서론

현대사회에서 네트워크는 아주 중요한 생활의 일부분이 되었다. 그 중 공공 기관, 학교 등에서 많이 쓰이는 LAN은 연결의 번거로움과 배선, 고정된 장소에서의 사용 등의 여러 가지 불편함이 있다. 따라서 이러한

불편함을 없애고자 하는 것이 무선 LAN이다. 또한 무선 LAN은 이런 불편 뿐 아니라 기존에 인프라가 설치되어 있지 않은 지역에 저렴한 비용으로 해결 할 수 있는 좋은 방법이다. 이러한 무선 LAN 시스템에서는 저전력을 소모하는 프로세서의 사용이 필수적이다. 이 분야 뿐 아니라, 시스템에 내재되어있는 프로세서들도 전력소모와 더불어 잡음, 방열, 환경과 같은 문제 때문에 저전력 설계가 중요해지고 있다. 따라서 저전력 프로세서의 설계는 필수적이다.

본 논문은 무선 LAN 시스템의 대략적인 구조와 각 부분의 역할에 대해 설명하였다. 그리고 MAC layer를 컨트롤 하기 위한 저전력 프로세서를 설계하고, 이를 구현하여 전체 무선 LAN 시스템과 함께 검증하였다.

II. 무선 LAN 시스템

2.1 무선 LAN 네트워크의 기본 구조

무선 LAN 시스템은 기존의 유선 LAN을 대체할 핵심적인 기술이다. 이것의 대략적인 네트워크 구조는 그림 1에 나타내었다[1].

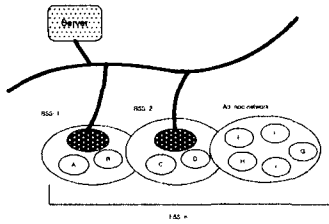


그림 1. 무선 LAN 네트워크의 구조

각각은 basic service set (BSS) 로 되어있고, 이것이 여러 개 모인 것이 extended service set (ESS) 이다. 각각의 BSS는 하나의 access point (AP) 를 통해서 통신을 하게 된다.

2.2 무선 LAN 시스템의 구조

무선 LAN 시스템은 크게 세 가지 부분으로 나뉘어진다. 첫번째 부분은 본 논문에서 설계한 부분이자 medium access control (MAC)을 담당하는 네트워크 프로세서 (MAP : medium access processor) 이다. 그리고 두번째 부분은 physical layer (PHY)를 담당하는 MODEM이고, 세번째 부분은 RF 이다.

본 논문에서 구현된 네트워크 프로세서가 포함된 무선 LAN 시스템의 구조는 그림 2 에서 나타내었다.

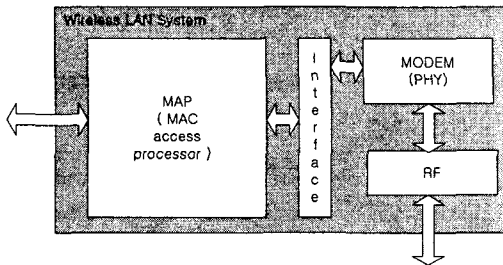


그림 2. 무선 LAN 시스템의 구조

그림에서 MAP는 16 bit으로 parallel 하게 데이터의 입출력이 이루어 지기 때문에 serial하게 입출력이 이루어지는 MODEM과 연결을 위해서 interface logic이 필요하게 된다.

2.3 MAC 프레임의 구조

MAC 프레임은 AP로부터 mobile station (MS) 로의 reserved part와 반대의 경우에 대한 reserved part, 이에대한 random part로 나뉘어진다. MAC 프레임의 구조는 아래 그림 3과 같다[1].

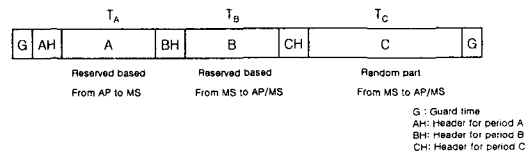


그림 3. MAC 프레임의 구조

그림에서 보이는 바와 같이 데이터를 MAC 프로토콜에 맞도록 프레임 작업을 하는 부분이 네트워크 프로세서이다.

III. 네트워크 프로세서의 설계 및 검증

3.1 네트워크 프로세서의 특징

설계된 프로세서 (MAP) 는 서로 커뮤니케이션하는 개체의 MAC layer 프로토콜을 처리해 주기 위한 파이프 라인된 프로세서이다. MAP의 주요한 특징은 다음과 같다.

(1) 5단 파이프 라인

MAP은 instruction의 평균 실행 시간을 단축하기 위하여 파이프라인된 아키텍처를 채택하였다. MAP의 파이프라인은 instruction fetch (IF), instruction decode (ID), instruction execution (EX), memory access (MA), write back (WB) 의 다섯단계이다.

첫번째 파이프라인 스테이지인 IF는 16비트의 명령어를 매 사이클마다 instruction 메모리로부터 가지고 오는 파이프라인 스테이지이다. 분기명령어나 인터럽트가 발생하지 않으면 2만큼 증가된 주소를 다음 사이클에 보내고, 분기명령어나 인터럽트가 발생하면 타겟 어드레스가 선택이 된다. 분기 명령어 일 경우, 다음 주소에 displacement가 더해지게 된다. 인터럽트 발생시는 정해진 주소로 점프하게 된다. 인터럽트 0번은 주소 2, 1번은 주소 4, 2번은 주소 6으로 정해져 있다.

두번째 파이프라인 스테이지인 ID는 폐치된 명령어를 분석하여 레지스터 파일로부터 연산자를 읽어 다음 단인 EX로 공급해주고, EX,MA,WB단에서 수행해야 하는 일과 관련된 컨트롤 신호를 만들어 준다. 디코트 유닛은 아래 그림 4와 같다.

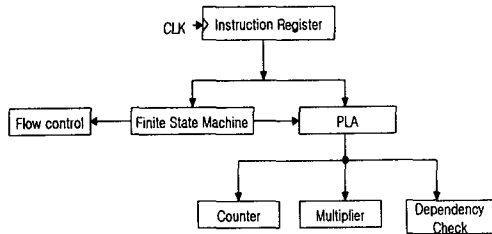


그림 4. 디코드 유닛의 구조

Stall이 없는 경우 fetch된 명령어로 받아서 instruction register (IR) 에 latch하고, 그 명령어를 디코드 하여 FSM 모듈에서는 스테이트를 결정하고, PLA 모듈에서는 각 명령어와 스테이트에 따른 콘트롤 신호들을 각 파이프라인 스테이지에 보낸다. Flow control 모듈에서는 FSM의 상태에 따라 stall을 발생시킬 것인지 아닌지 결정한다. 마지막으로 dependency check 모듈에서는 data forwarding을 위한 dependency를 체크한다.

세번째 파이프라인 스테이지인 EX에서는 ID단에서 생성된 콘트롤 신호를 이용하여 datapath를 제어하고, 이것으로 arithmetic, logic, shift, multiplication 및 multi-cycle 동작을 수행하는 스테이지이다. Arithmetic 에서 multiplier는 16X16의 2's complement 정수곱셈을 1 사이클에 수행하기 위해 array multiplier를 내장하고 있다. multiplier는 두개의 16비트 2's complement 입력을 받아서 32비트의 2's complement 출력을 내보낸다.

네번째 파이프라인 스테이지인 MA는 Load, Store와 같이 메모리에 데이터를 읽고 쓰거나, WB 스테이지로 연산의 결과 및 각종 제어신호를 pass하는 스테이지이다.

마지막 파이프라인 스테이지는 WB이다. 이것은 레지스터 파일에 명령어의 결과를 쓰는 파이프라인 스테이지이다. MAP은 WB 스테이지에서의 데이터 forwarding을 피하기 위해서 시스템 클럭의 high level에서 write를 수행하고, low level에서 read를 수행한다. 또한 load 명령어나 store 명령어의 width (byte, word, long word)에 따라 선택적으로 수행한다.

(2) 그 밖의 특징

MAP은 16비트의 instruction set을 가지고 있고, 8비트, 16비트, 32비트의 가변적으로 access가 가능하다. 이는 저전력 구현을 용이하게 해준다. 또한 MAP은 32

비트의 datapath를 가지고 있고, multi-cycle instruction들로 DIV/REM (division/remainder) 를 가지고 있다. 15개의 general purpose register들과 한개의 stack pointer를 가지고 있다. 마지막으로 MAP은 6개의 어드레싱 모드를 가지고 있다. Register, Immediate, Displacement, Indexed, Pre-decrement, Post-increment 등의 어드레싱 모드를 지원함으로써, 네트워크 프로세서의 기능을 잘 지원하게 된다.

3.2 신호들에 대한 정의

MAP의 대략적인 블럭도는 그림 5와 같다.

MAP은 명령어를 fetch하기 위한 버스, 데이터를 load/store하기 위한 버스, 그리고 인터럽트를 처리하기 위한 콘트롤 I/O를 가지고 있다.

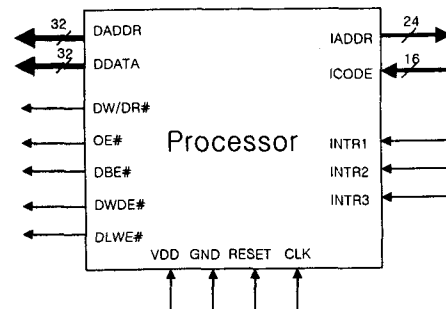


그림 5. MAP 이치러

(1) Instruction fetch

Fetch 할 명령어의 주소를 내보내는 24비트의 IADDR bus와 명령어를 가지고 오는 16비트의 ICODE bus로 구성된다.

(2) 데이터 load/store

load/store의 대상이 되는 메모리의 주소를 내보내는 32비트 DADDR bus와 데이터 버스, 버스 read와 버스 write를 구분해주는 DW 신호, 데이터 버스의 방향(I/O) 을 나타내주는 OEB 신호, 그리고, I/O의 width (byte, word, long word) 을 지시하는 DBE, DWE, DLWE로 구성된다.

(3) 인터럽트

인터럽트 처리를 위한 I/O들이다. 3개의 인터럽트를 처리할 수 있도록 0, 1, 2 세개의 인터럽트 신호가 있고, 인터럽트가 처리되었음을 알려주는 acknowledge 출력 신호가 있다.

핀 신호에 대한 discription을 표 1과 같다.

표 1. 핀 신호 discription

Name	Type (Active)	Description
VDD	I	Power
GND	I	Ground
CLK	I	Clock 입력
RESET	I (H)	Reset (최소 7 cycle이상 유지 되어야 한다.)
IADDR[23:0]	O	Instruction address 버스
ICODE[15:0]	I	코드버스
DADDR[31:0]	O	데이터 address 버스
DDATA[31:0]	B	데이터 버스
DW/DR#	O (H:W, L:R)	데이터 버스 방향 콘트롤
OEB	O	데이터 버스 output enable
DBE	O (L)	데이터 버스 byte enable (D0-D7)
DWE	O (L)	데이터 버스 half word enable (D0-D15)
DLWE	O (L)	데이터 버스 word enable (D0-D31)
INTR0	I (H)	Interrupt request0
INTR1	I (H)	Interrupt request1
INTR2	I (H)	Interrupt request2
IACK	O	Interrupt acknowledge

IV. 시스템 검증 환경

본 장에서는 앞에서 설명한 MAP을 이용한 무선 LAN 시스템을 구현하였다. 전체적인 테스트 시스템 구성은 그림 6과 같다.

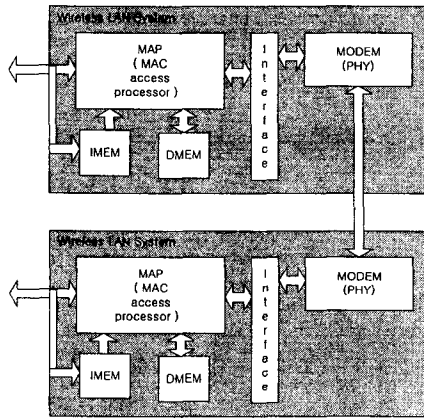


그림 6. MAP의 검증을 위한 테스트 환경

네트워크 프로세서 동작을 확인하기 위해서 RF 쪽을 제외 한 테스트 시스템을 구성해서 동작을 확인했다.

MAP은 50MHz로 동작을 하고, parallel하게 데이터의 입출력이 이루어지기 때문에 1MHz로 동작하면서 serial하게 데이터의 입출력이 이루어지는 MODEM과 연결이 되기 위해서는 인터페이스 로직이 필요하게 된다. 인터페이스 로직에서는 parallel에서 serial 또는 그 반대의 변환 뿐 아니라, 더블 버퍼링을 해서 데이터

처리에 지연이 없도록 한다.

MAP은 데이터 메모리와 명령어 메모리를 분리하는 하바드 아키텍처를 썼다[2]. 동작을 보면 다음과 같다. 먼저 프로그램을 PC나 노트북에서 IMEM (instruction memory)에 다운로드 한 후 MAP에서는 프로그램을 읽어서 명령어를 수행하고, 그것을 MODEM을 통해서 데이터를 전송하게 되고, 또 하나의 시스템에서는 이와 반대 과정으로 모뎀을 통해 들어온 데이터를 네트워크 프로세서 쪽으로 전송을 한다.

RTL 시뮬레이션과 FPGA를 통한 테스트를 모두 했다. RTL 시뮬레이션 시에는 MODEM과 MODEM 사이에 화이트 가우시안 노이즈를 더해서 시뮬레이션을 수행했고, FPGA 검증 시에는 FPGA의 동작 속도의 한계때문에, 10MHz로 동작을 시켜서 확인을 했다.

V. 결론

네트워크가 현대의 생활에서 빠질 수 없는 부분이 됨에 따라 여러 가지 불편함과 인프라 구축 시에 드는 비용 등의 문제로 인하여 무선 통신은 아주 핵심적인 기술이 되었다.

본 논문에서는 무선 LAN 시스템에 들어가는 네트워크 프로세서에 요구되는 저전력 특성과 네트워크 처리에 용이한 명령어 집합을 가지는 네트워크 프로세서를 설계하여, 이것을 시스템에 적용하여 검증해 보았다. 설계된 프로세서는 전체 시스템에서 이상없이 동작함을 확인하였다.

이 프로세서는 여러 무선 시스템 등의 응용분야에서 콘트롤러 코어로 사용될 수 있을 뿐 아니라 저전력 기법을 연구하기 위한 테스트 모듈로도 사용될 수 있다. 따라서 본 논문은 많은 무선 시스템의 프로세서 설계 시 기초 자료로 사용 될 수 있을 것으로 사료된다.

참고문헌(또는 Reference)

- [1] Rifaat A. Dayem, "Mobile Data & Wireless LAN Technologies," pp.130-133, 1997.
- [2] John Hennessy & David A Patterson, "Computer Architecture a Quantative Approach." pp.54-55, 1996.
- [3] "Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications" IEEE Std 802.11, March. 1997.