음성신호 처리용 저주파 시그마 델타 변조기 설계

신경민, 장홍석, 정대영, 정강민
성균관대학교 전기전자 및 컴퓨터공학과
전화 031-290-7194, 핸드폰 017-207-5093

The Design of Sigma-Delta Modulator for audio signal application

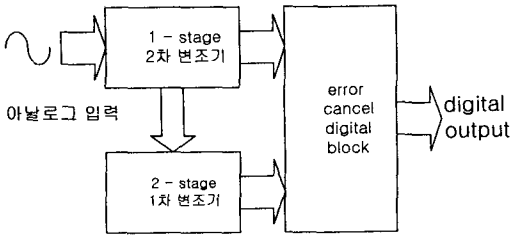
Shin Kyung-Min, Chang Hong-Seok,
Chung Dai-Young, Chung Kang-Min
Dept. of Electronics, Sung kyun kwan University
E-mail : skkmm@unitel.co.kr

Abstract

Oversampling modulators based on high-order sigma-delta modulation provide an effective means of achieving high-resolution A/D conversion in a VLSI technology. Because high-order noise shaping greatly reduces the quantization noise in the signal band. This paper introduces a third-order cascaded sigma-delta modulator that is stable for large input level. Modulator was simulated 3.3V single power supply voltage in 0.65㎛ CMOS technology. It achieves 80dB SNR for a 20kHz input signal bandwidth. A lock frequency is 3MHz that is 80 oversampling ratio.

1. 서론

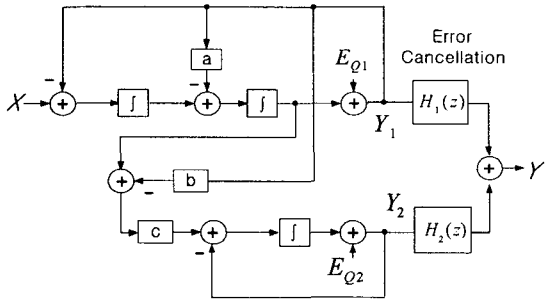
Sigma-delta modulator는 현재 conventional ADC (Flash, Two-step)방식의 여러 가지 문제점들을 해결할 수 있는 대안으로서 각광을 받고 있는 분야이다. 현재 VLSI 공정의 발전성향은 가능한 한 chip내 line들의 폭을 줄이고, 또한 최신 short channel CMOS 공정으로 아주 빠른 속도성능을 제공하면서 전체 chip의 소형화, 저전력, 고속화를 구현하는데 있다. 그러나 이는 주로 digital system에 적합한 특성이며 소자간의 matching 특성이 중요시되는 analog system에서는 line과 소자의 소형화가 진행될수록 정확한 matching이 어려워진다. 특히 저항이나 capacitor을 이용한 conventional ADC의 경우 심각한 문제가 되며 이를 극복하기 위해 대량 생산에는 부적절한 고비용의 calibration 이나 trimming 과정이



[그림 1]

필요하다. Sigma-delta 방식은 속도 측면에서 다소 손해를 감수하는 대신 해상도의 개선을 꾀하는 방식으로 저주파 아날로그 신호 처리용으로 적합하다.

높은 해상도를 구현하기 위해서는 3차이상의 고차 변조기를 설계해야 하지만, 안정도 면에서 문제가 될 수 있기 때문에 무작정 차수를 높일 수 없다. 그래서 본 논문에서는 2차와 1차를 cascading하는 방식으로 안정된 고차 변조기를 설계하였다. [그림1]은 본 논문에서 다룰 2-1 cascaded sigma-delta modulator의 구조를 보여주고 있다. 이 구조에서 첫 번째 단은 2차 변조기를, 두 번째 단은 1차 변조기를 사용함으로써 1차, 2차 변조기만으로 높은 해상도를 끌어낼 수 있는 방법이다. 고차를 사용하지 않기 때문에 여러 가지 좋은 점을 이끌어 낼 수 있다. 첫째, 시스템 전체가 언제나 안정하기 때문에 아날로그 입력패턴을 full scale로 인가할 수 있다. 둘째, 보통의 높은 해상도의 ADC를 만들기 위해서 까다롭고 큰 아날로그 블록을 설계해야 하지만 이 논문에서 제시한 방법은 아날로그 블록 자체의 크기와 설계의 어려움을 최소화하는 기법이다. 대신 일반 변조기에 없는 error cancellation이라는 디지털 블록 추가되는 단점도 있다. 셋째, 낮은 oversampling ratio로도 높은 해상도를 구현할 수 있기 때문에 보다 넓은 입력신호대역을 처리할 수 있다. 넷째, continuous-time integration을 기초로한 변조기의 설계로 aliasing error와 op-amp에 대한 요구조건을 줄일 수 있다.



[그림 2]

2. modulator 구조 및 원리

[그림2]를 보면 second stage의 입력은 first stage의 양자화 error의 함수로 인가됨으로써 3차 modulator의 특성을 만들어 낸다. 즉, 2차와 1차를 cascading 함으로써 3차의 효과를 볼수 있다는 것이다. 첫 번째 단의 출력 Y_1과 두 번째 단의 출력 Y_2는 error cancellation이라는 디지탈 블록의 입력으로 들어간다. 결국 최종적인 출력 Y는 다음과 같이 정의 될 수 있다.

$$Y(z) = Y_1 \cdot H_1(z) + Y_2 \cdot H_2(z) \quad \text{-- 식(1)}$$

시그마 델타 변조기의 해상도는 양자화 에러의 크기에 따라 반비례한다. 물론 회로 자체적으로 잡음들이 많아 이로 인해 해상도가 나빠지겠지만 주로 양자화 error에 의해 해상도는 결정된다. 그림(2)에 나타난 변조기의 양자화 에러는 첫 번째 단과 두 번째 단에서 발생한다. 이 둘 중에 E_{Q1}이 main 양자화 에러이기 때문에 이것을 제거시키는 것이 해상도를 극대화하는 방법이다. 여기서 a=2로 고정시켜 놓는다면,

$$Y_1(z) = z^{-2}X(z) + (1 - z^{-1})^2 E_{Q1}(z) \quad \text{--식(2)}$$

$$Y_2(z) = z^{-2} X_2(z) + (1 - z^{-1}) E_{Q2}(z) \quad \text{--식(3)}$$

여기서 X_2는 두 번째 단의 입력으로,

$$X_2(z) = c\,[(1-b)\,Y_1(z) - E_{Q1}(z)] \quad \text{--식(4)}$$

식(1)에서 최종 Y(z)에서 E_{Q1}를 완전히 제거하기 위해서 함수 $H_1(z)$과 $H_2(z)$를 결정해야한다. 이와 같은 방법으로 이들을 구하면,

$$H_1(z) = z^{-1} - (1-b)\,(1 - z^{-1})^2\, z^{-1} \quad \text{--식(5)}$$

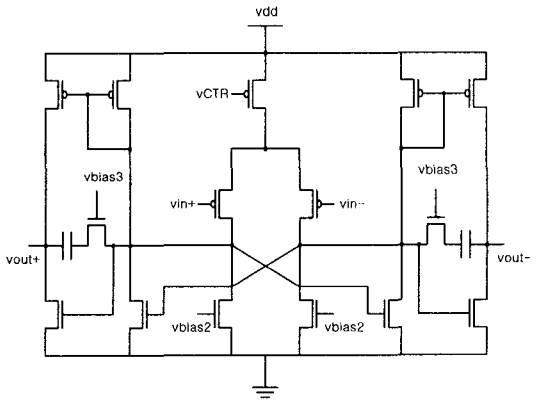
$$H_2(z) = \frac{1}{c}\,(1 - z^{-1})^2 \quad \text{--식(6)}$$

식(1)에서 식(5)와 (6)을 대입하여 나타난 최종적인 출력은 E_{Q1}이 완전히 제거된 E_{Q2}의 함수만으로 나타나게 된다. 여기서 E_{Q2}라는 양자화 에러는 비교적 작기 때문에 해상도가 높은 sigma-delta modulator의 출력을 얻을 수 있는 것이다. 결국, 최종 출력값은

$$Y(z) = z^{-3}X(z) + \frac{1}{c}\,(1 - z^{-1})^3\, E_{Q2} \quad \text{--식(7)}$$

3. Implementation

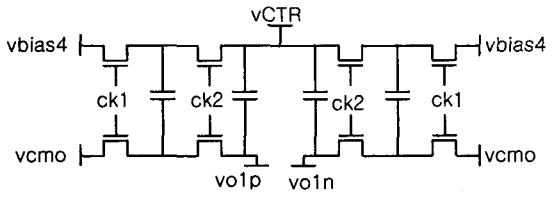
A. Operational Amplifiers



[그림 3]

[그림3]에서 보여진 연산증폭기는 two-stage로 설계됐다. 첫 번째 단은 class A이며 그 다음 단은 class AB다. 이는 간단한 구조에 저전력, 높은 power supply

noise rejection, 안정된 common-mode level를 가지며, 특히 낮은 공급전압에서도 높은 전압이득을 갖는 것이 특징이다. 또한 common-mode feedback 회로도 간단하면서 좋은 성능을 나타냄으로써 안정된 common-mode level을 유지할 수 있다.



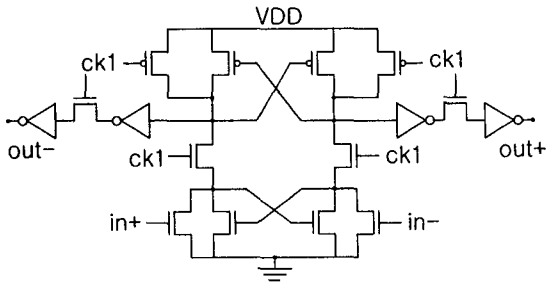
[그림4]

여기서, vo1p와 vo1n은 연산증폭기 첫 번째 단의 양 쪽 output voltage이며 vcmo는 그 두 output의 common-mode voltage이다. 만약 공통모드 값이 변하게 되면, vCTR의 값이 유동적으로 움직이면서 연산증폭기의 전류원의 전류량을 적당히 변화시켜 공통모드 전압을 유지시켜준다.

Open-loop gain : 62dB
GBW(10-pF load) : 60MHz
Phase margin : 60Deg.
Bias current : 300μA

[measured characteristics of OP Amp]

B. Comparator

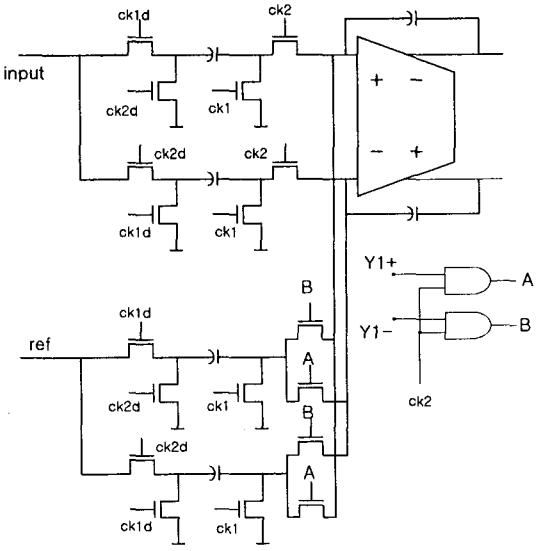


[그림5]

이 구조는 네 개의 nMOS, pMOS 트랜지스터들이 아래 위로 positive feedback cross couple형태로 이루어져 있어 입력 전압을 무한대로 증폭시켜 준다. Clock ck1이 'high'일 때 연산이 이루어지며 인버터 두 개를 통과해 확실한 decision을 해준다. Ck1이 'low'일 때는 연산을 하기 위한 precharging 구간이며 인버터 사이에 있는 스위치에 의해 신호는 hold된 상태로 남아있게 된다. 여기서 발생하는 여러 noise중에서 clock이 'on', 'off' 될 때 발생하는 charge injection noise가 잘못된 decision을 일으키는 주원인이 된다. 이것을 줄이기 위해 신호를 holding 시켜주는 스위치를 인버터 사이에 놓음으로써 실제 comparator와 격리시키는 방법으로 영향을 최소화했고, 나머지 clock에 제어 받는 네 개의 MOS의 sizing을 똑같이 하므로 nMOS와 pMOS 반대 극성 charge의 상쇄효과를 볼 수 있다. 또한 입력 단에 발생하는 kickback noise를 줄이기 위해선 입력 단에 pre-amp를 추가해야 하지만 이 noise는 비교적 작기 때문에 결과에는 별 영향을 미치지 못한다. 이 회로의 성능은 300MHz의 아주 빠른 분해능력과 10bit 이상의 높은 해상도를 보이며, 단점으로는 mismatch에 대한 영향을 많이 받기 때문에 이를 고려한 설계가 필요하다.

C. Integrator circuit

[그림6]은 첫 번째 단에 first integrator circuit을 나타낸



[그림6]

것이다. 여기서 ck1d, ck2d는 ck1, ck2보다 약간의 delay를 가진다. 이것은 동시에 open될 때 생기는 noise를 줄이기 위한 방법이다. Y1+와 Y1-는 첫 번째 단 comparator output이며 A, B신호에 의해 reference값이 선택되어지는 구조로 이루어져있다. 입력과 reference는 단일 voltage로 인가된다.

D. Error cancellation block

[그림7]은 [그림2]에서 a=2, b=2, c=0.5 값을 인가해서 얻어지는 error cancellation block이다. 그래서 실제

$H_1(z)$과 $H_2(z)$를 구해보면 다음과 같다.

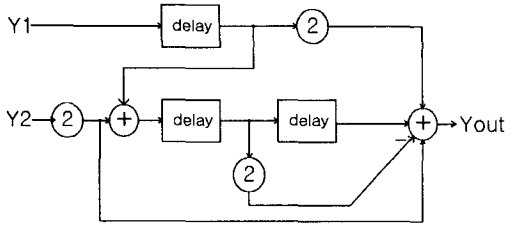
$H_1(z)=2z^{-1}-2z^{-2}+z^{-3}$ --식(8)

$H_2(z)=2-4z^{-1}+2z^{-2}$ --식(9)

여기서 식(8), 식(9)을 대입해서 구한 출력 Y는,

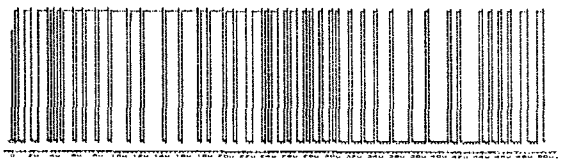
$Y(z)=z^{-3}X(z)+2(1-z^{-1})^3 E_{Q2}$ --식(10)

식(10)을 보면, Y는 큰 양자화 error를 가진 E_{Q1}는 완전히 제거된 형태로 입력신호와 E_{Q2}의 함수로 표현되어진다. 식(7)을 보면, c라는 analog 변수는 E_{Q2}를 반비례로 곱해지기 때문에 너무 작은 값으로 정하지 않는 것이 좋다.

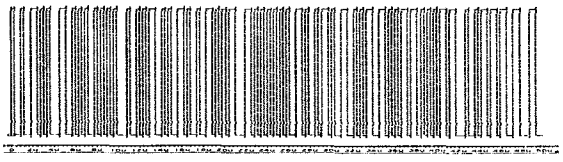


[그림7]

4. 실험 결과



[그림8]



[그림9]

< modulator performance summary >

Peak SNR : 80dB
Oversampling : 80
Signal Bandwidth : 20kHz
Sampling rate : 33MHz
Power Supply Voltage : single 3.3v
Power Dissipation : 25mW
Technology : 0.65㎛ CMOS

[그림8]과 [그림9]는 $Y_1(z)$과 $Y_2(z)$의 output 파형을 나타낸 것이다. 즉, 이 파형들이 error cancellation block으로 인가되는 값들이다. 최종 Y값을 FFT(Blackman-Harris) 분석한 결과 80dB정도의 값을 얻어 낼 수 있었다. 이것은 2차 modulation 출력 $Y_1(z)$의 40dB SNR의 해상도보다 개선된 결과라고 할 수 있다. 이 결과를 살펴보면, 앞에서도 언급했듯이 $Y_1(z)$, $Y_2(z)$의 신호가 디지털 블록을 통과하면서 많은 양자화 error가 감소된 신호로 바뀐다는 것이고 이는 높은 해상도를 갖는 modulator 출력을 얻을 수 있다는 것을 의미한다.

<참고문헌>

[1] S. Kiriaki, "A 0.25mW sigma-delta modulator for voice-band applications," in *Symp. VLSI circuits Dig. Tech. Papers*. 1995, pp.35-36.

[2] N. Tan and S. Eriksson, "A low-voltage switced-current delta-sigma modulateor," *IEEE J. Solid-State Circuits*, Vol. 30, pp. 599-303, May. 1995

[3] S. S. Bazarjani, M. Snelgrove, and T. MacElwee, "A 1V switched-capacitor ΣΔ modulator," in *Symp. Low Power Electronics Dig. Tech. Papers*, Oct. 1995, pp. 70-71.

[4] J. Grilo, E. MacRobbie, R. Halim, and G. Temes, "A 1.8V 94dB dynamic range ΣΔmodulator for voice applications," in *ISSCC Dig. Tech. Papers*, Feb. 1996, pp.232-233.

[5] E. J. van der Zwan and E. C. Dijkmans, "A 0.2mW CMOS ΣΔ modulator for speech coding with 80dB dynamic range," in *ISSCC Dig. Tech. Papers*, Feb. 1996, pp. 232-233.

mixed-mode subranging CMOS A/D converter," in *ISSCC Dig. Tech. papers*, Feb. 1995, pp.282-283.

[6] S. Rabii and B. A. Wooley, "A 1.8V, Digital-Audio ΣΔ Modulator in 0.8 μm CMOS," in *IEEE J. Solid-State Circuits*, vol. 32, no. 6, Jun. 1997, pp.783-796

[7] G. Yin, F. Stubbe, and W. Sansen, "A 16-b 320-kHz CMOS A/D Converter Using Two-Stage Third-Order ΣΔ Noise shaping," in *IEEE J. Solid-State Circuits*, vol. 28, no. 6, Jun. 1993, pp.640-647.