

새로운 Locking 알고리즘을 이용한 DLL(Delay-Locked-Loop) 설계

경영자, 김태엽, 이광희, 손상희 *

청주대학교 전자공학과

* 청주대학교 전자·정보통신·반도체공학과

전화 : (043) 229-8464 / 팩스 : (043) 229-8432

A Design of DLL(Delay-Locked-Loop) using new Locking Algorithm

Young-Ja Kyoung, Tae-Yob Kim, Kwang-Hee Lee, Sang-Hee Son*

Dept. of Electronic Eng, Chongju University

* School. of Electronic · Information & Communication · Semiconductor Eng, Chongju
University

E-mail : yjkyung@wslab.chongju.ac.kr

Abstract

New locking algorithm of DLL is proposed to improve the locking speed and low power dissipation in this paper. In spite of using the architecture of delay controller, low power consumption is acquired by operating only one controller at once and fast locking speed is accomplished by initial setting from the coarse controller. The proposed DLL circuit is operated from 50MHz to 200MHz and locked within 6 cycle at all of operating frequency.

I. 서론

최근 제조공정기술의 발전에 따라 집적도 및 복잡도가 증가하여 VLSI 칩 내에 많은 회로 블록이 집적되고 마이크로프로세서를 비롯한 각종 시스템의 클럭 속도가 증가하므로 안정된 클럭 소스의 제공은 필수적이다. 그러나 외부에서 들어오는 클럭은 내부에서의 loading에 의해 delay를 가지게 되고 이것은 칩의 오동작 및 고주파 동작

을 저해하는 요인으로 작용하므로 클럭 스퀴를 제거할 수 있는 I/O Interface 회로가 필요하다. 클럭 스퀴를 제거하는 회로에 대한 연구는 크게 Phase-Locked Loop(PLL)를 이용한 것과 Delay-Locked Loop(DLL)를 이용한 것으로 나눌 수 있는데 DLL이 PLL보다 차수가 낮고 위상 오차의 누적이 없기 때문에 DRAM과 같이 클럭 주파수를 채택할 필요가 없을 경우에는 DLL을 사용하는 것이 일반적이다. DLL은 delay양을 조정하여 내부클럭과 외부클럭을 동기화 시키므로 delay를 조절할 수 있는 VDL(Variable Delay Line)이 필요한데, 이것은 DLL의 성능을 결정하는 가장 중요한 블록이다. VDL은 그림 1과 같이 세가지 방법으로 구성할 수 있다. 그림 1 (a)는 각 delay cell의 delay를 아날로그적으로 가변하는 방법으로 클럭 스퀴와 jitter가 작은 반면 locking 속도가 느리고 전력 소모가 큰 단점이 있다. 그림 1 (b)는 delay cell의 개수를 조절하는 방법으로 control은 쉽지만 디지털 DLL은 Delay 값이 연속적이지 못하므로 약간의 클럭 스퀴가 존재하게 되고 밴드폭을 넓게 하려면 면적이 커지는 단점이 있다. 그림 1(c)는 앞의 두 방법의 장점을 모두 이용하기 위한 것으로 delay cell의 개수를 조절하여 coarse locking을 하고 delay cell의 delay를 아날로그적으로 가변하여 fine locking을 하는 방법이다. 이것은 넓은 locking range을

갖지만 dual controller를 사용하기 때문에 control이 복잡하고 전력소모도 많다. VDL과 함께 고려해 주어야 할 문제는 locking time이다. 이는 DLL의 응용치에 따라 locking time에 제한이 있는 경우가 있기 때문인데 현재 사용하고 있는 DRAM의 경우 200cycle안에 locking이 되어야 한다.

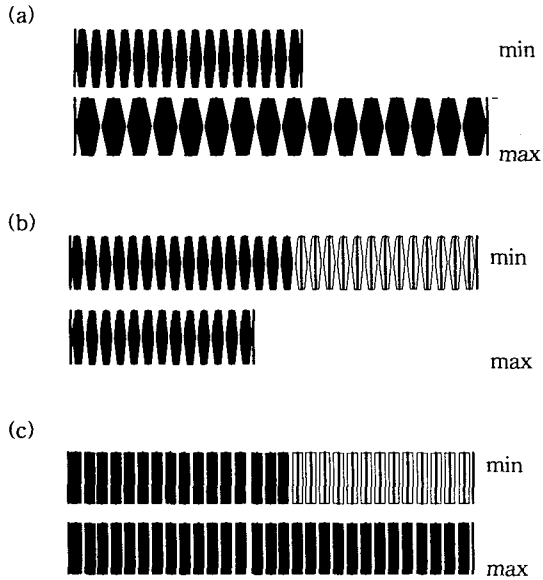


그림 1. VDL 구성방법 (a)Variable unit delay (b)Variable number of delay stages (c)Variable number of delay stage & variable unit delay

본 논문에서는 그림 1 (c)의 방법을 사용한 RDLL에 새로운 locking 알고리즘을 사용하여 빠른 locking time과 적은 소비전력을 가지고 스큐에 대해 효율적으로 동작하는 회로를 설계하였다.

II. 본론

그림 2는 일반적인 register controller의 구조로 up/down ring counter로 이루어져 있다. 이는 phase detector에서 나오는 신호를 받아 적절한 위치까지 1의 위치를 이동하게 되며 이 1의 위치가 delay 크기를 결정하게 된다. 따라서 외부클럭과 내부클럭의 위상차가 큰 경우 여러번 루프를 돌아야 하므로 locking time이 길어지고 dual controller를 동시에 사용하므로 소모전력이 많다. 그림 3은 delay line으로 delay controller에서 나오는 신호를 받아 외부 클럭에 원하는 delay를 가하여 내부 클럭을 발생시킨다. Delay line은 coarse delay line과 fine delay line으로 구성되며 coarse delay line은 fine delay 크기의 6배이다. 본 논문에서는 이러한 문제점을 해결하기 위해서 RDLL 구조에 새로운 locking 알고리즘을 적용하여 보다 효율적으로 동기화를 이루도록 하였다. 그림 4는 제안한 DLL의 구조이다. 회로의 구성은 그림 4와 같이 PFD,

delay controller, delay line, lock indicator, MUX로 구성된다. 사용한 PFD는 그림 5와 같다. 외부 클럭과 내부 클럭의 rising edge를 비교하여 up, down 펄스를 출력한다.

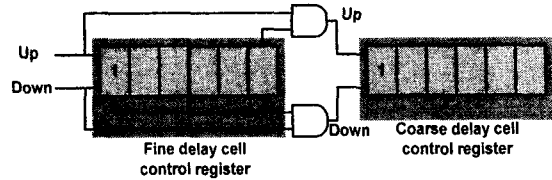


그림 2. DLL control register

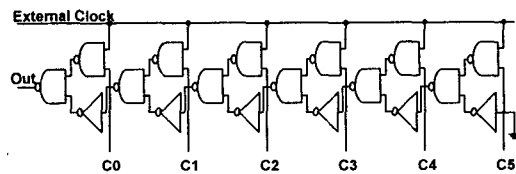


그림 3. DLL line 회로도

up/down 펄스의 duty cycle은 외부 클럭과 내부 클럭의 위상 차와 관계없이 일정하게 유지되어 shift register의 clock으로 사용된다. 외부 클럭의 rising edge가 내부 클럭의 rising edge보다 빠르면 delay를 줄이기 위해 down 펄스가 발생되고, 반대로 내부 클럭의 rising edge가 외부 클럭의 rising edge보다 빠르면 delay를 증가시키기 위해 up 펄스가 발생된다.

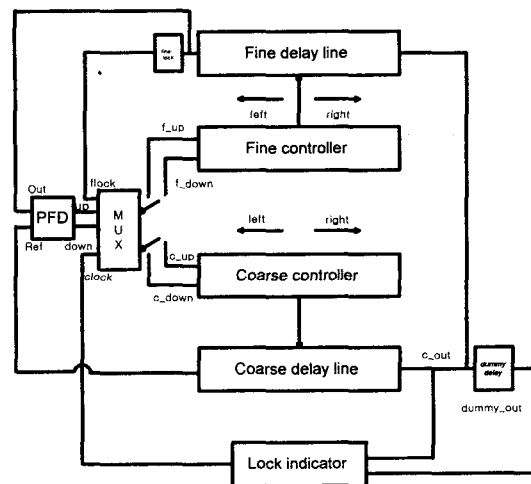


그림 4. 제안한 DLL 회로 구조

새로운 locking 알고리즘을 사용한 회로의 동작 과정은 그림 7과 같다. 외부신호가 내부신호보다 느리므로 PFD는 down 신호를 내보낸다. PFD에서 나온 신호는 delay controller로 보내지기 전에 MUX를 통과하게 되는데 이것

이 delay pass를 결정하게 된다. 그림 6은 사용한 MUX의 회로도이다. 기존의 RDLL의 경우 fine delay를 먼저 주기

controller로 내보내지 않는다. 이러한 locking 알고리즘은

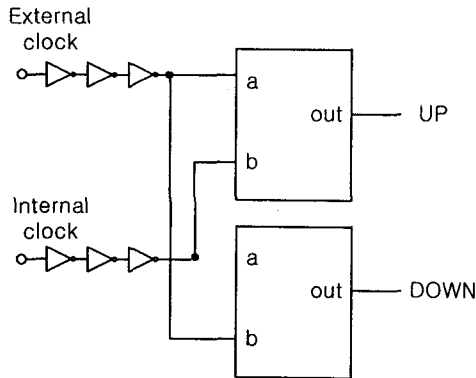


그림 5. 사용한 Phase Frequency Detector

때문에 위상차가 큰 경우 locking time이 길어지는 단점을 가지고 있었다. 따라서 본 회로는 초기상태에서 MUX는 coarse controller에 전달되도록 설정하여 입력신호는 coarse delay line을 거치게 된다. 여전히 외부신호가 내부신호보다 느리므로 coarse controller에 down 신호가 가해진다. 이번에는 내부신호가 외부신호보다 빠르므로 PFD는 up 신호를 coarse controller로 보내게 되는데 이것은 delay cell의 크기가 큰 coarse delay로 더 이상은 동기화를 이룰 수 없음을 뜻하므로 미세 조종을 할 수 있는 fine controller를 동작시켜야 한다.

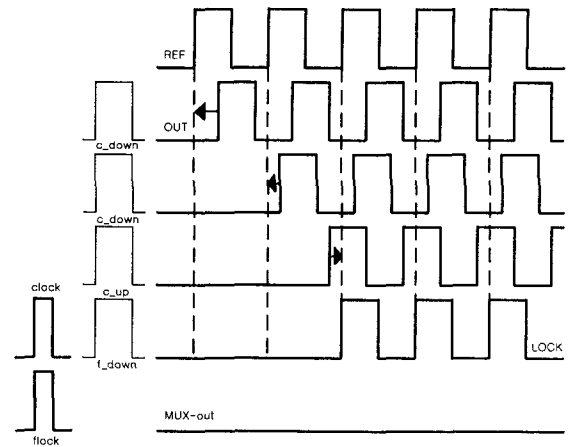


그림 7. 제안한 새로운 locking 알고리즘

많은 위상차를 맞추어야 하는 경우에도 RDLL이 동작하는 모든 범위에서 6 cycle안에 locking을 할 수 있다. 또한 넓은 동작 영역을 갖기 위해 사용한 dual delay line을 사용하면서도 동작시 한 개의 controller만을 동작시킴으로써 전력소모의 효과도 가져올 수 있게 하였다.

III. 모의 실험 결과

위에서 기술한 RDLL을 Smart Spice를 사용하여 설계하고 모의 실험하였다. 그림 8, 그림 9, 그림 10은 내부클럭과 외부클럭을 비교하는 PFD가 일정한 duty cycle을 갖는 up/down 신호를 발생함을 보여주는 파형이다. 그림 11은 제안한 locking 알고리즘을 확인하기 위해 lock-indicator, MUX, flock 파형을 보여주고 있다. 그림 12는 소비된 전류의 양을 표시한다. 설계한 RDLL은 50MHz ~ 200MHz의 범위에서 6 cycle안에 locking이 되었다. 200MHz의 외부 입력이 인가되었을 때 소비전류는 15mA이며, 200ps이내의 위상오차가 발행하였다. 설계한 DLL의 성능은 표 1에 제시하였다.

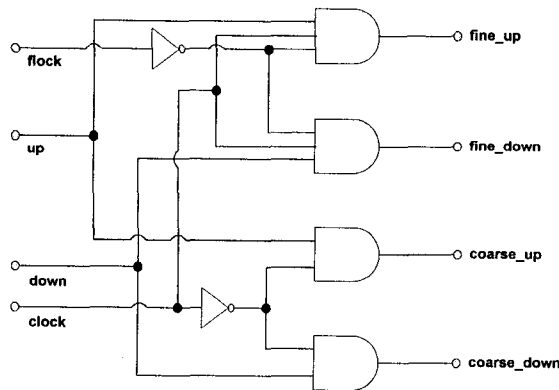


그림 6. MUX 회로도

이 역할을 MUX가 하는데 coarse controller가 up에서 down으로 또는 down에서 up으로 바뀌면 coarse lock_indicator에서 lock 신호를 MUX의 입력으로 주고 coarse controller는 clear되어 coarse controller에서 fine controller로 delay pass가 바뀌게 된다. 이때 내부신호와 외부신호가 동기를 이루게 되면 jitter를 줄이기 위해 구성된 fine lock_indicator가 동작하여 MUX에 신호를 가해 MUX는 PFD에서 나오는 up/down 신호를 더 이상

표 1. 시뮬레이션 결과

동작 주파수 영역	50MHz ~ 200MHz
공급 전원	3.3V
전류 소모량	15mA@200MHz
locking time	~6 cycle
jitter	~200ps

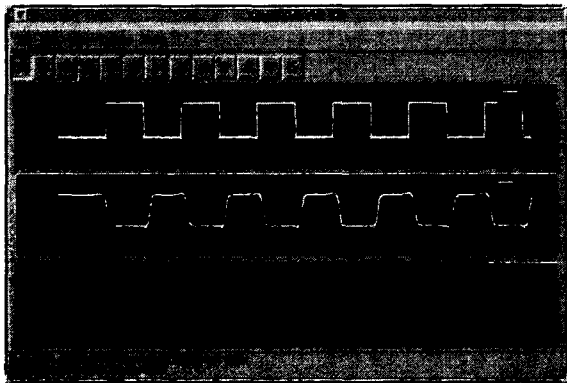


그림 8. 내부클럭이 외부클럭보다 위상이 빠른 경우 PFD의 동작 파형 (순서대로 외부클럭 & 내부클럭, DOWN, UP)

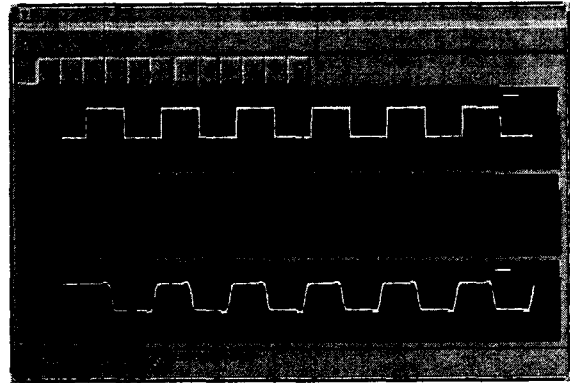


그림 9. 내부클럭이 외부클럭보다 위상이 느린 경우 PFD의 동작 파형 (순서대로 외부클럭 & 내부클럭, DOWN, UP)

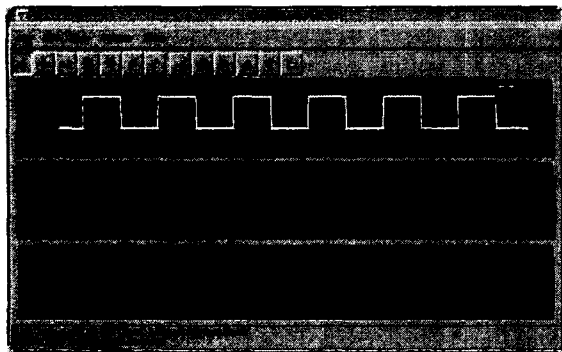


그림 10. 외부클럭과 내부클럭이 동기화 되었을 때의 PFD의 동작파형

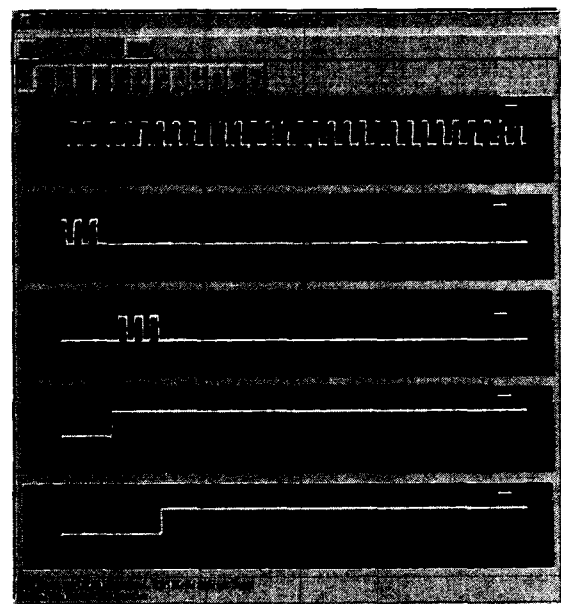


그림 11. 입력클럭이 100MHz일 때 locking 동작 (순서대로 외부클럭 & 내부클럭, MUX의출력(coarse_up/down & fine_up/down), coarse lock_indicator fine lock_indicator)

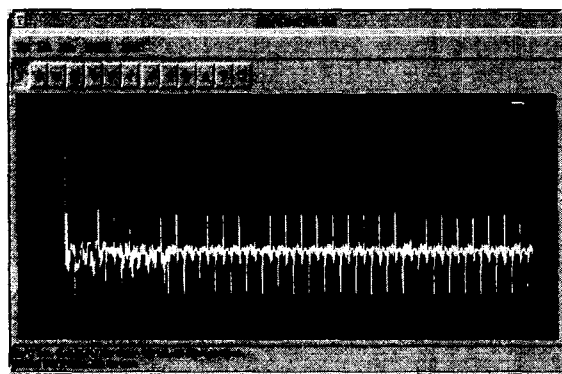


그림 12. 소비전류

IV. 결론

새로운 locking 알고리즘을 이용하여 locking time이 빠르고 소모전력을 줄인 DLL을 설계하였다. 이를 위해 기존의 DLL locking 방식과 달리 PFD에서 나오는 up/down 출력을 MUX로 제어하여 delay pass를 결정함으로써 효율적으로 동기화를 이룰 수 있었다.

본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신연구센터의 연구비 지원에 의해서 연구되었음.

본 연구는 반도체 설계 교육센터(IDEDEC)로부터 부분적인 지원을 받아 이루어졌음.

참고문헌

- [1] Bruno W. Garlepp, et. al., "A Portable Digital DLL Architecture for CMOS Interface Circuit", Symposium on VLSI Circuit Digest of Technical Papers, 1998.
- [2] T. Saeki, y. Nakaoka, M.Fujita, A. Tanaka, et. al., "A 2.5-ns clock access, 250MHz, 256Mb SDRAM with synchronous mirror delay", IEEE J. Solid-State Circuit, vol. 31, pp. 1656-1668, Nov. 1996.
- [3] Yoshinori OKAJIMA, et. sl., "Digital Delay Locked Loop and Design Technique for High-speed Synchronous Interface", Special Issue on ULSI Memory Technology.
- [4] Hirotaka Tamura, et. al., "Partial response detection technique for driver power reduction in high-speed memory-to-processor communications", ISSCC Digest of Technical Paper, pp.342-343, Feb., 1996.
- [5] Kohtaroh Gotoh, et. al., "All-digital multiphase delay locked loop for internal timing generation in embedded and/or high-speed DRAMs." Symposium on VLSI Circuit Digest of Technical Paper, pp. 107-108, June, 1996.
- [6] I.A.Young, J.K.Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors, JSSC, VOL.27, pp.1599-1607, Nov,1992.