

하이브리드 딜레이 라인을 이용한 레지스터 콘트롤 Symmetrical Delay Locked Loop

허락 원, *전영현

삼성전자 MEMORY사업부 DRAM3팀, *성균관대학교 전자전기공학부

e-mail : nackwon@samsung.co.kr

A Register-Controlled Symmetrical Delay Locked Loop using Hybrid Delay Line

Nak-Won Heo, *Young-Hyun Jun

Samsung Electronic Co., Sungkyunkwan University

Abstract

This paper describes a register-controlled symmetrical delay-locked-loop (DLL) using hybrid delay line for use in a high frequency double-data-rate DRAM. The proposed DLL uses a hybrid delay line which can cover two-step delays(coarse/fine delay) by one delay element. The DLL dissipate less power than a conventional dual-loop DLL which use a coarse and a fine delay element and control separately. Additionally, this DLL not only achieves small phase resolution compared to the conventional digital DLL's when it is locked but it also has a great simple delay line compared to a complex dual-loop DLL.

I. INTRODUCTION

최근에 VLSI 시스템의 성능이 고속화됨에 따라 skew의 감소와 clock jitter 감소가 요구되고 있다. 이에 최근에는 clock alignment에 delay-locked loops(DLL's)에 많은 연구가 진행되고 있다.

Clock alignment 기능은 phase-locked loops (PLL's) 또는 delay-locked loops (DLL's)로 둘 다 가능하다 high speed memory interface에는 frequency synthesis가 필요없으므로 DLL이 더욱 적합하다. 또한 DLL은 PLL에 비해 stability 특성이 좋으며 긴 시간 동안 noise가 많은 환경에서 phase-error accumulation

이 상대적으로 작으며 locking time도 짧다.

DLL은 크게 두 가지 방식으로 나눌 수 있는데 하나는 Analog 방식과 또 다른 하나는 Digital 방식으로 나눌 수 있다. Analog 방식의 장점은 digital 방식에 비해 상대적으로 jitter가 적고 locking시 phase step이 작으며 PSRR(Power Supply Rejection Ratio)이 좋다는 장점이 있으나 상대적으로 static 전류 소모가 많으며 locking time도 길다는 단점이 있다. 또한 회로의 복잡성도 크다.

Digital DLL은 일반적으로 간단한 digital element로 구성되는 digital delay line을 사용한다. 따라서, 설계가 용이하고 process portability가 쉽다. 또한 locking시의 phase 정보가 digital state로 저장되어 매우 빠른 clock recovery가 가능하다. 또한 analog DLL에 비해 low voltage 동작이 가능하다. 왜냐하면 Analog DLL은 기본적으로 saturation된 current source를 필요로 하므로 supply voltage가 낮아질수록 voltage headroom 감소 문제를 가지고 있기 때문이다.

Digital DLL은 register-control 방식 [1]과 synchronous mirror delay 방식[2]으로 나뉘는데, 전자는 후자에 비해 locking time은 오래 걸리지만 locking된 후에도 외부환경 변화에 의한 위상변이를 따라갈 수 있다. 후자의 경우는 locking time이 2-3 cycle로 매우 짧다는 장점은 있지만 feedback loop가 없으므로 위상변화가 있을 때 따라가지 못하는 단점이 있다.

종래의 register-controlled digital DLL은 delay cell 한 단의 delay가 최소 locking phase resolution이 되므로 미세한 phase resolution을 가지려면 한 단의 delay가 작아져야 하나 wide frequency range 동작을 위해서는 delay line의 단수가 길어져 layout 면적이 커지고 power 소모도 많아진다. 예를 들면, 최대 동작

clock cycle time이 10ns이고 phase resolution을 20ps로 하기 위해서는 최소한 500 stage의 delay line이 요구된다. 이러한 문제를 보완하기 위하여 coarse loop와 fine loop를 함께 사용하여 two-loop architecture를 갖는 여러 가지 dual-loop DLL[2]이 고안되었다. 그러나, 이 방식 또한 chip size 증가와 과도한 power 소모가 문제로 남는다.

본 논문에서 제안하는 Register-controlled Symmetrical Hybrid Delay-Locked-Loop (RSHDLL)은 종래의 register-controlled digital DLL의 위상 locking 방법과 symmetrical한 내부 clock을 구현할 수 있는 지연 소자와 analog DLL 회로의 low jitter 특성을 모두 구비하도록 설계되었다. RSHDLL은 analog적인 fine delay control 수단을 더 구비하는 하나의 delay line으로써 delay line stage를 대폭 작게 하면서도 phase resolution을 작게 할 수 있어 dual-loop digital DLL에 비해 layout 면적과 소비 전력의 감소를 가능하게 하였다. 위에서 hybrid의 의미는 하나의 delay line으로써 coarse/fine delay control을 모두 가능하게 함을 의미하고 symmetrical의 의미는 HIGH-to-LOW와 LOW-to-HIGH transition delay가 같은 delay line을 의미한다.

II. DLL ARCHITECTURE

2.1 Conventional RSDLL

그림 1은 conventional RSDLL의 block diagram을 나타내었다. input buffer의 delay를 보상해 주기 위해 feedback path에 replica cell이 사용되었다. Phase detector(PD)는 input clock과 internal feedback clock 사이의 위상 차이를 detection하여 shift register를 control 하는 역할을 한다. 기존의 RSDLL의 문제점은 delay 조절 수단이 shift register를 통한 delay element stage control 수단 밖에 없으므로 일반적으로 미세한 phase resolution을 갖게할 수단이 없다는 점이다. 여기서는 delay line의 unit delay가 최소 phase resolution이 된다. 일반적으로 전체 한 cycle을 모두 cover하기 위해서 delay line length와 unit element delay가 fastest process, voltage, temperature (PVT) 조건과 최소 동작 주파수($f_{MIN} = 1/T_{MAX}$)를 고려하여 조정되어야 한다. 예를 들면, 최소 동작 주파수가 100MHz일 때 phase resolution target을 100ps로 하여 unit element delay를 100ps로 조정하였다면 최소한 360° phase를 모두 cover하기 위해서는 delay line 길

이가 100 stage가 되어 power 증가와 silicon 면적 증대가 일어나게 된다. 이런 이유로 RSDLL은 미세한 phase resolution 구현이 일반적으로 어렵다.

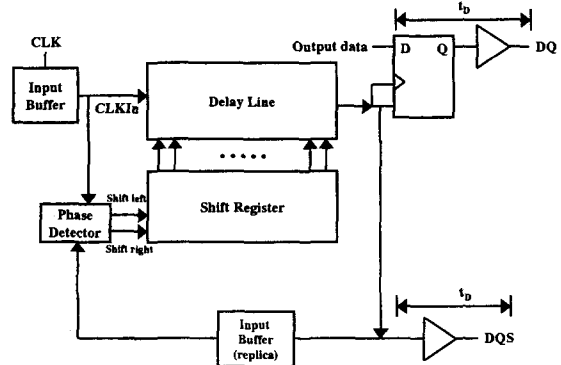


그림 1. Block diagram of conventional RSDLL

2.2 Proposed RSHDLL

그림 2는 본 논문에서 제안하는 RSHDLL의 block diagram이다. Delay control을 shift register로 조정하는 것에 덧붙여 charge pump로 이루어진 하나의 loop를 더 두어서 analog적으로 delay를 control 가능하게 하였다. 그러므로, 기존의 RSDLL과는 달리 unit element delay보다 더욱 미세한 delay control이 가능하게 되어 phase resolution을 더욱 미세하게 조절할 수 있게 하여 jitter를 줄일 수 있게 하였다. 또한 별도의 fine delay line이 필요없게 하나의 delay line만을 사용하도록 구현하여 phase step을 미세하게 하는데 따른 추가적인 power 소모를 줄이고 layout 면적 감소를 가능하게 하였다.

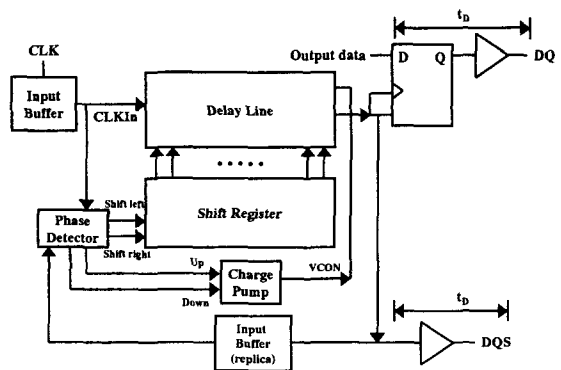


그림 2. Block diagram of proposed RSHDLL

III. CIRCUIT IMPLEMENTATION

3.1 Conventional delay elements

Reference [1]에서 기술된 register-controlled digital DLL (RDLL)은 그림 3(a)과 같이 AND gate(NAND + inverter)로 이루어진 delay element를 사용하고 있다. NAND와 inverter를 basic delay element로 사용하면 High-to-Low delay와 Low-to-High transition delay가 달라지는 문제점($t_{PHL} \neq t_{PLH}$)이 있다. 이를 보완하여 RSDLL[3]에서는 NAND gate를 기본으로 하는 delay element를 고안하였다. 이를 그림 3(b)에서 나타내었다. 예를 들어, t_{PHL} 과 t_{PLH} 사이의 skew가 50ps라 가정하면 delay stage 10단을 통과한 후 total rising/falling edge skew는 0.5ns가 된다. 그래서, inverter 대신에 NAND gate를 사용하여 symmetrical 한 특성을 갖게 하였다. 그림 3(a)와 그림 3(b)에 나타낸 두 가지 type의 delay element 모두 최소 phase step이 unit delay가 되어 resolution을 높이려면 fine delay control loop를 추가하여야 하므로 locking time이 길어짐은 물론 power와 layout 면적이 커지는 단점을 가지고 있다.

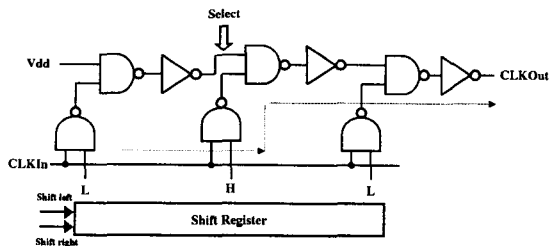


그림 3(a). Delay element diagram of RDLL (3 stage 표시)

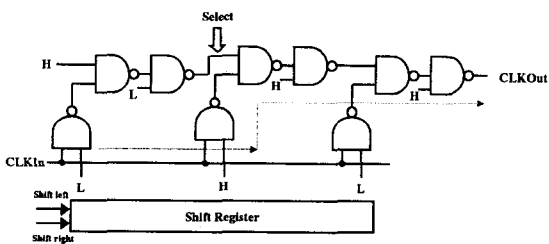


그림 3(b). Delay element diagram of RSDLL (3 stage 표시)

3.2 Proposed delay element

앞에서 언급한 delay element에서는 unit element

delay가 최소 phase resolution이 되는 단점이 있었다. 본 논문에서 제안하는 delay element를 그림 4에 도시하였다.

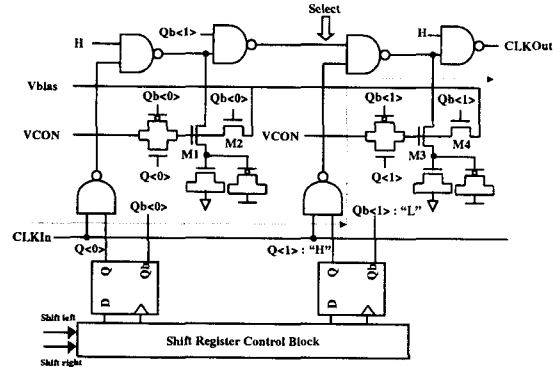


그림 4. Delay element diagram of the RSHDLL (2 stage 표시)

하나의 delay line에 register와 charge pump로 digital과 analog control을 동시에 가능케 구현하였다. Charge pump의 output(VCON)으로써 nMOS의 gate bias를 변화시켜 M3 MOS의 turn-on 저항을 조절하여 MOS Cap과의 RC delay를 조절하여 conventional RSDLL보다 미세한 phase resolution을 가질 수 있게 하였다. Delay cell을 NAND gate로만 구성하고 pMOS와 nMOS capacitor를 동시에 구비하여 symmetrical한 파형을 유지할 수 있도록 하였다. 또한 선택된 unit cell의 nMOS pass Tr. M3만 VCON을 입력받아 delay를 조절할 수 있도록 control logic을 구성하여 선택되지 않은 delay stage의 RC delay는 fix 되도록 하여 locking시 delay stage의 수가 커져 VCON으로 미세 조정이 어려운 경우를 방지하였다. 기존의 hybrid delay cell 방식에서는 coarse locking 후 fine delay control시 전 stage에 걸쳐 모든 delay cell delay를 제어함에 의하여 한 번에 변할 수 있는 delay는 (unit element delay) X (locking시 number of stage)가 되어 fine delay control에 제약이 많았다. 예를 들면, unit delay cell의 fine tuning step을 10ps로 nMOS pass Tr.과 MOS capacitor를 sizing했다 하더라도 locking시 10 stage가 필요로 하게 되면 VCON level로써 조절할 수 있는 최소 phase step이 100ps(10 stages×10ps)가 된다.

3.3 Control Mechanism

그림 5는 RSHDLL의 coarse delay control mechanism을 나타내었다. 그림 4에 나타나 있는 fine delay control 부분은 생략하여 나타내었다. Shift

register는 delay line의 서로 다른 tap을 선택하는 데 이용된다.

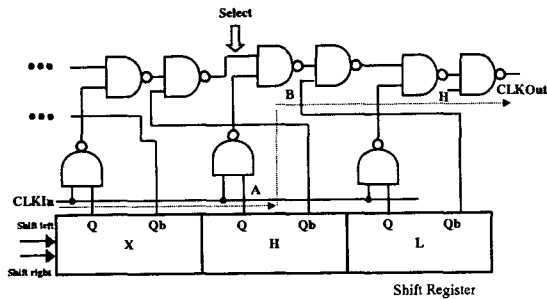


그림 5. Delay line coarse control mechanism by shift-register (fine control 부분은 생략)

입력 clock은 shift register의 출력이 HIGH로 선택된 delay line의 tap을 통하여 전달된다. Shift register의 complementary 출력 Q, Qb는 각각 다른 stage에 연결된다. Q signal은 delay element의 입력 A에 연결되고 Qb signal은 그 이전 stage의 입력 B에 연결된다. 그러므로, 이전 stage의 tap을 disable 시켜서 shift register의 이전 state에 무관하게 할 수 있다. 그림 5에 표시한 "X"는 "don't care"를 의미한다. 이런 control 방식으로 clock path가 오직 하나만 선택되도록 보장할 수 있다.

그림 4에 표시한 것처럼 fine delay control mechanism은 Q<1>이 선택되었다고 가정하면 선택되지 않은 Q<0> 신호는 LOW이고 Q<1> 신호는 logic HIGH이다. 먼저 어느 것도 select되지 않았을 때는 M2, M4가 turn-on 되어 Vbias 전압이 M1과 M3의 gate에 bias를 가하게 되나 Q<1>이 HIGH가 되면 M4가 OFF되고 transmission gate가 ON되어 VCON으로 M3의 gate bias를 조절하게 된다. M3의 turn-on 저항을 조절하여 RC delay를 control하여 locking시 사용된 delay line stage에 무관하게 미세한 phase step을 갖도록 한다.

IV. SIMULATION RESULT

본 논문에서 제안한 RSHDLL의 locking되는 과정의 simulation 결과를 그림 6에 나타내었다. Simulation 조건은 Vdd는 2.5V이고 operating frequency는 200MHz이며 온도는 25°C이며 0.19-um DRAM 공정 parameter를 사용하였다.

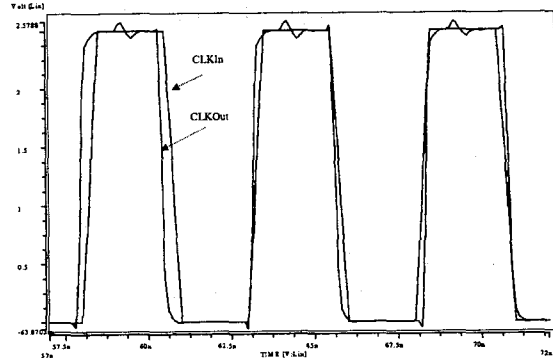


그림 6. Simulated locking waveform of proposed RSHDLL

V. CONCLUSION

본 논문에서 제안하는 RSHDLL은 기존의 analog DLL과 digital DLL의 각각의 장점만을 이용하여 하나의 delay cell로 digital control과 analog control을 각각 따로 받도록 고안된 하나의 hybrid delay line을 이용하여 먼저 shift-register로 coarse locking을 한 후 VCON 전압을 control하여 RC delay를 조절하여 fine locking을 진행하여 미세한 phase resolution을 갖도록 하였고 dual-loop DLL에 비해서 추가적인 delay stage가 없도록 하여 layout 면적을 줄이고 power 또한 saving이 가능하도록 하였다. 기존의 RSDLL 보다 미세한 phase resolution 특성을 가짐을 simulation을 통해 검증하였다.

본 논문은 DDR 방식의 SDRAM clock alignment에 유용할 것으로 여겨진다.

참고문헌(또는 Reference)

- [1] A. Hatakeyama et al, "A 256-Mb SDRAM using a register-controlled digital DLL," IEEE J. Solid-State Circuits, vol. 32, pp. 1728-1732, Nov. 1997.
- [2] T. Saeki et al, "A 2.5-ns clock access 250-MHz, 256-Mb SDRAM with synchronous mirror delay," IEEE J. Solid-State Circuits, vol. 31, pp. 1656-1665, Nov. 1996.
- [3] F. Lin, et al, "A Register-Controlled Symmetrical DLL for Double-Data-Rate DRAM," IEEE J. Solid-State Circuits, vol. 34, pp. 565-568, Apr. 1999.