

# Vernier 방법을 이용한 Low-jitter DLL 구현

## Design of Low-jitter DLL using Vernier Method

Seong-Young Seo, Il-Kwon Jang, Kae-Dal Kwack  
Division of Electrical and Computer Engineering, Hanyang University  
E-mail : goodpop@hanmail.net

서 승 영, 장 일 권, 꺾 계 달  
한양대학교 전자전기공학부  
전화 : 02-2290-0357 / 핸드폰 : 016-333-8712

### Abstract

This paper describes a delay-locked loop(DLL) with low-jitter using Vernier Method. This DLL can be used to synchronize the internal clock to the external clock with very short time interval and fast lock-on. The proposed circuit was simulated in a 0.25  $\mu\text{m}$  CMOS technology to realize low-jitter. We verified 50-ps of time interval within 5 clock cycles of the clock as the simulation results.

### I. 서론

오늘날 컴퓨터 시스템에서 CPU의 속도 향상이 가속화됨에 따라 메모리의 입출력 인터페이스를 높은 주파수에서 동작시키는 요구가 대두되고 있다. 고성능 DRAM인 RDRAM의 경우 800MHz 이상의 동작주파수를 사용한다. 데이터는 입력버퍼와 큰 부하를 구동해야 하는 구동 드라이버를 거친 내부 클럭에 동기되어 출력되는데 이러한 지연시간에 의해 클럭 접근(access) 시간이 증가하게 된다. 따라서 data valid window를 넓히려면 이러한 클럭 스큐(skew) 성분을 제거시켜 주는 클럭 동기 회로가 필요하게 된다. 대표적인 클럭 동기회로에는 PLL(Phase Locked Loop)[1]과 Analog DLL(Delay Locked Loop)[2]이 있다. 두 구조 모두 피드-백(feed-back) 루프를 이용하여 동기를 맞추게 되

고 지터(jitter)가 매우 작다는 장점이 있다. 하지만 동기되기 까지 수십에서 수백 사이클의 긴 소요시간이 필요하기 때문에 메모리의 저전력 모드에 적용하기에 적합하지 않다. 또한 컨트롤 전압에 대한 출력 주파수와와의 관계가 비선형이라는 점과 전원 노이즈 및 온도 그리고 공정 파라미터의 변화에 매우 민감하다는 단점도 가지고 있다.

이를 해결하고자 디지털 회로로만 구성이 되어있는 SMD(Synchronous Mirror Delay)가 개발되었다.[3-5] 그림 1에 구조가 나와 있다. SMD는 2클럭 사이클만에 동기를 이루기 때문에 아주 빠른 Lock-on 시간을 갖고 회로 구현이 아주 쉽다는 장점을 갖고 있다. 하지만 심각한 문제로 지터(jitter)가 단위 셀의 지연시간에 의해 제한받는다는 것이다. 이러한 구조에서는 지터를 줄이기 위해 고비용의 공정 기술에 의존할 수 밖에 없다.

본 논문에서 제한한 DLL은 빠른 동기 시간을 유지하면서 기존의 Digital DLL의 문제점인 지터를 해결하기 위해 Vernier 지연체인을 사용한다. Vernier 지연체인은 두 개의 지연체인으로 회로를 구성하고 각 단위 셀의 지연시간 차로 측정하거나 지연시키기 때문에 이론적으로는 제로-지터도 구현할 수 있다. DLL은 전체 면적을 고려해 CDL(Coarse Delay Line)과 FDL(Fine Delay Line)의 계층구조를 가지면서 수십-ps의 지터로 외부 클럭과 내부 클럭을 동기 시킨다. 다음 절에서 제안된 회로의 구조와 동작 및 모의 실험 결과에 대하여 기술한다.

여 기술한다.

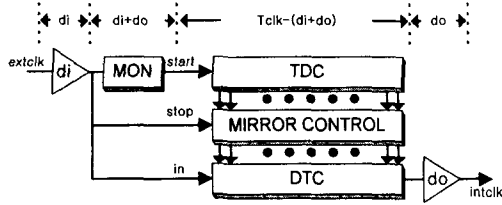


그림 1. Synchronous Mirror Delay 구조

## II. 제안된 회로의 구조

제안한 DLL 구조는 빠른 동기시간을 유지하면서 외부 클럭과 내부 클럭간의 스큐를 최소화하기 위해 Vernier방법을 사용한다. DLL은 5 클럭 사이클 후에 완전한 동기를 이룬다.

그림 2에 제안한 DLL 전체 블록도가 나와 있다. DLL은 크게 CDL과 FDL 블록으로 구성된다. CDL블록은 외부 클럭의 처음 4 사이클 동안 저해상도(수백-ps)의 지연간격으로 내부 클럭과 동기를 시키는 역할을 하고 클럭 주파수를 2분주하는 주파수 분주기, 입력 버퍼와 구동 드라이버의 지연시간을 나타내는 모니터, 저해상도의 지연간격으로 펄스들을 발생하는 펄스 발생기, 지연시간을 코드형태의 데이터로 전환시키는 플립플롭 및 에지 검출기, 지연체인에 인가될 주소를 결정하는 인코더와 지연체인으로 구성되어 있다. FDL블록은 외부 클럭의 4-5번째 사이클동안 고해상도의 지연간격(수십-ps)으로 CDL에서 발생하는 작은 스큐를 제거하는 역할을 하게 되고 주파수 분주기, 모니터, 외부 클럭과 내부 클럭간의 작은 스큐를 측정하기 위한 Vernier 지연시간 측정부, 에지 검출기, CDL 지연

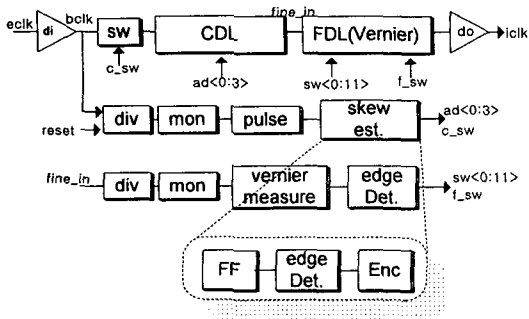


그림 2. 제안한 DLL의 전체 블록도

체인의 출력신호를 측정부에서 계산된 작은 스큐만큼 지연시키는 Vernier 지연체인으로 구성되어 있다.

## III. 회로의 구현 및 동작

### A. CDL 블록

그림 3에 CDL블록에서 사용되는 지연체인의 구조가 나와 있다. 지연체인은 그림에서 보인 것 처럼 td만큼의 지연시간을 갖고 NAND게이트와 Inverter로 이루어진 단위 셀들로 구성이 되어있다. 4비트로 구성된 주소비트에 따라 지연체인은 최대 단위 셀의 15배까지 지연 시킬 수 있다. 단의 셀의 지연시간이 다소 길기 때문에 CDL만으로 외부 클럭과 내부 클럭을 동기시키면 작은 스큐가 발생하게 된다. 주소에 따라 지연시간을 결정하는 구조를 가지기 때문에 SMD처럼 모든 셀들을 태핑(tapping)하는 구조에 비해 면적을 현저히 감소 시킬 수 있다.

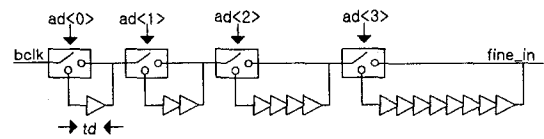


그림 3. CDL 블록에서 사용되는 지연체인

그림 4에 CDL블록의 동작 개념을 나타내었다. 외부 클럭인 extclk이 입력버퍼를 거치게 되면 bclk을 발생시킨다. 이 신호의 2분주 신호가 모니터를 거쳐 출력되면 펄스 발생기에 의해 다소 큰 지연간격(수백-ps)을 가지고 펄스들이 발생된다. 측정 클럭인 bclk<sub>2</sub>의 상승에지가 플립-플롭 및 에지 검출기에 도달하면 플립플롭은 펄스들의 로직값을 저장하고 에지 검출기에 의해 지연시간이 판독된다. 2 분주 신호를 사용하였기 때문에 측정된 지연시간은 (2Tclk-tmon)가 된다. 여기서 Tclk은 외부 클럭의 주기이고 tmon는 모니터의 지연시간이다. 에지 검출기의 출력을 4비트의 주소 비트로 변환하기 위해 16x4 인코더가 필요하다. 이렇게 해서 주소 비트가 지연체인에 인가되면 외부 클럭의 3번째 클럭이 측정된 지연시간인 (2Tclk-tmon)만큼 지연되어 내부 클럭은 외부 클럭의 5번째 상승에지에서 일단 동기를 이루게 된다. 하지만 최대 지연체인의 단위 셀 지연간격 만큼 오차를 갖게 된다.

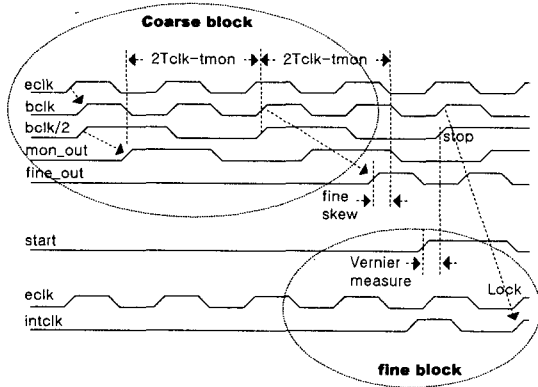


그림 4. CDL과 FDL블록의 동작 개념

B. FDL 블록

기존의 디지털 DLL의 문제점은 지연체인의 단위 셀에 의해 지터가 결정된다는 점이다. 이를 해결하기 위하여 FDL 블록의 지연체인을 두 개의 지연체인을 이용하여 각 체인 단위 셀의 차로 단위 지연시간을 줄이는 Vernier 방법을 이용하여 설계하였다.

그림 5에 Vernier 지연시간 측정부의 구조와 개념이 나타나 있다. 구조는 단위 셀의 지연시간이 각각 td1과 td2인 두 지연체인과 플립플롭 들로 구성이 되어 있다. td1이 td2보다 크도록 설계를 한다. 작은 시간간격을 갖고 있는 START와 STOP신호가 각각의 체인을 통하여 지연된다. 플립플롭은 두 신호 중 먼저 들어온 신호에 의해 출력이 변화한다. 만약 N번째 플립플롭의 출력부터 로직 'H'로 변화하면 두 신호의 시간간격 tdiff는 다음 조건을 만족해야 한다.

$$(N-1)tr < tdiff < Ntr, \text{ where } tr=(td1-td2)$$

즉, Vernier 방법을 사용하면 START와 STOP 신호의 시간간격이 Ntr을 넘지 않는 범위에서 두 체인 단위 셀의 지연시간 차 만큼의 오차를 갖고 측정할 수 있다.

그림 6에 Vernier 지연체인의 구조가 나타나 있다. 구조는 두 개의 지연체인과 각 셀들에 태핑되어 있는 스위치들로 구성이 되어 있다. 지연체인을 NAND 게이트와 Inverter로만 구성할 경우 공정의 한계 때문에 측정부에서 계산된 작은 시간간격을 오차 없이 지연할 수 없게 된다. 따라서 Vernier 측정부 처럼 두 개의 지연체인을 사용한다. 각 스위치 값에 따라 신호가 지연되는 패스(path)가 달라지게 되고 각 패스간의 시간간격은 두 체인 단위 셀의 지연시간 차가 된다. 위쪽 체

인은 단위 셀당 지연간격을 td1으로 N개의 셀, 아래쪽 체인은 td2로 (N+1)개의 셀로 구성을 하면 전체 지연체인은 다음의 시간구간에서 (td1-td2)의 오차범위를 갖고 신호를 지연시킬 수 있다.

$$(N+1)td1 < tdelay < Ntd2+td1$$

Vernier 방법에서 측정하거나 지연할 수 있는 시간구간을 늘리기 위해서 N을 증가시키면 되지만 이는 전체 DLL의 동기범위를 제한할 수 있기 때문에 N을 적절히 선택하여야 한다.

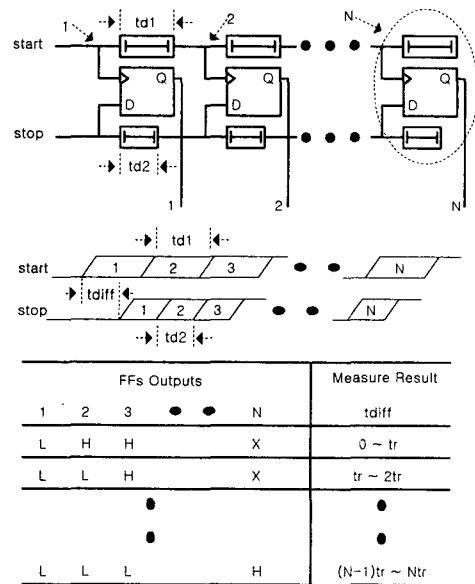


그림 5. Vernier 지연시간 측정부의 구조와 개념

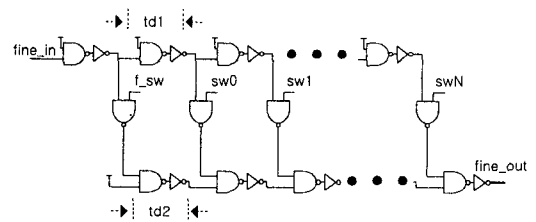


그림 6. Vernier 지연체인의 구조

그림 4에 FDL 블록의 동작 개념을 나타내었다. CDL에서 작은 스큐를 가지고 출력된 신호인 fine\_in 신호가 2분주되어 모니터를 거치게 된다. 모니터의 출력 이 Vernier 지연시간 측정부의 START신호로 bclk\_2

신호가 STOP신호로 인가된다. Ntr만큼의 지연시간 후에 플립플롭의 출력값이 결정이 되면서 작은 스큐가 측정된다. 에지 검출기에 의해 Vernier 지연체인에 인가될 스위치의 로직값들이 결정이 된다. 외부 클럭의 5번째 상승 에지가 Vernier 지연체인을 통과하게 되면 외부 클럭과 내부 클럭은 완전한 동기를 이루게 된다.

#### IV. 모의 실험 결과

제안된 회로는 0.25  $\mu\text{m}$  CMOS 공정으로 2.5V의 전원 전압에서 모의실험을 하였다. 200 MHz의 외부 클럭이 인가되었을 때 내부 클럭과 최대 50 ps의 오차를 갖고 동기되는 것을 검증하였다.

그림 7에 DLL이 동기되기 까지의 주요 신호들의 동작 파형이 나타나 있다. CDL블록에서 측정해야할 시간구간인 (2Tclk-tmon)는 6.3ns로 측정되었고 bclk\_2의 두 번째 상승 에지에서 스큐 계산 블록과 에지 검출기 그리고 인코더를 거쳐 지연체인에 인가될 주소 4비트가 "1001"로 결정된 것을 볼 수 있다. CDL 블록에서 해상도가 낮기 때문에 작은 스큐가 발생한다. 4클럭 사이클이 소요된 이후에 내부 클럭은 외부 클럭과 215ps의 오차를 가지고 일단 동기되었다. FDL에서 작은 스큐를 측정하여 FDL 블록의 지연체인에 인가될 스위치값중 4번째 스위치의 값이 로직 'H'로 변화한다. 결국 5번째 클럭 사이클 이후에 15ps의 오차를 갖고 외부 클럭과 내부 클럭이 완전히 동기를 이룬다.

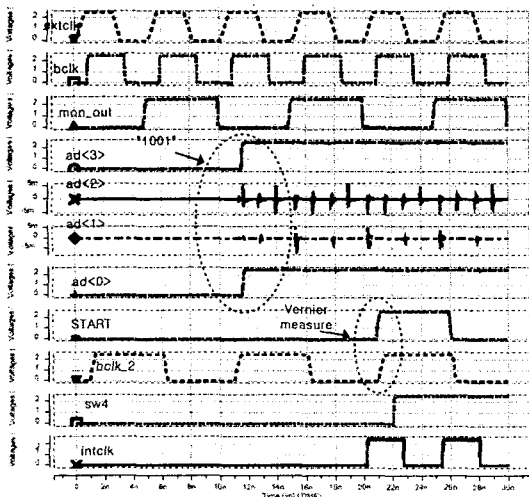


그림 7. 제안한 회로의 동작 파형

그림 8에 동기되었을 때의 외부 클럭과 내부 클럭의 동작파형을 나타내었다.

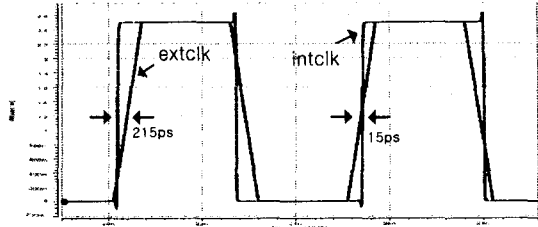


그림 8. 외부 클럭과 내부 클럭의 동기 파형

#### V. 결론

빠른 동기시간과 작은 지터(jitter)를 갖는 클럭 동기 회로를 구현하기 위해 Vernier 방법을 이용한 DLL을 0.25  $\mu\text{m}$  CMOS 공정을 이용하여 설계하였다. 주소 방식의 CDL 지연체인과 FDL 구조의 계층구조를 가지면서 면적을 최소화 하였고, 완전한 동기까지 5클럭 사이클이 소요된다. 제안한 DLL 회로는 50ps의 오차 범위안에서 외부 클럭과 내부 클럭을 동기 시키고 고성능 DRAM의 클럭 동기 회로로 적합한 구조이다.

#### 참고문헌

- [1] "Low-jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", JSSC, Vol 31, No11, pp1723-1732
- [2] "An Integrated High Resolution CMOS Timing Generator Based on an Analog of Delay Locked Loops", JSSC, Vol 31, No7, pp952-957
- [3] "A 2.5ns Clock Access, 250MHz, 256Mb SDRAM with Synchronous Mirror Delay", JSSC, Vol31, No11, pp 1656-1665
- [4] "Digital Delay Locked Loop and Design Technique for High-Speed Synchronous Interface", IEICE Trans. Electron, Vol E79-C, No6, pp798-807
- [5] "A Direct-Skew-Detect Synchronous Mirror Delay for Application-Specific Integrated Circuits", JSSC, Vol34, No3, pp372-378