

CMOS 그라운드 연결망에서의 최대 동시 스위칭 잡음 해석 방법

임 경 태, 백 종 흠, 김 석 윤
송실대학교 컴퓨터구조 연구실
전화 : 02-813-0682 / 핸드폰 : 011-9917-3041

Estimation of Maximum Simultaneous Switching Noise for Ground Interconnection Networks in CMOS Systems

Kyoung-Taek Im, Jong-Humn Baek, Seok-Yoon Kim
Soongsil Univ. Graduate School, Department of Computing,
1-1 Sangdo 5dong, Dongjak-ku, Seoul, Korea
E-mail : imkt@ic.soongsil.ac.kr

Abstract

This paper presents an efficient method for estimating maximum simultaneous switching noise(SSN) of ground interconnection networks in CMOS systems. For the derivation of maximum SSN expression we use α -power law MOS model and an iterative method to reduce error that may occur due to the assumptions used in the derivation process. The accuracy of the proposed method is verified by comparing the results with those of previous researches and HSPICE simulations under the present process parameters and environmental conditions. Our method predicts the maximum SSN values more accurately as compared to existing approaches even in more practical cases such that there exist some of output drivers not in transition.

I. 서론

현대의 반도체 회로의 특징의 한 부분은 대규모 집적화로 초래된 입출력 핀 수의 증가와 그로 인하여 핀들 상호간의 전자기적인 결합이 증가하여 발생하는 전원과 접지 연결망에서의 잡음 문제를 들 수 있다. 이러한 잡음은 전송속도 저하 내지 수신단에서의 잘못된 스위칭을 초래할 수 있다. 따라서, 전원과 접지 연결선

에 존재하는 스위칭 잡음은 정확히 분석되어야 하며, 많은 연구자들이 동시 스위칭 잡음(Simultaneous Switching Noise, SSN)에 대한 연구를 진행하였다. 이 분야의 초창기의 논문 [1]과 [2]에서는 잡음 전압으로 인한 부계환 효과(negative feedback effect)를 고려하지 않았으나, [3]에서 처음으로 이 영향을 반영하여 비교적 정확하게 잡음 전압을 예측할 수 있는 근사식을 유도하였다. 그러나, [3]은 인덕턴스를 통해 흐르는 전류 파형을 삼각형 형태로 모형화함으로써 잡음 전압이 실제 값보다 적게 예측되는 결과를 낳았다. [4]에서는 부하 커패시턴스의 영향을 잘 반영하였지만, 천이 시간동안 잡음 전압이 선형이라고 가정하고 수식을 전개하였다. [5]는 [4]의 이러한 가정이 틀렸음을 지적하고, α -power law 모형[6]을 사용하여 동시 스위칭 잡음 전압식을 유도하였다.

이전까지의 논문들은 한 드라이버가 천이 할 때 다른 드라이버들의 상태를 고려하지 않았다. [7]에서 처음으로 인버팅 드라이버의 입력이 상향 천이할 때 드라이버들의 방전(discharging) 전류가 고전위(high) 상태에 있는 드라이버의 NMOS를 통하여 흐르는 상황을 고려하였지만, 모든 상황을 정확히 분석하지는 않았다. 또한, 동시 스위칭 잡음은 전원/그라운드 연결선에 기생하는 인덕턴스로 인해 파형의 떨림이 발생하므로 정확한 잡음 전압식을 구하는 것은 상당히 어렵다. 따라서, 본 논문에서는 기존의 연구를 분석하고, 좀더 동적인 상황에서 발생하는 동시 스위칭 잡음의 최대 전압치를 예측하기 위한 수식을 유도할 것이다.

II. 최대 동시 스위칭 잡음 전압의 유도

n 개의 인버팅 출력 드라이버 회로는 입력단에서 p 개가 상향 전이, q 개가 정적 High 상태, r 개가 하향전이, s 개가 정적 Low 상태에 있다고 가정하고 그림 1과 같이 모형화하였다. 그림 1에서 보듯이 그라운드로 흐르는 전류 i_n 은,

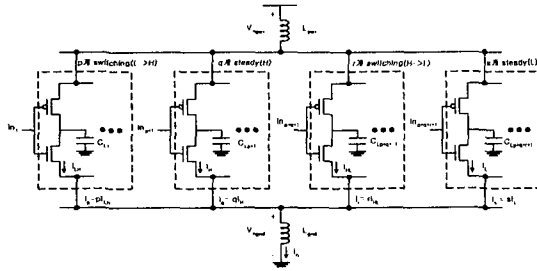


그림 1. n 개의 출력 드라이버를 위한 모형 (L_{gnd} , L_{par} 은 전력배분망의 등가 유효 인덕턴스)

$$i_n = i_p + i_q + i_r + i_s \quad (1)$$

이다. i_s 는 절단 영역에서 동작하는 NMOS에 흐르는 전류이고, i_r 은 입력단에서 하향전이가 발생할 때 흐르는 전류이다. i_n 을 구할 때는 두 양의 비중이 상당히 작으므로 무시할 수 있다. 따라서 식 (1)의 i_n 은,

$$i_n = i_p + i_q = p \cdot i_{LH} - q \cdot i_H \quad (2)$$

이 된다. 렌즈의 법칙을 적용해 그라운드 망에서 발생하는 잡음 전압 V_{ngnd} 은,

$$V_{ngnd} = pL_{gnd} \frac{di_{LH}}{dt} - qL_{gnd} \frac{di_H}{dt} \quad (3)$$

로 나타낼 수 있다. 식 (3)에서 i_{LH} 는,

$$i_{LH} = k_{sn} (V_{in} - V_{thn} - V_{ngnd})^{\alpha_n} \quad (4)$$

이고, i_H 는 V_{out} 은 드라이버 입력이 high 상태에 있을 때의 출력 전압이고, NMOS가 선형영역에 있으므로 식 (5)와 같이 가정할 수 있다.

$$i_H = K_{in} (V_{ngnd} - V_{out}) \quad (5)$$

이다. 식 (4)에서 사용한 입력 전압 V_{in} 은 일정한 기울기(V_{DD}/t_r , t_r 는 천이시간)를 갖는 선형일차식으로 모형

화된다. 식 (4)와 (5)를 식 (3)에 대입하고, 채널의 길이가 짧아질수록 α_n 은 1에 가까우므로 $k_{sn}(V_{in} - V_{thn} - V_{ngnd})^{\alpha_n - 1}$ 을 일정한 상수 값, K_{sn} 으로 가정하면[5],

$$\frac{dV_{ngnd}}{dt} + aV_{ngnd} = b + c \frac{dV_{out}}{dt} \quad (6)$$

을 얻을 수 있다. 식 (6)에서 a , b , c 는 다음과 같다.

$$a = 1/L_{gnd}(p\alpha_n K_{sn} + qK_{in}) \quad (7)$$

$$b = \begin{cases} p\alpha_n K_{sn} V_{DD} / t_r (p\alpha_n K_{sn} + qK_{in}) & (0 < t < t_r) \\ 0 & (t) t_r \end{cases} \quad (8)$$

$$c = qK_{in} / (p\alpha_n K_{sn} + qK_{in}) \quad (9)$$

또한, 식 (4)를,

$$i_{LH} = k_{sn} (V_{in} - V_{thn} - V_{ngnd}) \quad (10)$$

로 가정하면[7], a , b , c 는

$$a = 1/L_{gnd}(pK_{sn} + qK_{in}) \quad (11)$$

$$b = \begin{cases} pK_{sn} V_{DD} / t_r (pK_{sn} + qK_{in}) & (0 < t < t_r) \\ 0 & (t) t_r \end{cases} \quad (12)$$

$$c = qK_{in} / (pK_{sn} + qK_{in}) \quad (13)$$

이 된다. High 상태에 있는 드라이버의 출력단에 KCL을 적용하면,

$$V_{ngnd} = \frac{C_L}{K_{in}} \frac{dV_{out}}{dt} + V_{out} \quad (14)$$

을 얻을 수 있고, 식 (6)에 대입하면 이계 미분 방정식

$$\frac{d^2 V_{out}}{dt^2} + \alpha \frac{dV_{out}}{dt} + \beta V_{out} = \gamma \quad (15)$$

가 유도된다. 식 (15)에서 α , β , γ 는,

$$\alpha = aC_L + K_{in}(1 - c) / C_L \quad (16)$$

$$\beta = aK_{in} / C_L \quad (17)$$

$$\gamma = bK_{in} / C_L \quad (18)$$

이다. 식 (15)의 해법은 잘 알려져 있어 쉽게 구할 수 있다. 따라서, 그라운드 연결망에서 발생하는 최대 동시 스위칭 잡음 V_{ngnd}^{max} 는 식 (15)의 해를 식(14)에 대입하여 유도 할 수 있고 결과를 표 1에 나타내었다.

표 1의 결과는 유도과정의 편의성을 위해 K_{sn} 을

	V_{ngnd}^{max}
$D > 0$	$\frac{C_1(K_{in} + \lambda_1 C_L)}{K_{in}} e^{\lambda_1 t_r} + \frac{C_2(K_{in} + \lambda_2 C_L)}{K_{in}} e^{\lambda_2 t_r} + \frac{\gamma}{\beta}$
$D = 0$	$\frac{C_2 C_L + (\lambda C_L + K_{in})(C_1 + C_2 t_r)}{K_{in}} e^{\lambda t_r} + \frac{\gamma}{\beta}$
$D < 0$	$\left\{ \left(\frac{\delta C_1 C_L + \omega C_2 C_L + C_1 K_{in}}{K_{in}} \right) \cos \omega t_r + \left(\frac{\delta C_2 C_L - \omega C_1 C_L + C_2 K_{in}}{K_{in}} \right) \sin \omega t_r \right\} e^{\delta t_r} + \frac{\gamma}{\beta}$

표 1. 그라운드 연결망에 발생하는 최대 동시 스위칭 잡음

일정한 상수라고 가정할 경우이다. K_{sn} 의 변동성을 반영하기 위해 본 논문에서는 표 1에서 구한 잡음 전압을 식 (19)에 대입하여 새로운 K_{sn} 을 구하고, 그 값을 다시 표 1에 대입하는 축차를 수행함으로써 최대 잡음 전압값의 오차를 줄였다. 본 논문에서 수행한 대부분의 실험에서 식 (19)의 아래식이 HSPICE와 비교하여 오차값이 더 작음을 확인하였다.

$$K_{sn} = k_{sn}(V_{in} - V_{thn} - V_{ngnd_{max}})^{\alpha_n - 1} \quad (19)$$

or

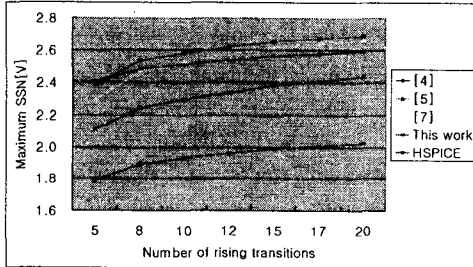
$$k_{sn}(V_{in} - V_{thn} - V_{ngnd_{max}})$$

또한, 출력 드라이버가 상향 천이할 때 High 상태에 있는 드라이버까지 고려하여 최대 잡음 전압을 구할 경우에도 위와 동일한 방법으로 식 (19)와 (20)을 사용하여 구하였다.

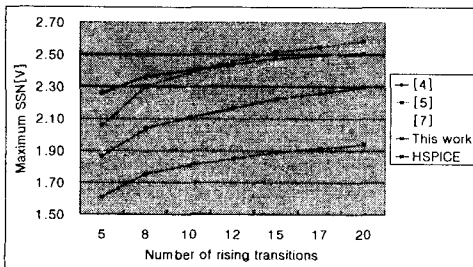
$$K_{ln} = k_{ln}(V_{DD} - V_{thn} - V_{ngnd_{max}})^{\frac{\alpha_n}{2}} \quad (20)$$

III. 실험 결과

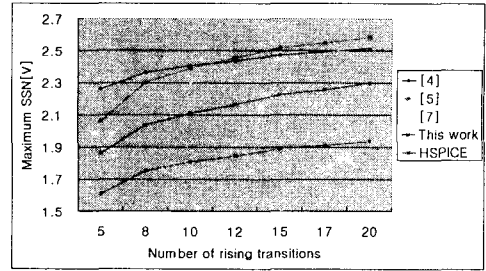
본 논문에서 수행한 시뮬레이션은 두 종류이다. 첫 번째는 4층 출력 드라이버가 20개이고 High 상태에 있는 드라이버가 없으며 상향 천이하는 드라이버의 수를 증가시킬 경우이고, 두 번째는 같은 조건이지만 상향 천이 드라이버를 제외한 나머지는 모두 High 상태에 있는 경우이다. 실험에서 사용한 HSPICE 모형 파라미터는 level 49의 $0.35\mu\text{m}$ MOS 모형을 이용하였다.



(a) $t_r=0.25\text{ns}$, $L_{gnd}=5\text{nH}$, $C_l=50\text{pF}$, $W_n=151\mu\text{m}$



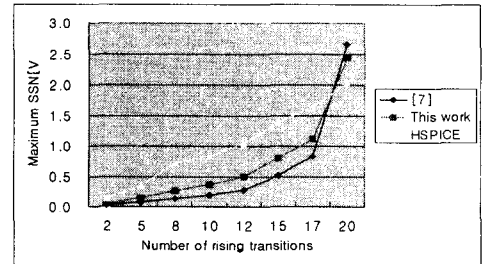
(b) $t_r=0.5\text{ns}$, $L_{gnd}=5\text{nH}$, $C_l=50\text{pF}$, $W_n=151\mu\text{m}$



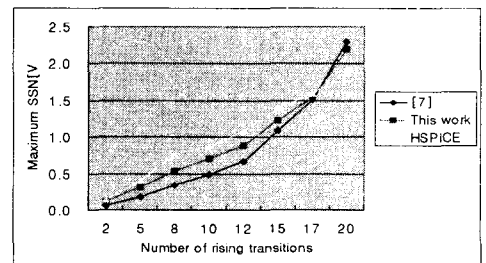
(c) $t_r=0.25\text{ns}$, $L_{gnd}=5\text{nH}$, $C_l=20\text{pF}$, $W_n=76\mu\text{m}$

그림 2. 상향 천이하는 드라이버의 수에 따른 최대 동시 스위칭 잡음의 변화 (High 상태에 있는 드라이버가 없을 경우)

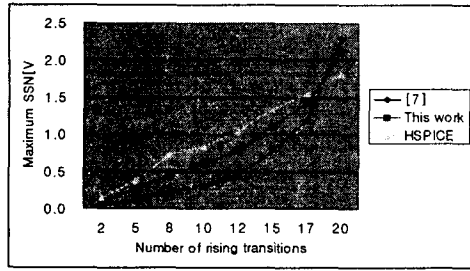
그림 2은 High 상태의 드라이버가 없을 경우에 대한 실험으로서, 상향 천이 하는 드라이버의 수에 따른 최대 동시 스위칭 잡음 전압의 변화를 나타낸 것이고, 그림 3은 20개의 드라이버가 초기에 High 상태에서 시작하여 점진적으로 상향 천이하는 드라이버의 개수를 늘릴 때 최대 동시 스위칭 잡음 전압의 변화를 보인 것이다. 즉, 그림 3에서 x축의 마지막 값인 20은 High 상태의 드라이버 개수가 0인 경우이다. 이 실험 결과에서 주목할만한 것은 상향 천이하는 드라이버를 제외한 나머지가 High 상태에 있는 경우에는 최대 동시 스위칭 잡음은 천이하는 드라이버의 수에 거의 선형적이라는 것과 그림 3 (e), (f)에서 보듯이 인덕턴스가 매우 작을 경우(1nH)의 최대 동시 스위칭 잡음 전압은 [7]의 방법과 우열을 비교하기가 어려움을 알 수 있다.



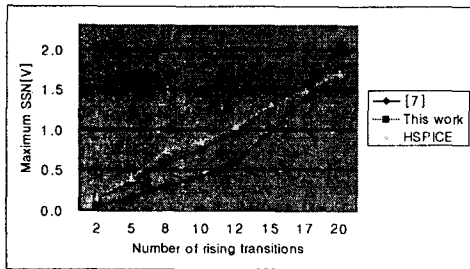
(a) $t_r=0.25\text{ns}$, $L_{gnd}=5\text{nH}$, $C_l=50\text{pF}$, $W_n=151\mu\text{m}$



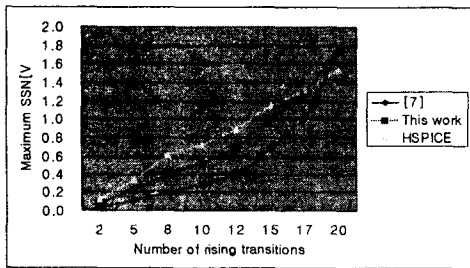
(b) $t_r=1\text{ns}$, $L_{gnd}=5\text{nH}$, $C_l=50\text{pF}$, $W_n=151\mu\text{m}$



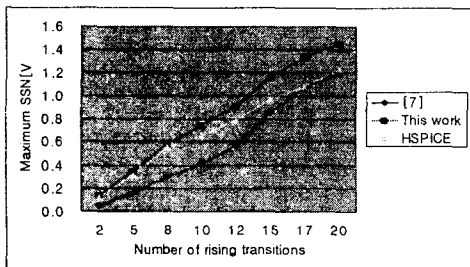
(c) $t_r=0.5ns$, $L_{gnd}=5nH$, $C_L=20pF$, $W_n=76\mu m$



(d) $t_r=0.75ns$, $L_{gnd}=5nH$, $C_L=20pF$, $W_n=76\mu m$



(e) $t_r=0.5ns$, $L_{gnd}=1nH$, $C_L=50pF$, $W_n=151\mu m$



(f) $t_r=1ns$, $L_{gnd}=1nH$, $C_L=50pF$, $W_n=151\mu m$

그림 3. 상향 천이하는 드라이버의 수에 따른 최대 동시 스위칭 잡음의 변화(상향 천이하지 않는 드라이버는 High 상태에 있다고 가정)

IV. 결론

향후 IC의 고집적화 및 많은 기능 부가 추세를 감안 하면 패키징 핀수의 지속적인 증가 추세를 예측할 수 있다. 이러한 환경에서는 출력 드라이버의 동시적 구

동으로 인하여 발생하게되는 전원망 및 그라운드망에서의 잡음이 중요한 설계과제로 부각될 것이다. 본 논문은 α -power MOS 모형을 사용하여 CMOS 출력 드라이버의 최대 동시 스위칭 잡음을 예측하는 식을 제시하였다. 제안된 최대 동시 스위칭 잡음 값의 정확도는 현재의 공정 파라미터 및 환경 조건에서 기존 연구 및 HSPICE 시뮬레이션 결과와 비교 분석함으로써 입증하였다. 제안한 방법을 이용한 최대 동시 스위칭 잡음 값의 정확도는 High 상태의 드라이버가 존재하는, 보다 현실적인 경우에서도 이전의 연구와 비교하여 더 정확함을 보였다.

참고문헌

- [1] A. J. Rainal, "Computing inductive noise of chip packages," AT&T Bell Labs Tech. J., vol. 63, pp. 177-195, Jan. 1984.
- [2] G. Katopis, " ΔI noise specification for a high performance computer machine," Proc. IEEE, Sept. 1985, vol. 73, pp. 1405-1415.
- [3] R. Senthinathan and J. L. Prince, "Simultaneous switching ground noise calculation for packaged CMOS devices," IEEE J. Solid-State Circuits, vol. 26, pp. 1724-1728, Nov. 1991.
- [4] A. Vaidyanath, B. Thoroddsen, and J. L. Prince, "Effect of CMOS driver loading conditions on simultaneous switching noise," IEEE Trans. Comp., Packag., Manufact. Technol. B, vol. 17, pp. 480-485, Nov. 1994.
- [5] S. R. Vemuru, "Accurate simultaneous switching noise estimation including velocity-saturation effect," IEEE Trans. Comp., Packag., Manufact. Technol. B, vol. 19, pp. 344-349, May 1996.
- [6] T. Sakurai and A. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulations," IEEE J. Solid-State Circuits, vol. 25, pp. 584-594, Apr. 1990.
- [7] Hye-Ran cha and Oh-Kyong Kwon, "An analytical model simultaneous switching noise in CMOS systems," IEEE Transactions on Advanced Packaging, vol. 23, No. 1, Feb. 2000.