고속통신시스템의 신호충실성을 고려한 신호경로 설계방법

박 종 대, 박 영 호, 남 상 식
한국전자통신연구원
전화 : 042-860-5757

Design Methodologies of High-speed Communication System with Signal Integrity

Jong Dae Park, Young Ho Park, Sang Sik Nam
Electronics and Telecommunications Reearch Institude
E-mail : parkjd@etri.re.kr

Abstract

As digital systems continue to use components with faster edge rates and clock speeds, transmission of the digital information in these systems approaches the microwave realm. At these speeds digital signal fidelity becomes both a critical success factor and design challenge. The noise sources in digital systems include the noise in power supply, ground and packaging media due to simultaneous switching of drivers, signal reflections and distortions on single and multiple transmission lines. This paper presents theory, case studies and design considerations of gigabit interconnection for network and communication systems. The case studies show HSPICE and Ampredictor simulations of alternate approaches. Various subjects including skin effect and dielectric losses, interconnect simulations and crosstalks of connector, affected signal discontinuity, are addressed.

I. 서 론

디지털시스템이 더 빠른 천이 시간과 더 높은 클럭 속도를 갖는 소자들로 구현됨으로 인해 현재 사용되고 있는 고속통신시스템과 네트워크 장비들에 대한 전송은 이제 마이크로파 영역으로 진입하고 있다. 이러한 속도에서 신호의 충실성(Fidelity)에 대한 문제는 시스템성능에 가장 중요한 변수가 되고 있다. 신호의 충실성을 저해하는 잡음 요인들은 PCB라우팅 및 PCB 물질, 시스템 토폴로지, 전송 신호 종류, 신호 불연속을 야기시키는 커넥터 및 케이블 등을 들 수 있다. 현재 구현되고 있는 통신시스템 동작주파수는 수 GHz범위의 고주파로 PCB 라우팅시 신호선로를 전송선으로 간주함에 따라 시스템 해석 시 파형반사 및 이웃한 선로간 전자기적 결합으로 인한 누화 등이 고려되어야 되고[1] 또한 표피효과 등의 이차적인 신호감쇄요인도 해석상의 정확성을 요구하는 경우 고려해야 한다[2,3]. 신호속도가 높아짐에 따라 시스템성능은 PCB 길이와 임피던스 불일치 등에 영향을 받는다. 특히 사용된 PCB재질의 손실과 직접적인 연관이 있다. 일반적으로 많이 사용되는 FR-4경우와 비교해 성능이 우수한 재질인 저 유전율의 물질을 사용하여 시스템성능을 높일 수 있지만 시스템 제조자들은 가격 대 성능 비를 고려해야 한다. 또한 커넥터는 적절한 신호 대 접지비를 결정하여 누화 현상을 줄여 최상의 신호를 수신단에 전송할 수 있도록 설계되어야 한다. 이상에서 언급한 신호의 충실성을 저해하는 요소들로 인해 디지털신호의 비트오율 증가를 초래하여 고속디지털시스템의 오동작 문제로 부상하고 있다[4,5,6].

본 연구에서는 현재 연구되고 있는 ATM교환시스템을 비롯한 고속통신시스템의 연결(Interconnection)에 있어 기가비트 설계 시 고려 되야할 PCB라우팅과 물질, 시스템 신호의 불연속에 큰 영향을 미치는 커넥터의

누화를 Ampredictor를 이용하여 시뮬레이션 하였고, 전송선 신호의 충실성을 해치는 요소들에 대한 이론과 유전손실(dielectric loss), 전도손실(conductive loss)을 고려하고 다양한 전송속도, 거리에 따라 HSPICE 시뮬레이션을 통해 그 결과를 비교 분석하였다.

II. 기가비트 연결기술 고려사항 및 시뮬레이션

기가비트 연결기술 고려사항 중 가장 근본적인 PCB라우팅과 물질들에 대해 살펴보면 고속신호 전송을 위해 신호 감쇄를 최소로 하기 위해 전송선의 물리적 구조로 차동선을 사용하고 있다. 이차동신호는 인접 라인 상호 필드로 노이즈 감쇄효과가 발생된다. 평면 보드 회로기술을 사용할 경우 두 가지 차동신호의 라우팅 가능하나 브로드사이드 라우팅은 강한 밀결합을 제공하지만 추가 레이어로 인한 가격 상승, 두께 제어문제 등의 단점들이 있다[7]. 그림1은 폭 8mil PCB라인을 길이에 따라 서로 다른 PCB물질인 FR-4, Rogers4000 시리즈 및 Arlon25N를 사용하여 엣지커플드와 브로드사이드 스택업으로 구성했을 때 PCB라인 끝에서 상승시간을 나타내고 있다. 저 유전손실인 경우(Rogers4000시리즈 및 Arlon25N) 두 토폴로지 사이 큰 변화는 없으나, FR-4인 경우 브로드사이드로 구성했을 때가 엣지커플드에 비해 지연이 많음을 알 수 있다.

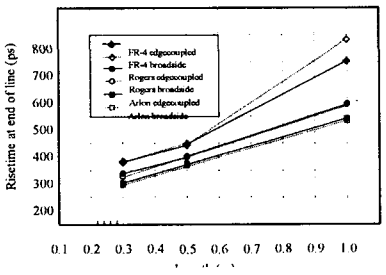

그림 1.다른 길이, 물질에 따른 엣지 커플드, 브로드사이드 상승시간

고속신호 감쇄의 두번째는 신호의 불연속과 노이즈를 야기시키는 커넥터에 관련된 사항이다. 본 연구에서는 현재 HANbit ACE ATM교환기에 사용되고 있는 AMP사의 HM(Hard Metric)을 사용하였다. 시뮬레이션 시 사용된 모델은 SLM(Single Line Model)과 MLM(Multi Line Model)의 2가지로 SLM은 R, L, C의 1차원 모델로 전송지연, 감쇄, 반사, 구동능력, 타이밍을 나타낼 수 있다. MLM은 R, L, C를 3차원으로 모델링하여 각종 커플링, 누화현상 등을 추가해서 시뮬레이션 할 수 있다. 따라서 신호의 배치에 따른 누화 현상을 파악하기 위해 AMP사의 2mm HM8+2 Row Shielded MLM 커넥터모델을 사용하였고, 시뮬레이터로 AMPredictor를 이용하여 근단, 원단누화(Near end, Far end crosstalk, 이하 N-XTK, F-XTK로 표시) 등을 시뮬레이션 하였다.

표1과 같은 신호 대 GND비(2:1)를 사용하여 차동신호원인 A2(Active+)신호와 그 보수신호 B2(Active-)는 500ps 상승/하강시간을 갖는 8nesc주기 펄스파를 입력으로 사용하고 PTH(Plated-through hole)의 값은 1.5pF으로 했을 때 주위의 핀에 미치는 누화의 영향을 조사하였다. 그 결과가 그림2에 나타나 있다. 그림2에서와 같이 A3, B3를 Victim으로 했을 때 A3, B3핀의 최대 N-XTK는 그림3의 (b)와 같이 A3는 70mV로 소스의 7%정도가 발생됨을 볼 수 있다.

표 1 커넥터의 신호와 GND할당표

	Z	A	B	C	D	E	F	G	H	F
1										
2		Act(R)+	Act(R)-	Victim(R)+	Victim(R)-	Act(R)+	Act(R)-	Act(T)+	Act(T)-	
3		Victim(R)+	Victim(R)-	Victim(R)+	Victim(R)-	Act(R)+	Act(R)-	Act(T)+	Act(T)-	
4										
5		Victim(R)+	Victim(R)-	Act(T)+	Act(T)-	Act(R)+	Act(R)-	Act(T)+	Act(T)-	
6		Act(R)+	Act(R)-	Act(T)+	Act(T)-	Act(R)+	Act(R)-	Act(T)+	Act(T)-	
7										
8		Act(R)+	Act(R)-	Act(T)+	Act(T)-	Act(R)+	Act(R)-	Act(T)+	Act(T)-	
9		Act(R)+	Act(R)-	Act(T)+	Act(T)-	Act(R)+	Act(R)-	Act(T)+	Act(T)-	

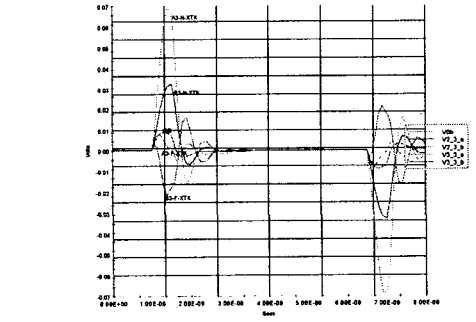

그림2. A3, B3핀 최대 N-XTK

전송선의 기가비트 연결기술 해석을 위해 본 연구에서는 이론적 조건들을 해석하고 케이스연구를 수행하였다. 전송선은 두개의 손실 요소인 직렬 저항손실과 병렬 유전손실을 가지고 있다. 이러한 손실은 DC손실항과 주파수에 관계된AC손실항을 가지고 있다. 표피 효과 손실은 Rskin f 와 같이 주파수에 비례하는 특성이 있다[3]. 고주파 영역에서는 AC 유전손실이 중요한 요소가 되고 DC유전손실은 일반적으로 무시할 수 있다. 병렬 컨덕턴스Gc로 표현되는 유전손실을 갖는 병렬 커패시터C를 고려하면 어드미턴스는 다음과 같다.

$$Y(j\omega) = j\omega C + Gc = j\omega\left[C - j\frac{Gc}{\omega}\right] \quad (1)$$

식2로 치환함으로 해서 무손실(lossless)주파수 분석에

의한 손실(lossy) C를 구할 수 있다.

$$C \rightarrow C - j\frac{Gc}{\omega} \qquad (2)$$

유전체의 특성은 유전율과 유전손실 계수로 표현된다. 동일 물질인 경우 Gc는 다음과 같다.

$$Gc = \frac{\varepsilon''}{\varepsilon_r} \bullet \omega C \qquad (3)$$

여기서 는 각속도이고, 손실 탄젠트(loss tangent)는 다음과 같이 주어진다.

$$\tan\delta \approx \delta = \frac{\varepsilon''}{\varepsilon'} \qquad (4)$$

대부분의 물질인 경우 손실 탄젠트는 매우 작으며 라디안 각(radian angle)으로 근사화 할 수 있다. 식3, 4를 이용하여 손실, 커패시턴스, 컨덕턴스의 관계를 식5와 같이 표현할 수 있다.

$$\qquad (5)$$

대부분의 PCB유전체인 경우 는 특정 주파수에서 주어지는 값이다. 만약 를 상수로 가정한다면 병렬 컨덕턴스 Gc는 아래식과 같이 주어진다.

$$Gc = G_0 + G_d \cdot f \qquad (6)$$

여기서 G0는 DC 병렬 커패시턴스이고, Gd는 단위 주파수당 유전손실이다. PCB수지의 폴리머 특성에 근거하여 일반적인 동작온도에서 Go는 0로 가정할 수 있다.

$$G_d = 2\pi C \qquad (7)$$

손실 커패시터 모델이 PCB 전송선으로 확장된다면 식7의 커패시턴스는 단위 길이당 값으로 표현된다. 그래서 컨덕턴스값은 벤더에서 주어진 값 , 전자기 해석 툴로 계산된 C에 의해 알 수 있다.

전송선 감쇄(Transmission Line Attenuation)

전송선 감쇄는 미소한 손실을 갖는 전송선의 이론으로부터 다음과 같이 주어진다.

$$\frac{\text{Attenuation}}{\text{Per Unit Length}}(dB) = 4.35\left[GZo + \frac{R}{Z_o}\right] \qquad (8)$$

여기서 Zo는 전송선의 특성 임피던스, R은 표피 효과를 포함하는 전송선 저항이다. 이 저항은 주파수에 비례하는 직렬저항 손실로 아래식과 같이 주어진다.

$$R = R_o + R_s\sqrt{f} \qquad (9)$$

여기서 Ro는 전송선의 DC 손실, Rs는 전송선 표피효과 손실에 관련된 변수이다. 일반 고주파 동작 범위 내에서는 표피효과가 DC 손실에 비해 훨씬 크다.

전송선 중단점(Break Point) 주파수(fe)

전송선 중단점(Break Point) 주파수(fe)는 표피효과로 인한 감쇄가 유전손실 감쇄와 같은 주파수로 식10과 같이 주어진다.

$$f_e \equiv \left[\frac{R_s}{G_d} \bullet \frac{1}{Z_o}\right]^2 \qquad (10)$$

이때 f<fe이면 표피효과 손실이 유전손실보다 우세하고, f>fe이면 유전손실이 표피효과 손실보다 우세하다.

기가비트 상호연결 시뮬레이션 케이스 연구

케이스 연구는 표피효과 손실만을 고려한 경우와 표피효과 손실과 유전손실을 고려한 경우에 대하여 시뮬레이션을 실시하였다. 시뮬레이션은 40" 길이로 2.0Gbps 데이터의 차동 전송선 신호를 조사하였다. 사용된 유전체는 유전상수4.5, 손실 탄젠트 0.021인 FR-4를 사용하였다. 이 경우 차동 신호의 fe=216MHz이다.

식 8에서 10로부터 fe의 함수로서 단위길이(m)당 특정 손실을 계산하면 다음과 같다.

Freq. in terms of Fe	Total Signal loss(%)	DC Loss (dB)	Skin Effect Loss (dB)	Dielectric Loss (dB)
1	13.4	0.17	0.54	0.54
2	20.7	0.17	0.77	1.09
3	27.0	0.17	0.94	1.63
4	32.6	0.17	1.09	2.17
8	50.2	0.17	1.54	4.35

주파수가 800MHz 이상이면 전체 손실은 무손실에 비해 32% 정도이고 GHz대인 경우(8*Fe) 전체 손실은 50% 정도이다. 다음에 나타나는 시뮬레이션 결과는 구동신호로 800mV의 차동 소자출력을 사용하여 데이터 전송 특성을 표현하는 아이패턴을 HSPICE시뮬레이션을 통하여 비교 분석하였다.

케이스 연구 1-a : 2.0Gbps의 차동 전송선로에 표피효과 손실만 고려한 경우는 아이 열림(eye opening) 특성이 우수하고 지터도 없는 이상적인 아이 다이아그램 특성을 나타내고 있다.

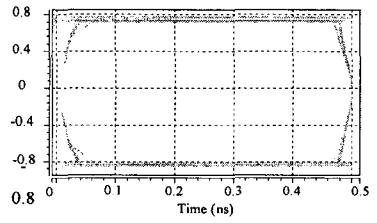

그림3. DC손실, 표피효과손실만을 고려한 아이 패턴

케이스 연구 1-b : 2.0Gbps 차동 전송선로에 표피효

과 손실과 유전손실을 고려한 경우는 유전체 인자 Gd가 포함되고 Go는 0이 된다. 또한 손실 탄젠트는 0.021의 FR-4를 그대로 적용한다. 그림4는 그림3과 비교할 때 아이 열림과 지터 특성도 감쇄가 심함을 확인할 수 있다.

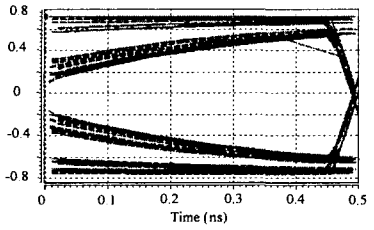

그림 4. DC 손실, 표피효과 손실 및 유전손실을 고려한 아이 패턴

그림5는 신호 전송대역폭과 전송선 길이에 따른 전체 신호 손실율을 나타내었다. FR-4 유전체를 사용하여 전송선을 설계할 경우, 전송선 길이가 20 이상일 때 전체 손실율이 매우 커짐을 알 수 있다.

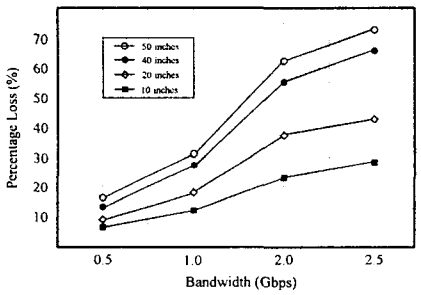

그림5. 전송대역폭과 FR-4 전송선 길이에 따른 손실율

케이스 연구 2 : 저 손실 2.0Gbps의 차동 전송선로에 표피효과 손실, 유전손실, 도체를 고려한 차동 백플레인 시뮬레이션은 저 손실 물질인 Rogers RO3203을 사용하여 아래의 구조로 시뮬레이션을 실시하였다.

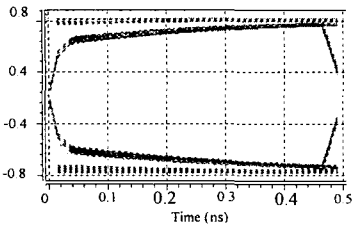

그림6. 저 손실 물질을 사용한 아이 패턴

그림6은 그림4에 비해서 우수한 눈 열림 특성을 나타내고 있다. 이 구조는 수신기에 대한 충분한 잡음 마진을 갖고 있는 우수한 특성을 갖고 있다.

Ⅲ. 결 론

본 연구에서는 현재 활발히 연구가 진행되고 있는 ATM교환시스템을 비롯한 고속통신시스템의 하드웨어 연결에 있어 기가비트 설계 시 PCB라우팅과 물질, 시스템 신호 불연속에 큰 영향을 미치는 커넥터의 누화를 Ampredictor를 이용하여 시뮬레이션 하였다. 또한 전송선 신호의 충실성을 해치는 요소들에 대한 이론과 유전손실, 전도손실을 고려하여 다양한 전송속도, 거리에 따라 HSPICE 시뮬레이션을 통해 그 결과를 비교 분석하였다. 분석결과 기가비트 연결 시스템에서 유전손실이 더 큰 영향을 미침을 확인할 수 있었다. 즉 2.0Gbps이상 시스템에서는 전송비트 오율을 최소화 하기위해서는 PCB길이는 20 보다 짧게 설계하고, 낮은 손실을 갖는 유전물질을 사용하는 것이 바람직하다. 그리고 차동신호 설계시 임피던스는 결합되지 않는 일반 라인의 2배보다 큰 값의 차동 임피던스를 얻을 수 없으므로 차동임피던스를 100ohms로 한다면 라인의 특성임피던스는 5-10ohms높은 값인 55-60ohms으로 설계하여야 한다. 또한 신호의 불연속에 영향을 미치는 커넥터와 케이블은 적절한 신호대 GND비를 사용하여 신호선을 배치하여 최소의 노이즈를 얻을 수 있도록 하여야 하며, 본 논문에서 언급하진 않았지만 더 고속의 신호를 케이블로 전송할때는 내부에 이퀄라이즈를 내장한 케이블을 사용하는 것이 바람직하다.

참고문헌

[1] 신호의 충실성을 위한 시스템 수준 신호경로 설계 방법론에 관한 연구, 한국전자통신연구원 최종연구 보고서, 1999.

[2] F.Y.Chang, Transient Analysis of Lossless Coupled Transmission Lines in Nonhomogeneous Dielectric Medium, IEEE Trans. Microwave Tech, Sep., pp.616-626, 1970.

[3] Howard W. Johnson and Martin Graham, High-speed Digital Design : A Handbook of Black Magic, PRT Prentice Hall, pp.151-161, 1993.

[4] Mark I. Montrose, : EMC and the printed circuit board IEEE Inc., pp.175-182, 1996.

[5] H.B Bakoglu, : Circuits, Interconnections, and Packaging for VLSI, Addition-Wesley Pub. Co., 1990.

[6] M. S. Ghausi and J.J. Kelly, : Introduction to Distributed Parameter networks, R. E. Krieger Pub. Co., 1997.

[7] Greg Aldrich et.al, Differential Design for High-speed Applications, Mentor Graphics, 1999