

FLEX 방식 고속 무선타호출 단말기 설계 및 구현

오 병 문, 이 동 원, 김 영 철
 전남대학교 전자공학과
 전화 : 062-530-0369 / 핸드폰 : 011-644-0206

Design and Implementation of a High Speed Pager Based on FLEX Protocol

Byung Moon Oh, Dong Won Lee, Young Chul Kim
 Dept. of Electronic Engineering, Chonnam University
 E-mail : yckim@chonnam.ac.kr

Abstract

In this paper, we have designed a pager based on the FLEX protocol. The pager consists of a decoder, a MCU, a SPI, and a User interface. The decoder contains the following blocks: synchronizer, de-interleaver, error corrector, packet builder. The decoded data is converted to SPI packets for communication between the MCU and the FLEX decoder. The host MCU is a RISC pipelined architecture, so it processes data at high speed and also sends messages to user interface. We have designed the proposed pager as structural modeling using VHDL language. Then, We simulated and synthesized it using tool of SYNOPSIS corporation.

무선타호출방식은 전세계적으로 거의 공통적으로 사용되던 디지털 방식인 POCSAG 방식에서 모토로라가 개발하여 국내 표준으로 채택된 FLEX 방식과 유럽에서 발표된 ERMES 방식, APOC 방식으로 발전하고 있다. FLEX 방식은 미국, 일본, 중국, 동남아 지역의 국가들을 중심으로 상용화 서비스가 이루어지고 있으며, FLEX 방식을 사용할 경우 많은 양의 데이터를 고속으로 전송하기 때문에 이에 대한 에러정정도 2단계를 사용하는 POCSAG 방식에 비해 3단계로 증가했다. 본 논문에서는 현재 국내에 도입되어 서비스 중에 있는 FLEX 방식에 대한 알고리즘 연구를 통하여 FLEX 디코더와 MCU 블록을 구현하고 원칩화 디자인을 통한 FLEX 단말기를 구현한다.

I. 서론

이동통신분야에서 무선타호출은 소형, 경량이며, 잡음 환경에서 우수한 동작성, 저렴한 가격 등의 장점으로 안정된 사용자를 확보하고 있으며, 운용자 측면에서는 상대적으로 저렴한 운용 및 사용자 비용, 적은 비용의 투자로 서비스가 가능하고, 투자비의 빠른 회수가 가능하다.

II. FLEX 프로토콜

2.1 프레임 구조

FLEX 프로토콜의 프레임은 크게 동기 워드와 데이터 워드의 2가지로 구분할 수 있다. 프로토콜의 프레임 구조는 데이터의 종류에 따라 그림 1과 같이 구분된다.

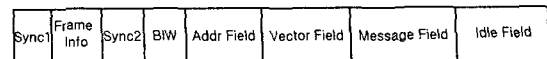


그림 1. FLEX 프레임구조

* 본 논문은 한국과학재단 RRC 연구비 지원사업에 의한 것임.

Synchronization1 워드는 1600bps의 동기화를 위해 전송되며 구성은 그림 2와 같다. Bit Sync1은 1과 0의 반복적인 패턴으로 이루어지며 32비트의 길이를 갖는다. "A" 패턴은 32비트로 이루어지며 전송속도 및 프레임의 동기에 관한 정보를 가지고 있기 때문에, A패턴의 수신이 확인되어야만 데이터의 지속적인 수신과 디코딩이 이루어진다.

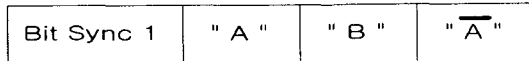


그림 2. Sync1 워드의 구조

Frame Information 워드는 그림 3과 같이 21비트의 데이터와 BCH 오류 정정을 위한 10비트와 짝수 패리티 1비트로 구성된다.

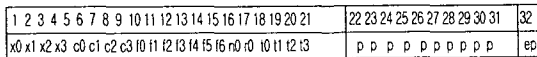


그림 3. 프레임정보 워드의 구조

Synchronization2 워드는 A패턴에 의해 데이터의 전송속도가 변경된 후 C패턴(1110110110000100)의 수신으로 동기상태를 확인하며, 그림 4와 같이 구성된다.

BS2는 1, 0의 반복으로 이루어지며 전송모드에 따라 4비트, 12비트, 24비트, 32비트로 이루어진다.



그림 4. Sync2 워드의 구조

블록정보 워드는 최소한 한 개가 전송되며, 시스템 정보를 전송하기 위해 3개가 추가적으로 전송될 수 있다. 그림 5는 첫 번째 블록정보 워드의 구성이며, 프레임 정보를 가지고 있으므로 항상 전송되어야 한다.

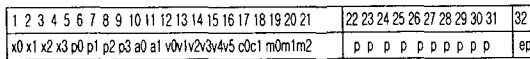


그림 5. 블록정보 워드 1

모든 단말기는 고유 번호를 가지고 있고, 디코더는 고유 번호로부터 어드레스 값을 계산하여 자신에 해당되는 데이터인가를 알아내고 동기모드를 설정한다. 어드레스 필드는 쇼트 어드레스, 롱 어드레스, 네트워크 어드레스의 3가지로 구분한다.

백터필드는 블록정보 워드가 지정한 위치에서 시작

하고 어드레스 필드와 1대1 관계이다. 메시지의 형태에 따라 6가지(숫자벡터, Tone Only벡터, 16진수벡터, 2진수벡터, 영문벡터, 보장메시지벡터)로 구분한다.

사용되지 않은 블록은 유틸필드로 전송속도에 관계 없이 1600bps 전송속도에서 1, 0 패턴을 형성하도록 모두 1이나 0의 패턴들로 채워진다.

2.2 전송방식

FLEX 단말기는 송신기와 메시지를 받는 시간 간격이 약속되어 있어서 주기적으로 메시지를 수신하는 데, 이러한 시간 간격을 콜랩스 주기라 한다. 콜랩스 주기를 이용하여 단말기를 on/off 시키는 방법으로 건전지의 수명을 늘린다. 콜랩스 값에 따라 콜랩스 주기가 정해지며 보통 4의 콜랩스 값이 사용된다.

매 시간 정각에 첫 번째 프레임을 전송하여 시간에 동기된 전송 방식을 사용한다. Sync1, Frame Info, Sync2는 항상 1600bps의 일정한 속도로 전송되며, Sync1, Sync2는 데이터의 전송 속도에 대한 정보를 전달한다. 1주기는 15개의 사이클로 구성되며 4분동안 1사이클이 전송된다. 1사이클 동안 128개의 프레임이 전송된다. 2level 또는 4level FSK 변조방식을 사용하며 전송모드에 따라 1600bps 2레벨 FSK, 3200bps 2레벨 FSK, 3200bps 4레벨 FSK, 6400bps 4레벨 FSK로 나누어진다. 동기워드는 항상 1600bps로 전송된다.

Sync1, Frame Info, Sync2 워드는 인터리빙되지 않으며, 블록정보, 어드레스 필드, 벡터 필드, 메시지 필드, 유틸 블록은 전송채널에 의한 데이터의 연립오류를 방지하기 위하여 그림 6과 같이 11개의 블록으로 나누어 인터리빙방식으로 전송된다.

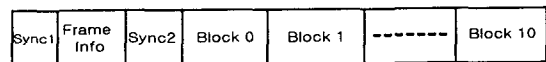


그림 6. 블록단위로 구분한 FLEX 프레임

III. FLEX 단말기의 구성

무선호출 단말기는 기능에 따라 그림 7과 같이 내부를 5가지로 구분할 수 있다.

RF receiver는 채널 상에 전송된 아날로그 신호를 수신한다. ADC는 수신된 아날로그 신호를 2비트의 디지털 데이터로 변환한다. 디코더는 현재 상태를 호스트 마이크로프로세서로 보내고, 호스트에서 받은 명령에 따라 데이터를 디코딩 하여 호스트에서 처리할 수 있도록 수신된 2비트 정보로부터 32비트 패킷을 생성한다. 호스트는 디코더와 인터페이스하며 디코더의 상

태정보, 호출데이터 등을 전송 받아 메시지를 해석하고 디스플레이 한다. User interface는 사용자의 외부 입력 즉 호출 알림방식, 디스플레이, power on/off등과 같은 단말기의 정보를 사용자가 보거나 상태를 설정하기 위해서 필요하다.

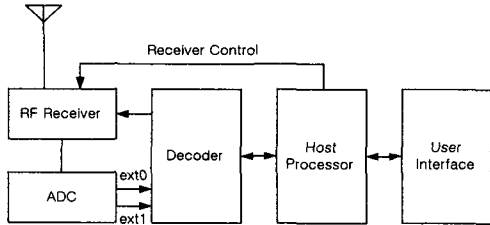


그림 7. 무선호출 단말기 구조

3.1 FLEX 디코더

본 논문에서 설계한 디코더는 그림 8과 같이 심볼 동기화기, De-Interleaver, Error Corrector, 메시지필터 블록으로 구성된다.

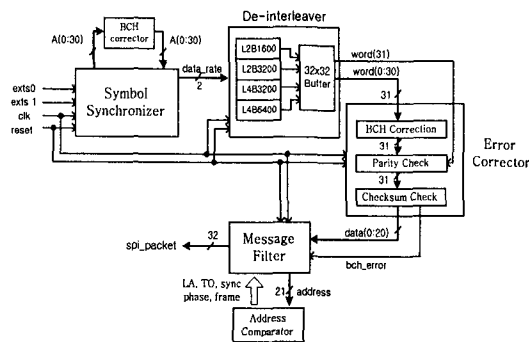


그림 8. FLEX 디코더 구조

(1) Symbol Synchronizer

A패턴은 BCH 코드워드이기 때문에, 먼저 BCH 오류 정정 과정을 거친 후에 패턴에 의한 전송방식을 확인할 수 있다. 1, 0이 반복되는 IDLE상태에서 A패턴의 수신이 확인되면 디코딩을 시작한다.

(2) De-Interleaver

11개 블록으로 구분되어 다중화된 프레임 데이터는 역 다중화된 후 32비트 워드를 구성한 뒤에 데이터로써 의미를 갖게되며, 파라미터의 값이 해석될 수 있다. 1600bps 2레벨, 3200bps 2레벨, 3200bps 4레벨, 6400bps 4레벨의 4가지 전송모드로 구분된다. 수신된

정보는 역다중화 되어 버퍼에 저장된 후 오류 정정을 수행하기 위해 Error corrector에 전송된다.

(3) Error Corrector

17비트의 데이터에 2비트 이하의 오류를 정정하기 위해 10비트의 BCH 패리티가 추가되고, 3비트 이상의 오류가 발생할 경우 BCH corrector에서 정정하지 못하기 때문에 4비트의 checksum을 계산하여 오류를 검출해 낸다.

(4) Message Filter

오류정정을 거친 데이터를 이용하여 MCU에서 처리할 수 있는 형태로 패킷을 생성한다. 첫 번째 블록정보 워드로부터 벡터필드의 위치, 데이터 종류를 알아낸다. 모든 패킷에는 워드 번호와 패킷 ID가 부여된다. 하나의 프레임은 11개의 블록으로 구성되고 각 블록은 8개의 워드로 구성되므로 0에서 87까지의 워드 번호가 할당된다.

3.2 MCU 블록

본 논문에서 설계한 MCU는 디코더와 통신을 위한 버스를 가지고 있으며 디코더에서 처리된 데이터를 User Interface에 전달하는 역할을 한다.

MCU의 주 역할은 메모리에 저장된 데이터를 단말기의 처리절차에 따라 수행해 나가는 것이며, 기본적인 데이터 전송 및 저장 동작이 대부분이다. 이러한 동작외에도 디코더에서 수신된 메시지에 따라 동작할 수 있는 여러 가지 다른 명령들을 추가로 설계하여야 한다. 따라서 MCU는 빠른 데이터 처리구조가 필요하므로 디코더로부터 전송되는 메시지들을 User Interface로 신속하게 처리할 수 있도록 Pipelined RISC 구조로 설계하였다.

RISC 코어의 구성은 Controller(instruction pipe 포함), Instruction Memory, 32 × 32 Register file, 32bit ALU, Data Cache, Program Counter와 Stack 블록으로 나누어 설계하였다.

3.3 디코더와 MCU사이의 통신

디코더에서 MCU로 송출되는 패킷은 Part ID 패킷, Roaming Status 패킷, Data 패킷, Status 패킷으로 4가지로 구성된다. 그림 9는 단말기에서 데이터를 처리하는 절차이다.

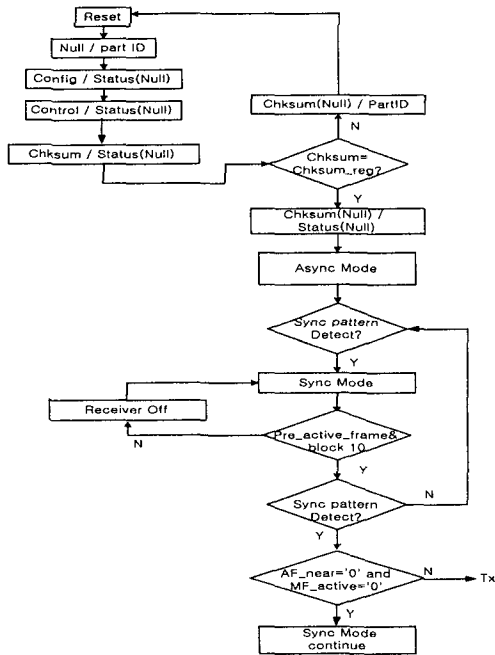


그림 9. 단말기의 데이터 처리절차

IV. 시뮬레이션 및 합성결과

제안한 FLEX 단말기를 구현하기 위해 하드웨어 언어 기술인 VHDL로 모델링 하였으며, Synopsys사의 툴을 이용하여 시뮬레이션 및 합성하였다. 그림 10은 디코더에서 6400bps 4레벨 데이터를 처리하는 시뮬레이션 결과이며, 그림 11은 디코더와 MCU를 통합한 단말기의 시뮬레이션 결과이다. 그림 12는 제안한 디코더를 제 8회 IDEC MPW사업에서 현대공정 IDEC-C631 library를 이용하여 최종 layout된 디코더 칩을 나타낸다.

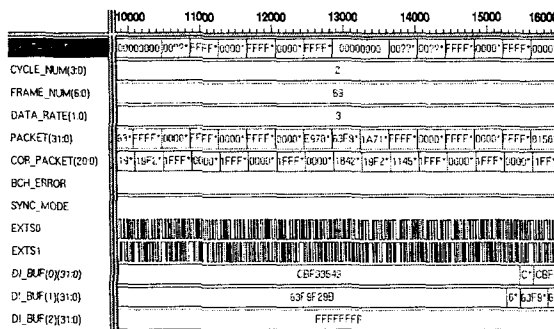


그림 10. 6400bps 4 level 데이터의 시뮬레이션

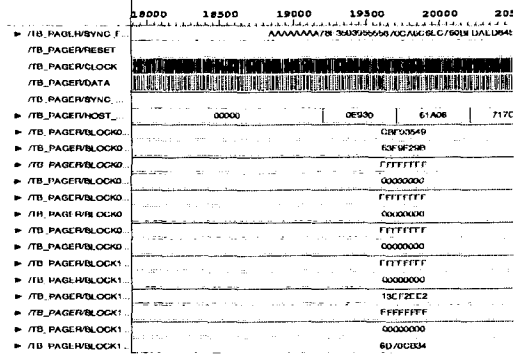


그림 11. FLEX 단말기 시뮬레이션 결과

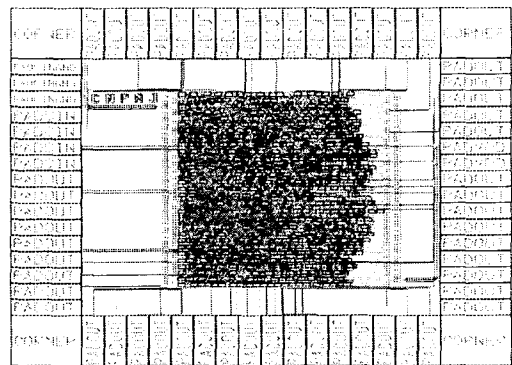


그림 12. 최종 레이아웃된 디코더 칩

V. 결론

설계한 단말기는 디코더 블록, MCU 블록, SPI 블록, 유저 인터페이스 블록으로 구성하였으며, 단말기는 4가지 전송모드를 모두 지원할 수 있도록 설계하였다. 본 연구에서 구현된 단말기는 소형의 고속 무선호출 서비스에 적합한 구조로 설계되었으며, 현재 우리나라에서 완제품을 만드는데 디코더와 MCU를 전량 수입하는 실정에서 무선통신산업의 핵심부품 기술 확보와 국산화에 기여할 것으로 기대된다.

참고문헌

- [1] "FLEX™-93001; Issue G1.8", Motorola Messaging Systems Products Group, 1996.3.
- [2] 정언화, "FLEX 고속페이징방식 도입에 따른 통화 품질 향상 방안에 관한 연구", 연세대학교 석사 학위 논문, 1996.6.
- [3] "FLEX 프로토콜 규격과 FLEX 암호/복호 요구사항", Motorola Confidential Proprietary, 1996.5.