

## 초고속 위성통신용 TDMA 버스트 모뎀 ASIC 설계 및 구현

최은아, 김진호, 김내수, 오덕길  
한국전자통신연구원 초고속위성통신연구팀  
전화 : 042-860-6655

### ASIC design and implementation of TDMA burst mode modem for high-speed satellite communications

Eun-A Choi, Jin-Ho Kim, Nae-Soo Kim, Deok-Gil Oh  
High-speed Satellite Communication Research Team, ETRI  
E-mail : eachoi@etri.re.kr

#### Abstract

The satellite communications are expected to play an important role to provide broadband multimedia services in the 21st century. According to this requirements, this paper describes the design and implementation of ATM-based high speed satellite modem ASIC chipset. The ASIC chip consists of three main parts, CODEC, Modulator and Demodulator. It supports burst and continuous mode operation with TDMA frame consisted of Reference bursts, Inbound burst, and Traffic burst. The maximum transmission rate is OC-3 (155Mbps) and the maximum operating clock speed is 220MHz. This ASIC chip was implemented with 0.25um CMOS technology.

#### I. 서론

21세기 지식기반사회는 고속화, 광대역화, 멀티미디어, 개인화가 요구되며, 지상망과 위성통신망은 이음새 없이 상호 연동되어 비동기 전송모드(ATM : Asynchronous Transfer Mode)를 기반으로 한 초고속 광대역의 멀티미디어 서비스를 제공하게 될 것이다. 위성은 이러한 초고속 정보통신망에서 중요한 역할을 수행할 것이다. 따라

서 ATM 기반 초고속 위성통신용 모뎀에 대한 연구는 필수적이다.

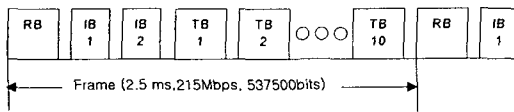
본 논문은 초고속 위성통신용 TDMA 버스트 모뎀 ASIC 설계 및 구현에 관한 것으로서, 155Mbps급 ATM 기반 TDMA 프레임구조를 분석하고, 초고속 TDMA 버스트 모뎀 요구사항과 블록별 기능을 분석하여 이를 토대로 초고속 위성통신용 TDMA 버스트 모뎀을 ASIC화 하고 구현하였다.

또한 본 연구개발을 통해 개발된 모뎀은 기존제품보다 기술성, 경제성, 활용성 등에서 우위를 점해야 경쟁력을 가질 수 있으므로 국제적으로 연구되고 있는 내용과 출하되고 있는 기존 제품을 분석하여 이를 토대로 기존 제품의 기능을 보유함은 물론 미래의 새로운 멀티미디어 서비스를 수용할 수 있도록 개발하였다.[1]

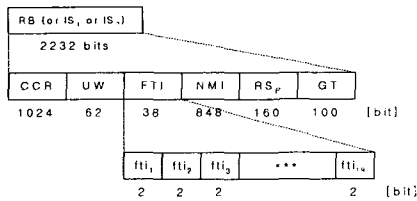
#### II. 155Mbps 급 ATM 기반 TDMA 프레임구조

설계된 초고속 TDMA 버스트 모뎀의 155Mbps 모드에서 위성 망으로의 전송률은 215Mbps 로 하나의 TDMA 프레임이 2.5msec 인 경우 537500bits 가 된다. [그림 1]에서와 같이 155Mbps 급 TDMA 프레임은 크게 하나의 중심국 기준버스트(RB : Reference Burst), 두 개의 inbound 버스트(IB : Inbound Burst), 그리고 10개의 트래

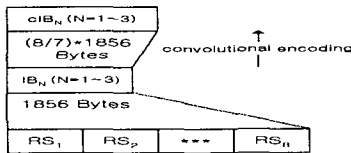
픽 버스트(TB : Traffic Burst)로 구성되어 있다. 기준버스트는 중심국에서 송신하는 것으로 이것을 이용하여 중심국에서 각 지구국으로 관리정보 및 송수신 타이밍 정보를 전송한다. 인바운드 버스트는 각 지구국에서 중심국으로 신호를 전송하기 위한 것으로 여기에는 각 지구국의 상태정보 및 중심국으로의 응답 메시지, 호 요구 메시지 등이 포함된다. 기준버스트와 인바운드 버스트는 서로 동일한 구조를 가지는 것으로 망 구성에 따라서 두 개의 기준버스트와 하나의 인바운드 버스트로 구성할 수 있다. 이때 두 개의 기준 버스트 중 하나를 주 기준 버스트로 나머지 하나는 보조 기준 버스트로 구성할 수 있다. 이것은 주 기준 버스트가 문제가 발생할 경우 보조 기준 버스트를 사용하기 위한 것이다. 상향 신호버스트는 다수의 지구국이 하나의 채널을 공유하는 것으로 망 운용에 따라서 Aloha 와 같은 랜덤다중접속방식, 중심국을 이용한 Polling 모드 혹은 일정 시간동안 하나의 지구국이 사용하는 할당 모드로 운용될 수 있다.



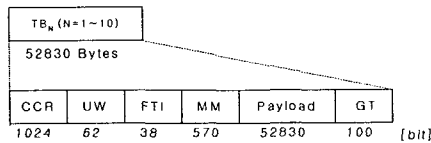
(a) TDMA 프레임 구조(1RB+2IB+10TB)



(b) 기준버스트(RB : Reference Burst)구조



(c) 상향신호버스트(IB : Inbound Burst)



(d) 트래픽 버스트구조(TB : Traffic Burst)

[그림 1] 155Mbps 급 ATM 기반 TDMA 프레임구조

### III. 초고속 위성통신용 TDMA 버스트 모뎀 ASIC 설계 및 구현

#### 3.1 초고속 위성통신용 TDMA 버스트 모뎀 요구사항

본 연구개발을 통해 설계된 모뎀의 주요 요구사항은 다음과 같다.

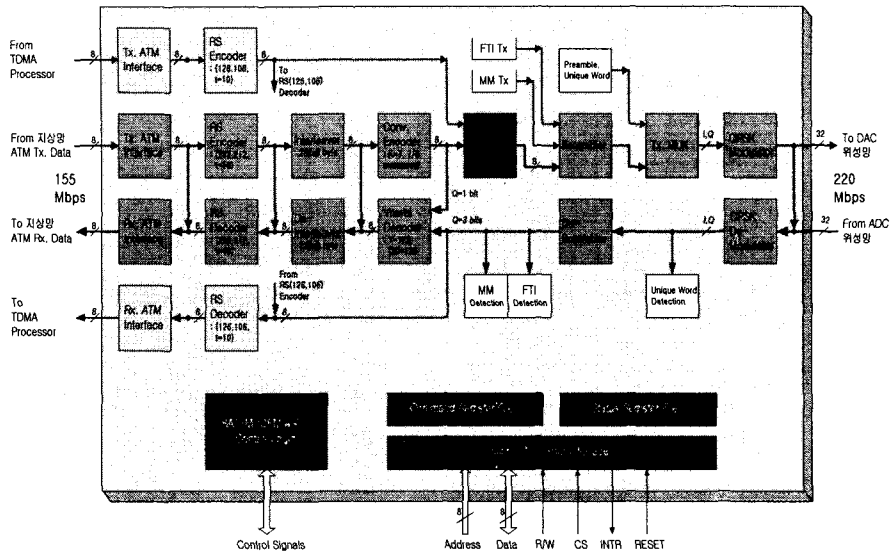
- 최대 정보 전송속도 : 155.52 Mbps
- 출력 모드 : 연속/버스트 dual 모드
- 입력 정보속도 : 45Mbps/155Mbps
- 변복조 방식 : QPSK
- 모뎀 버스트 길이 : 가변
- 복호후 목표품질(BER) :  $10^{-10}$ @Eb/N<sub>0</sub>=8.5dB
- 오류제어 부호화 방식 : CVLVR-ITR-RS
- 펄치드 길쌈부호 : 구속장 7, 3비트 연판정
- 펄치드 길쌈복호 : Viterbi 복호
- RS 부호 오류정정 능력 : t=6 (6심볼)이상
- UNI/NNI 접속, 원격제어, Fault/Alarm기능

#### 3.2 초고속 TDMA 버스트 모뎀 ASIC 의 구성 및 기능

3.1절에서 기술한 모뎀 요구사항에 맞추어 본 연구에서 설계된 초고속 TDMA 버스트 모뎀은 한 칩에 송신기와 수신기가 공존하며 53바이트 ATM 셀 단위로 입/출력하도록 설계되었다.

전체 ASIC 구조를 살펴보면 송신기 구성은 RS(232,212) 부호기, 232\*8 블록 인터리버, 7/8 길쌈부호기, 에너지분산을 위한 스크램블러, QPSK 변조기로 구성되어 있으며 수신기구성은 QPSK 복조기, 디스크램블러, 7/8 길쌈부호복호기, 디인터리버, RS(232,212)복호기로 구성되어 있다. 또한 여기에 TDMA 운용데이터를 위한 RS(126,106)부호기, 복호기, TDMA 프레임 포맷을 위한 MUX 가 포함되어 있다. 155Mbps 급 위성 ATM 모뎀 ASIC 전체블록도는 [그림 2]와 같다.

외부부호 RS(232,212)부호기, 복호기 모듈은 Pipeline 구조의 Time domain 상에서 설계되었다. 복호기의 구조는 먼저 오류징후를 체크하는 신드롬 계산블록, 수정된 유클리드 알고리즘 구현 블록, 오류 정정 위치와 오류크기를 계산하는 chien search 블록, 포니 알고리즘 계산블록, 오류 정정 능력을 벗어났는지 여부를 체크하는 재신드롬 계산 블록으로 구성, 설계되었다. 오류정정 능력이 10심볼이므로 RS(232,212)복호기와 RS(126,106)복호기의 구조는 거의 유사하고 다만 RS(232,212)의 유클리드 알고리즘 구현시 곱셈기를 RS(126,106)보다 2 배 많은 4 개의 곱셈기를 사용한 점이 차이가 있다. 이는



[그림 2] 155Mbps 급 위성 ATM 모뎀 ASIC 전체 블록도

RS(232,212)복호기의 복호 속도를 높이기 위해서다.

인터리버 모듈은 232\*8 블록 인터리버로 설계되었다. 이는 Viterbi 복호기에서 발생하는 버스트 오류를 분산시키기 위해 필요한 과정이다.

내부부호로 쓰인 7/8 평처드 길쌈부호기는 8bit 단위 처리를 위한 병렬 부호기를 사용하여 빠른 데이터 부호화를 꾀하였다. 이는 입력되는 데이터가 8bit 단위이므로 7개의 56비트 입력을 받아 8개의 64비트 출력을 내는 구조를 가진다. 복호기는 복호속도를 높이기 위해 Radix-4 Viterbi 복호기 구조로 설계하였으며, 구성은 디핑처 블록, 64 개의 Radix-4 ACS 계산블록, pre-traceback 블록, 최소메트릭을 찾는 부분, 2-pointer traceback, LIFO 블록으로 구성되었다.[3]

스크램블러는 송신측의 경우 1비트 스크램블러를 사용하였으며, 수신측은 3비트 연판정데이터에 대한 3비트 디스크램블러로 설계되었다. 또한 기준버스트를 다루는 RS(126,106)데이터 및 TDMA 운용 데이터 다중화를 위한 MUX도 함께 설계되었다.

QPSK 복조기의 경우, VCO 와 나눗셈연산을 사용하지 않고 기저대역 신호로부터 복소영역의 신호검출을 하여 고속처리를 용이하게 한 새로운 결정지향 반송파 복원방법을 도입하여 구현하였다.[2][4]

오류제어부의 동작검증을 위해 각 블록을 독립적으로 동작시키고 데이터 흐름을 임의로 바꿀 수 있도록 위성 모뎀 ASIC에서는 디버저 모드를 지원한다. 지상망을 통해 전달된 데이터는 RS(232,212)부호기 및 복호기, 인터리버와 디인터리버, 7/8 평처드 길쌈부호기와 Viterbi복

호기 각각으로 입력 및 출력될 수 있도록 디버저 모드에서 지원한다. 또한 RS(232,212)부호기/복호기, 인터리버/디인터리버, 7/8 평처드 길쌈부호기/Viterbi복호기만의 단순 루프백(lookback)시험과 이들 몇 개를 엮어서 동시에 동작시키는 복합 루프백 시험도 가능하다. TDMA프로세서로부터 입력되는 프레임당 106바이트의 데이터에 대한 디버저 모드도 트래픽 데이터의 경우와 동일하게 적용된다. 즉 RS(126,106)부호기 및 복호기에 대한 각각의 독립적인 동작검증 및 루프백 시험이 가능하다.

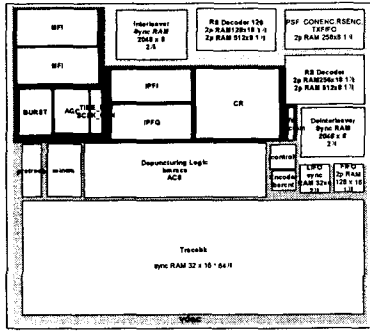
### 3.3 초고속 TDMA 버스트 모뎀의 구현

위의 요구 기능과 규격을 실제 구현한 ASIC 칩의 특성은 다음과 같다.

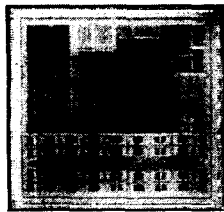
- 공정기술(Technology) : 0.25um CMOS
- 다이 크기(Die Size) : 6.6mm\*6.5mm
- 핀 수(Pin Count) : 208pin
- 게이트 수 : 494,014gates(Memory gate를 제외한 gate수)
- SRAM : Total 115Kbits
- 기준클럭(Clock rate) : 220MHz
- 소비전력(Core Power dissipation) : 2.1W(typical)

[그림 3]은 ASIC 칩 상에서 구현되는 각 기능별 위치에 대한 floor plan 을 나타내고 있다. 실제 칩에서 차지

하는 면적은 대부분 오류정정 부호부에 대한 것으로 변 복조부의 면적은 상대적으로 협소하게 나타난다. [그림 4]는 실제 fab 과정을 거쳐서 나온 베어(bare)칩과 실제 제작된 155Mbps 급 위성 ATM 모뎀 칩을 나타내고 있다.



[그림 3] 위성 ATM 전송모뎀 ASIC Floor Plan



a. 베어(bare)칩



b. 실제 구현된 ASIC 칩

[그림 4] 실제 제작된 모뎀 ASIC 칩

#### IV. 결 론

본 논문은 초고속 위성통신용 TDMA 버스트 모뎀 ASIC 설계 및 구현에 관한 것으로서, 본 논문은 155Mbps 급 ATM 기반 TDMA 프레임 구조를 분석, 초고속 TDMA 버스트 모뎀 요구 기능과 규격, 그리고 블록별 기능을 보였다. 이를 토대로 초고속 위성통신용 TDMA 버스트 모뎀을 ASIC 화하고 구현하였다. 본 ASIC 칩은 사용 클럭에 따라 다양한 동작속도를 지원하게끔 설계되었으며, 최대 220Mbps의 출력속도를 갖는다. 본 모뎀 ASIC의 BER 성능은 Eb/No 8.5 dB에서,  $5 \times 10^{-3}$ 의 복조기 BER 성능과  $1 \times 10^{-10}$ 의 오류 정정 복호기 BER 성능을 만족한다.

본 연구의 결과로 개발된 초고속 위성통신의 핵심이 되는 버스트형 모뎀의 155Mbps 급 위성 모뎀은 국내 최초이며 전세계적으로는 2~3번째에 속한다. 특히 0.25um의

155Mbps 급 초고속 위성통신용 TDMA 모뎀의 ASIC 칩은 세계 최초로 속하며, 향후 초고속 위성통신 모뎀 가격의 획기적인 가격 저평화를 포함하여 경량화를 이룩하는데 기여할 것으로 기대된다. 아울러 본 모뎀 ASIC 칩은 점대점 위성 ATM 기반의 전송 서비스, 초고속정보통신망의 국간 중계 및 백업, APII구축, HDTV, 대용량 컴퓨터 망 구축 및 향후 622Mbps급 위성 ATM 모뎀 기술개발에 활용될 수 있을 것이다.

#### 참 고 문 헌

- [1] S.P.Miller, F.Hemmati, D.H.Layer, and P.N.Johnson, "A BISDN-compatible 140/155Mbit/s modem/codec," COMSAT Technical Review, Vol.24, No.1-2, 1994/1995
- [2] Y.Matsumoto, K.Kobayashi, T.Sakata, K.Seki, S.Kubota, and S.Kato, "VLSI implemented 60Mbps QPSK/OQPSK digital demodulator for radio application." IEICE Trans.Electronics, vol.E77-C, no.12 pp.1873-1880, Dec.1994.
- [3] LSI Logic, L64704 QPSK and Concatenated FEC decoder Manual, Aug.1996.
- [4] Design and Analysis of Decision-directed Carrier Recovery for High-speed Satellite Communications, IEICE Trans.On Communications, Vol.E81-B, no.12. pp.1-9 Dec.1998.