

디지털 오디오용 보간 필터 설계

이 정 응, 신 건 순
금오공과대학교 전자공학과
전화 : 054-467-4055 핸드폰 : 019-541-6117

The Design of Digital Audio Interpolation Filter

Jung-Woong Lee, Gun-Soon Shin
Dept. of Electronic Engineering, Kumoh University
E-mail : jwlee@knut.kumoh.ac.kr

Abstract

This paper has been proposed an audio DAC structure composed of FIRs and IIR filters as digital interpolation filter to integrate the off-chip analog low-pass filter on-a-chip. The passband ripple($< 0.41 \times fs$), passband attenuation(at $0.41 \times fs$) and stopband attenuation($> 0.59 \times fs$) of the $\Delta\Sigma$ modulator output using the proposed digital interpolation filter had ± 0.001 [dB], -0.0025 [dB] and -75 [dB], respectively. Also the inband group delay was $30.07/fs$ [s] and the error of group delay was 0.1672%. Also, the attenuation of stopband has been increased -20 [dB] approximately at 65 [kHz], out-of-band. Therefore the RC products of analog low-pass filter on chip have been decreased compared with the conventional digital interpolation filter structure.

I. 서론

디지털 오디오용 DAC(디지털-아날로그 변환기)는 주로 디지털 보간(Interpolation) 필터, $\Delta\Sigma$ 변조기(Delta-Sigma modulator), 아날로그 DAC 및 저역통과 필터로 구성된다[1~6]. 디지털 보간 필터는 주로 64

배 또는 128배의 데이터를 보간하는 역할과 앨리어싱(Aliasing)되는 신호를 필터링하는데 사용되며, $\Delta\Sigma$ 변조기는 양자화 오차(Quantization error)신호를 고주파수로 천이시켜 입력신호내(Inband)의 잡음을 줄여주는 역할을 한다. 그 다음에는 아날로그 DAC로 1비트 데이터를 적분함과 동시에 필터링하며, 그 후단에는 고차의 아날로그 저역통과 필터에 의해 입력 신호 대역 밖(Out-of-band)의 잡음을 감쇠시킨다. 이 때 디지털 보간필터의 샘플과 홀드(Sample and Hold : S/H)에 의해 입력 신호 내에서 감쇠(Drooping) 현상이 발생되기 때문에 아날로그 필터에서 보상을 해야한다. 그런데 $\Delta\Sigma$ 변조기가 통과대역 내에서 큰 진폭을 갖는 비선형 IIR(Infinite Impulse Response) 필터 특성을 가지므로 아날로그 저역통과 필터로 보상하는 데는 큰 RC 적(product)이 필요하므로 칩 내부에 이 아날로그 저역통과 필터를 집적시키는 것은 불가능 할 뿐만 아니라 군 지연(Group delay) 특성이 나빠지는 단점을 갖는다.

따라서 본 논문에서는 디지털 보간 필터를 구현함에 있어 기존에 FIR 필터, S/H로 구성된 것을 FIR 필터와 IIR 필터를 혼합시켜 과표본화(Oversampling)시키는데, IIR 필터의 주목적은 상기에서 언급한 통과대역 내에서 S/H에 의한 감쇠 현상과 $\Delta\Sigma$ 변조기로 인한 신호 왜곡을 아날로그 필터에서 보상하는 것이 아니고 IIR 필터로 수행함으로써 아날로그 회로의 RC 적을 감소시켜 칩 내부에 아날로그 저역통과를 모두 집적시

키기 위한 것이다. 또한, IIR 필터를 사용하므로써 기존의 구조와 유사한 균지연 특성을 갖도록 하는데 그 목적이 있다. 이로 인하여 18비트 이상에서 사용할 수 있는 고정밀의 디지털 오디오 DAC의 한 코어(core)로 적용될 가능성을 제시하고자 한다. 이를 위하여 본 논문에서는 기존의 FIR-FIR-FIR-S/H- $\Delta\Sigma$ 변조기의 구조에서 FIR-FIR-IIR-S/H- $\Delta\Sigma$ 변조기의 구조를 제시하기 위하여 제2장에서는 기존 방식인 FIR-FIR-FIR-S/H- $\Delta\Sigma$ 변조기의 문제점을 검토하고, 제3장에서는 본 논문에서 제시하는 FIR-FIR-IIR-S/H- $\Delta\Sigma$ 변조기 구조의 특성을 기존 방식과 비교, 검토하며 제 4장에서는 기존의 오디오 DAC 구조와 본 논문의 구조를 이용한 경우의 균지연 특성을 비교 검토하였다.

II. 본 논문에서 제시하는 디지털 보간필터

그림 1과 같은 기존의 구조에서 FIR1과 FIR2는 동일하지만 세 번째단의 보간회로로서 칩 외부에 있는 아날로그 저역통과 필터 대신에 IIR 필터를 사용하고 후단에 S/H를 넣어 이 IIR 필터로 그림 1의 구조에서 발생된 통과대역내의 진폭을 감쇠 시키도록한 구조를 그림 3에 나타내었다. 이 때 RC 적이 큰 그림 1의 칩 외부에 있는 아날로그 저역통과 필터는 칩 내부에 있는 1비트 스위치드-캐패시터(Switched-capacitor) DAC와 연속시간의 저역통과 필터(Continuous-time low-pass filter)로 집적이 가능하게 되고, 이제 이 아날로그 필터들은 통과대역 밖의 잡음만을 줄여주면 되므로 RC 적이 작게될 수 있음을 예측할 수 있다.

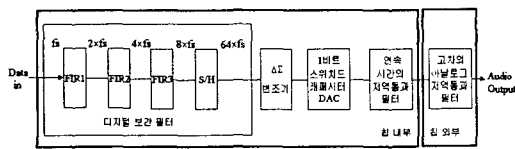


그림 1. 기존의 64×fs 오디오 DAC의 구성.

본 논문에서의 디지털 보간 필터의 사양은 표 1에서 나타낸 바와 같이 18비트 이상에서의 각 회사별 사양은 다르지만 CS4390과 같이 통과대역(<0.41×fs) 내의 진폭을 ±0.001[dB], 저지대역(> 0.59×fs) 감쇠를 -75[dB]로 설정하였다. 이 때 표본화 주파수 fs=44.1[kHz]로 하여 통과대역은 0.41×fs, 저지대역은 0.59×fs로 설정하여 시뮬레이션한 결과 그림 1의 디지털 보간 필터의 FIR1, FIR2, FIR3의 탭수는 각각 119, 19, 15를 얻을 수 있었다.

표 1. 오디오 DAC의 사양 요약.

회사명	칩 명칭	분해능 [비트]	통과대역 진폭[dB]	저지대역 감쇠[dB]
Crystal Semiconductor	CS4327	20	±0.002	-72
	CS4329	20	±0.001	-75
	CS4390	24	±0.001	-75
Burr-Brown	PCM1716	24	±0.002	-82
	PCM1728	16'20'24	±0.002	-82
AKM	AK4352	20	±0.005	-80
	AK4393	24	±0.005	-75
Analog Devices	AD1857/8	16'18'20	±0.045	-62

그림 3의 IIR1 필터의 전달함수 H(s)는

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{1}{s + \frac{1}{R_1 C_1}} \cdot \frac{1}{s^2 + s \left(\frac{1}{C_2} \left(\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \right) + \frac{1}{R_4 R_5 C_1 C_2} \right)} \cdot \dots \quad (1)$$

이다. 이선형적분(Trapezoidal integration) 변환기법을 적용하여 s-영역에서 z-영역으로 변환하면

$$s = \frac{2}{T} \frac{z-1}{z+1} \quad (2)$$

를 대입하면 되므로 z-영역에서의 전달함수 H(z)는

$$H(z) = \frac{V_o(z)}{V_i(z)} = \frac{-b(z+1)}{z-a} \cdot \frac{e z^2 + fz + g}{z^2 + cz + d} \quad (3)$$

가 된다. 여기서

$$a = \frac{2}{T} R_2 C_1 - 1, \quad b = \frac{R_2}{R_1 \left(\frac{2}{T} R_2 C_1 + 1 \right)}$$

$$c = \frac{2b - \frac{8}{T^2}}{\frac{4}{T^2} + \frac{2a}{T} + b}, \quad d = \frac{\frac{4}{T^2} - \frac{2a}{T} + b}{\frac{4}{T^2} + \frac{2a}{T} + b}$$

$$e = g = \frac{-c}{\frac{4}{T^2} + \frac{2a}{T} + b}, \quad f = \frac{-2c}{\frac{4}{T^2} + \frac{2a}{T} + b}$$

인데 T는 fs = 44.1kHz 일때, T=1/8×fs = 1/352800[sec]이다. 그림 2에 주어진 소자값을 대입하면 위 식의 각 계수값은 a=0.5258, b=0.23712, c=-1.218651, d=0.566539, e=-0.086972, f=-0.173944, g=-0.086972가 된다.

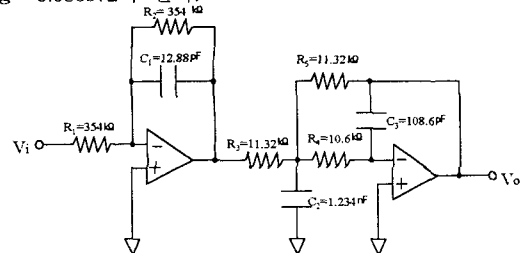


그림 2. 아날로그 저역통과 필터의 구성 및 통과대역 진폭을 보상하기 위한 소자값.

2.1 구조 비교 및 검토

기존의 FIR3에 대한 모델과 식 (3)에서 구해진 IIR1

에 대한 모델은 그림 4 (a), (b)와 같은데 FIR3는 FIR1, FIR2와 마찬가지로 카이저 창(Kaiser window)을 이용하면 표 2 (a)에 나타낸 것 처럼 탭수가 15인 필터를 얻을 수 있는데, 계수값이 하프 밴드(Half-band)를 기준으로 대칭이 되고- 하프 밴드 필터(Half-band filter)라 불리워짐. - 또한 그 계수의 절반은 0의 계수를 갖으므로 실제 RAM에 저장해야 할 계수의 수는 5개가 되며, MAC의 수는 9개가 된다. 그림 3 구조의 디지털 보간 필터는 FIR과 FIR2는 동일한 대신에, 그림 4 (b)의 구조와 같이 IIR1은 표 2 (b)에 나타낸 것 처럼 탭수가 10인 필터가 되고, 실제 RAM에 저장해야 할 계수의 수는 6개가 되며, MAC의 수는 8개가 된다. 따라서 하드웨어적인 측면에서 볼 때 RAM의 면적은 그림 1의 구조가 감소되고, MAC으로 인한 면적은 그림 3의 구조가 감소된다.

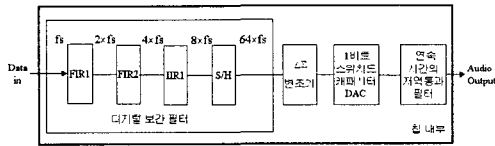


그림 3. 본 논문에서 제시하는 64×fs 오디오 DAC의 구조.

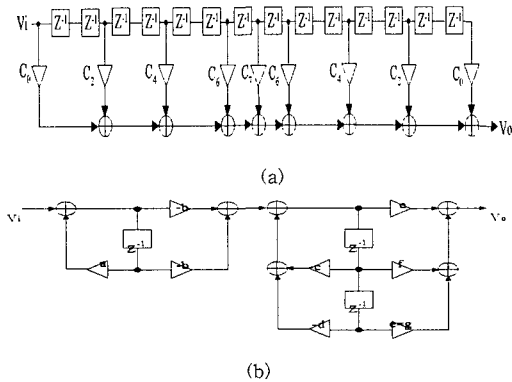


그림 4. FIR3와 IIR1의 모델. (a) FIR3 filter의 모델. (b) IIR1 filter의 모델.

표 2. 그림 1과 그림 3의 디지털 보간필터에 대한 비교. (a)

(a)

단 구분	출력 표본 주파수	탭수	RAM에 저장되는 계수의 수	MAC의 수
FIR1	88.2kHz	119	31	61
FIR2	176.4kHz	19	6	11
FIR3	352.8kHz	15	5	9

(b)

단 구분	출력 표본 주파수	탭수	RAM에 저장되는 계수의 수	MAC의 수
FIR1	88.2kHz	119	31	61
FIR2	176.4kHz	19	6	11
IIR1	352.8kHz	10	6	8

2.2 주파수 특성

중속연결된 FIR1×FIR2×IIR1의 출력은 그림 5(a)에서 보는 바와 같이 저지대역은 -75[dB]이상의 감쇠 특성을 갖고, 통과대역에서의 진폭은 그림 5(b)에서 보는 바와 같이 IIR1의 경우, 0.41×fs 이하에서 ±0.0055[dB]이고, 0.41×fs에서 -0.0025[dB] 감쇠됨을 볼 수 있지만 그림 6에서 보는 바와 같이 S/H와 ΔΣ 변조기를 모두 중속 연결하였을 때 출력 스펙트럼을 살펴보면 통과대역 진폭이 ±0.001[dB], 0.41×fs에서 -0.0025[dB] 감쇠가 있어 모두 사양을 만족하였음을 보여준다.

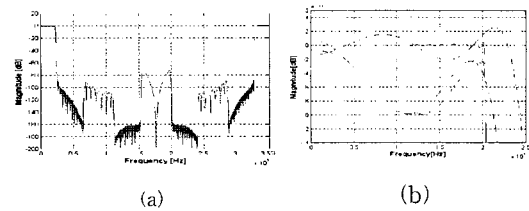


그림 5. 2단의 FIR 필터와 IIR 필터로 혼합된 구조의 주파수 스펙트럼. (a) FIR1×FIR2×IIR1에 대한 출력주파수 스펙트럼. (b) (a)에 대한 통과대역 주파수 특성곡선.

또한, 그림 6(a)에서는 ΔΣ 변조기의 저역통과 필터 특성에 의해 저지대역은 67[kHz]에서 -95[dB], 155[kHz]에서 -101[dB], 335[kHz]에서 -75[dB]의 감쇠 특성을 갖는다.

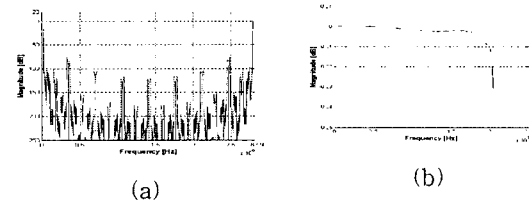


그림 6. 디지털 보간 필터와 ΔΣ 변조기를 중속 연결한 출력 주파수 스펙트럼. (a) 64×fs 주파수 스펙트럼. (b) (a)에 대한 통과대역 주파수 특성곡선.

이와 마찬가지로 그림 7 (a)에서 보는 바와 같이 아날로그 필터 특성 때문에 통과대역 0.41×fs 이하에서 ±0.0015[dB]의 진폭을 갖고, 저지대역 0.59×fs 이상에서 -75[dB]를 갖으므로 통과대역에서 진폭은 사양에서 벗어나고, 저지대역에서는 사양을 만족시켜 줄 수 있다. 즉, 그림 1 구조에서는 아날로그 저역통과 필터가 필요하므로 큰 면적이 요구될 뿐만 아니라, 통과대역의 진폭 사양을 만족시키기 위해서는 FIR 필터의 탭수를 증가시켜야 한다. 그러나 그림 3의 구조에서는 주어진 사양을 모두 만족시키므로 칩외부에 아날로그 저역통과 필터가 불필요하게 된다.

2.3 군지연 특성

FIR 필터는 선형 위상(Linear phase)을 가지므로 군지연 특성이 우수하지만 IIR 필터의 위상은 선형이 아니므로 시스템 측면에서 조사해보아야 한다. 그림 1의 구조의 경우 S/H 와 $\Delta\Sigma$ 변조기를 중속 연결시켰을 때 통과대역 내에서 큰 진폭을 가지므로 칩 외부에 그림 2의 아날로그 저역통과 필터를 구성해야 하는데 $\Delta\Sigma$ 변조기의 후단에 1비트 DAC가 필요하지만 그림 3의 최종 출력단에서 군지연 특성을 살펴보면 그림 8에서 보여주는 바와 같이 통과대역 내에서 30.07/fs[s]이고, 오차가 $(6.83-6.8186)/6.8186=0.1672\%$ 였는데, 이 시뮬레이션에서는 그림 1의 구조의 경우 FIR3 필터가 더 추가된 형태이므로 군지연 값이 본 구조에 비해 크기 때문에 군지연 오차가 더 작은 값으로 나왔지만 이 점을 감안하면 군지연 오차는 거의 동일한 값이 될 것이다.

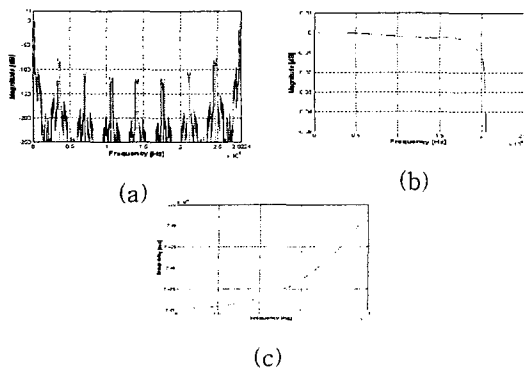


그림 7. 그림 1 구조의 주파수 특성곡선. (a) $64 \times fs$ 주파수 스펙트럼. (b) (a)에 대한 통과 대역 주파수 특성곡선. (c) (b)에 대한 군지연.

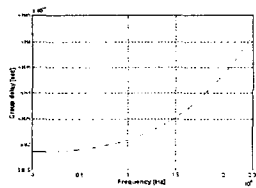


그림 8. 본 논문의 군지연.

III. 결론

기존의 디지털 보간 필터의 구조를 FIR과 IIR 필터의 혼합형으로 구성하여 칩 외부에 있는 아날로그 저역통과 필터의 RC적을 감소시킴으로써 하나의 칩내에 고정밀 오디오 DAC를 집적할 수 있도록 하였고, 그림 7에서 보는 바와 같이 기존의 구조로써 본 논문에서 제

시한 동일한 사양을 만족시키기 위해서는 FIR1, FIR2, FIR3 필터를 각각 127, 23, 17 탭으로 증가시켜야 하고, 하드웨어적인 측면에서 볼 때 RAM의 면적은 그림 1의 구조가 감소되고, MAC으로 인한 면적은 그림 3의 구조가 감소되므로 대략 비슷한 면적이 소요될 것이지만 그림 1의 구조에서 그림 2의 아날로그 필터를 칩내부에 집적할 경우 그림 3의 구조에 비해 너무 큰 면적을 차지한다. 그러나 그림 3의 구조로는 디지털 보간 필터로 이미 통과대역을 보상하고, 저지대역에서의 감쇠 사양을 만족시켰으므로 $\Delta\Sigma$ 변조기의 후단에 있는 1비트 스위치드-캐패시터 DAC와 연속시간의 아날로그 저역통과 필터의 RC 적은 감소되므로 칩 면적이 그림 1의 구조 보다 감소된다. 또한 군지연 특성은 기존의 구조와 거의 동일한 오차를 갖음을 시뮬레이션 결과 알 수 있었지만, 그림 1 구조에서는 IIR 필터로 동작하는 아날로그 저역통과 필터가 사용되어야 하므로 소자값 변동에 따른 감도(Sensitivity) 특성 때문에 일정한 군지연 특성을 얻기가 어렵고, 그림 3의 구조에서는 디지털 보간 필터로 집적되므로 정확한 신호처리를 할 수 있어 실질적인 군지연 특성도 기존의 구조보다 개선될 것이다. 그러나 실질적인 18-비트 이상의 분해능을 갖는 DAC는 THD가 약 108[dB]이상이 되어야 하는데 이상적으로 4차 $\Delta\Sigma$ 변조기로 구현할 경우 과표분화비가 $128 \times fs$ 이어야 하고, 5차 $\Delta\Sigma$ 변조기로 구현할 경우 과표분화비가 $64 \times fs$ 이어야 하므로 이에 맞게 $128 \times fs$ 를 갖는 DAC의 구조에 대한 연구를 계속하여 칩으로 구현할 예정이다.

참고문헌(또는 Reference)

- [1] J. C. Candy, G. C. Temes(1991), Oversampling Delta-Sigma Data Converters, IEEE Press, N.Y.
- [2] S. R. Norsworthy, R. Schreider, et. al.(1997), Delta-Sigma Data Converters, IEEE Press, N.Y.
- [3] T. Kwan, R. Adams, et. al.(1996), "A Stereo Multibit $\Sigma\Delta$ DAC with Asynchronous Master-Clock Interface", IEEE J. Solid-State Circuits
- [4] B. J. Kup, E. C. Dijkmans, et. al.(1991), "A Bit-Stream Digital-to-Analog Converter with 18-b Resolution", IEEE J. Solid-State Circuits
- [5] P. Ju, K. Suyama, et. al.(1995), "A 22kHz Multi-bit Switched-Capacitor Sigma-Delta D/A Converter with 92dB Dynamic Range", IEEE J. Solid-State Circuits
- [6] 1994 Crystal Semiconductor Audio Databook, Crystal Semiconductor Co.