

# 전력선 채널에서 멀티캐리어 DS-CDMA를 이용한 전력선 음성모뎀의 디지털부 구현에 관한 연구

이상준, 김민걸, 이종성, 구시경, 박광철, 오정현, 김기두  
 국민대학교 전자공학부  
 전화 : (02) 910-4707 / 팩스 : (02) 910-4449

## A Study on the Digital Design for Voice Modem Using the Multicarrier DS-CDMA in Powerline Channels

School of Electronic Engineering, Kookmin University  
 E-mail: kdk@kmu.kookmin.ac.kr

### Abstract

In this paper, we implemented the voice modem using the multicarrier DS-CDMA in powerline channels. Both TMS320C5402 of Texas Instrument and FPGA FLEX 10K EPF10K100ARC240 of ALTERA are used to realize the proposed system. For robustness in the powerline channel, we used multicarrier DS-CDMA modulation, convolutional encoding/Viterbi decoding, and interleaving. Finally, we showed satisfactory performance in the laboratory experiment.

### I. 서론

전세계적으로 제 3 세대 무선통신이라 불리는 IMT-2000에 대한 무선접속 규격으로 선정된 광대역 CDMA에 대한 연구가 광범위하게 진행되고 있는 가운데[1], 최근 해외의 유명 전기분야 대기업을 비롯하여 벤처기업이 공동으로 차세대 홈 네트워크 개발에 연구를 활발히 진행하고 있다[2].

본 연구에서는 이러한 시대적 흐름에 발맞추어 전력선 채널에서 멀티캐리어 DS-CDMA (Multicarrier Direct Sequence Code Division Multiple Access) 방식을 이용한 통신모뎀을 구현하였다. DS-CDMA 방식은 다른 접속방식에 비해 뛰어난 성능을 갖지만 전력선 채널은 일반 통신 채널에 비해서 매우 큰 협대역 간섭(PBI: Partial Band Interference)과 주파수 선택적 인(Frequency Selective) 채널 특성을 가지므로 이러한

전력선의 채널특성에 강인한 시스템을 구현하기 위하여 멀티캐리어 DS-CDMA 방식을 채택하였다. 멀티캐리어 DS-CDMA 시스템은 확산된 신호를 여러 부밴드(subband)를 통해서 동시에 전송함으로써 주파수 다이버시티(Frequency Diversity) 효과에 의해 협대역 잡음에 강인한 특성을 갖게 된다[2].

본 연구에서 구현한 전력선 모뎀의 디지털부는 크게 3개의 블록, 즉 FPGA부, DSP부, 그리고 MCU부로 구성된다. 그림 1은 전력선 모뎀의 전체구성도를 보여준다.

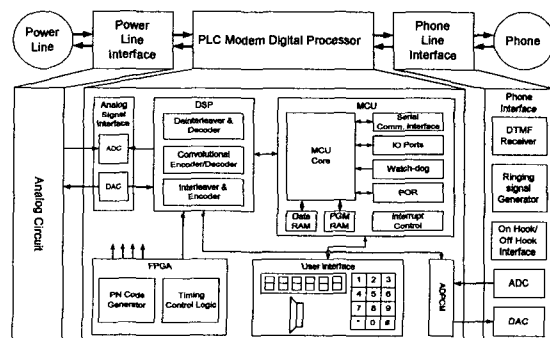


그림 1. Powerline Modem의 전체블록도

FPGA는 Altera사의 EPF10K100ARC240[3]을 이용하여 동기, PN확산 및 역확산, 변복조 역할을 담당하고, DSP는 Texas Instrument사의 TMS320C5402[4]를 이용하여 콘볼루션 인코딩과 비터비 디코딩[5], 그리고 인터리빙을 수행한다. MCU는 Atmel사의 AT89LV51

를 이용하여 전화기 인터페이스와 DTMF 디코딩, 그리고 사용자 인터페이스를 담당하도록 하였다.

본 연구에서는 기존의 전화기를 그대로 이용하여 통신할 수 있도록 RJ-11 인터페이스를 이용하였고, 실제 전력선을 이용한 32K ADPCM 음성 실험을 통하여 제안한 시스템의 성능을 평가하였으며, 본 논문에서는 음성모뎀 디지털부 구현에 중점을 두었다.

## II. DSP 칩을 사용한 채널 코딩

전력선 채널 환경에 의한 연결 에러 및 랜덤 에러에 대처하기 위하여 인터리빙과 디인터리빙 및 콘볼루션 인코딩, 비터비 디코딩 알고리즘을 Texas Instrument사의 고정소수점 DSP인 TMS320C5402를 사용하여 구현하였다. 외부 디바이스, ADPCM과 FPGA와의 인터페이스는 DSP의 시리얼 포트 및 DMA(Direct Memory Access)를 사용하였다. 콘볼루션 인코딩은 유한한 과거 입력 데이터들이 현재의 데이터에 영향을 미치는 특성을 이용한 부호화로서 강한 에러 정정 능력을 지니는 부호화 기법이다. 제안된 시스템에서 콘볼루션 코드는 구속장이 5, 코드율이 1/2인 것을 사용하였고 블록도는 그림 2에 나타내었다.

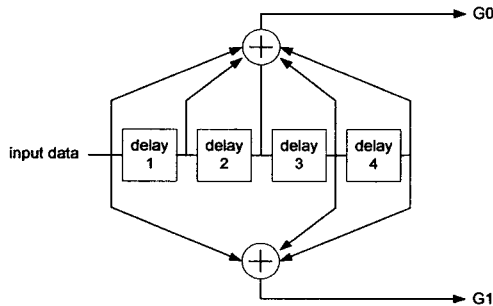


그림 2. 콘볼루션 인코더

전력선 모뎀의 수신단에서 사용한 복호화 방식은 Soft Decision Viterbi 알고리즘이며[5], 이것은 메트릭 갱신부와 경로 추적부의 두 부분으로 구성된다.

메트릭 갱신부의 역할은 입력신호와 경로 상태간의 거리(distance)로써 브랜치 메트릭(branch metric)을 계산한다. 이전의 지연 상태의 경로 메트릭값과 브랜치 메트릭을 더한다. 두 개의 입력 경로 중 하나를 결정한 후, 그 경로의 메트릭값을 다음의 지연 상태 경로 메트릭으로 갱신하는 것이다. 이때 각각의 지연 상태에서의 선택 경로 정보 또한 같이 저장한다. 이 정보를 사용하여 경로 추적부에서 전체경로를 복원하는 것

이다. 메트릭 갱신과 경로 선택 과정은 그림 3에서와 같이 하나의 나비선도로 나타낼 수 있다.

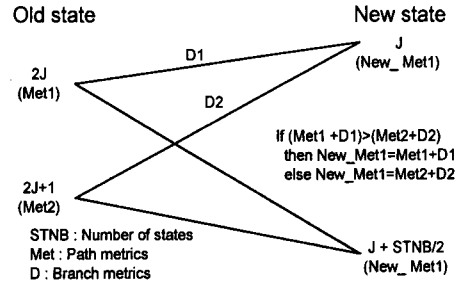


그림 3. 나비선도로 표현된 Viterbi 연산

알고리즘의 수행시간 중 대부분이 이 과정을 반복 수행하는데 소모되며, TMS320C5402는 CSSU(Compare Select Store Unit)를 사용하여 하나의 instruction으로 처리할 수 있어 수행시간을 줄일 수 있다. 알고리즘에서의 distance는 식 (1)과 같은 Euclidean distance가 사용되었다[5]. 여기서,  $SD_n$ 는 입력 심볼 값이며,  $G_n(j)$ 는 각각의 경로 상태에서의 기대 입력 값을 나타낸다. 또한  $1/R$ 과  $j$ 는 각각 코딩률과 지연 상태의 단수를 의미한다.

$$\begin{aligned} \text{Euclidean distance} &= \sum_{n=0}^{R-1} [SD_n - G_n(j)]^2 \\ &= -2 \sum_{n=0}^{R-1} SD_n G_n(j) \end{aligned} \quad (1)$$

메트릭 갱신부에서 중요한 특징은 전체 나비선도의 구조가 대칭성을 보이기 때문에 실제 계산의 절반만으로 모든 갱신이 끝난다는 것이다. 물론, 부호기의 구조에 따라서 대칭모양은 다르게 된다.

경로 추적부에서의 관심사는 메트릭 갱신과 함께 결정된 전체 경로로써 부호화된 데이터를 복호화 하는 것이다. 데이터 복원과정은 송신단의 인코딩시, 데이터 프레임의 마지막 단에 지연 소자만큼을 0으로 채워 보내는 부가 정보를 가지고 마지막의 지연 상태가 '0000'이란 정보로써 수신단의 마지막 단에서부터 경로를 추적하기 시작한다. 여기서, 콘볼루션 부호기의 특징 중에 하나인 지연 상태의 최상위 비트가 바로 이전의 입력 신호가 되는 것을 이용하여 재생된 경로를 따라 결정된 지연 상태의 변화를 가지고서 입력된 신호를 만들어 낸다.

## III. FPGA를 이용한 디지털 신호처리부 설계

FPGA 부분은 신호의 확산·역확산, 변·복조 부분을 담당하고 있다. 즉, 송신 부분에서는 DSP 칩으로부터의 채널코딩된 신호에 대해, PN 코드를 사용하여 확산시키고, NCO를 이용하여 BPSK 변조한 후 DAC로 보내는 신호처리부를 담당한다. 수신 부분에서는 전력선을 통해 입력된 신호를 ADC를 거쳐 입력받은 후 Costas Loop를 이용하여 Carrier Recovery하고 BPSK 복조를 수행한다. 이후 PN 코드를 사용하여 PN 코드 동기를 형성한 후 역확산시켜 데이터를 복원한 후 채널 코딩을 위한 DSP 칩으로 출력하는 신호처리부를 담당하고 있다[6]. 설계는 ALTERA사의 MAX-PLUS II를 사용하였다. 전력선 모뎀에서의 FPGA 역할을 그림 4와 같다.

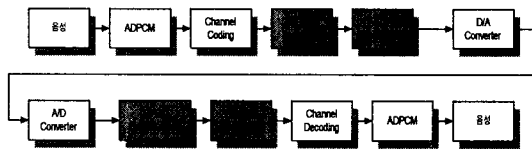


그림 4. 전력선 모뎀에서 FPGA의 역할

3.1 확산과 역확산

대역확산시 사용된 의사잡음 코드인 PN 코드는 주기가 1ms이고, 10비트 쉬프트 레지스터를 사용하여 구성한 m-시퀀스이다. 가장 마지막 비트에 '0'을 추가해 줌으로써 총 주기는 1024비트의 주기를 갖는다. 확산시 사용된 PN 코드의 회로도도는 그림 5와 같다.

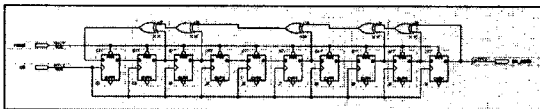


그림 5. PN 코드 발생기

또한, 역확산을 위한 PN 코드도 확산시에 사용한 PN 코드와 동일한 PN 코드를 사용하였다. 역확산시 동기 획득을 위해 Early-Late Gate 알고리즘을 사용하였고, 그림 6은 Early-Late Gate 알고리즘을 나타낸다.

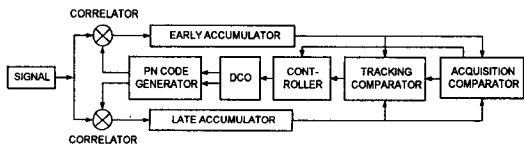


그림 6. Early-Late Gate 알고리즘

동기 획득을 위해 사용된 상관값들의 샘플링 주기는 1/4칩 주기로 하였다. 또한 전체 상관주기는 PN 코드 한 주기의 1/8 주기로 하여, 동기 획득시간을 감소시켰다. 1/8 주기로 하였을 경우, 동기 획득 후 안정성이 가장 우수하였다.

전체상관주기를 PN 코드의 한 주기로 하였을 때, 칩 간격에 따른 상관값변화를 살펴보면 그림 7과 같다.

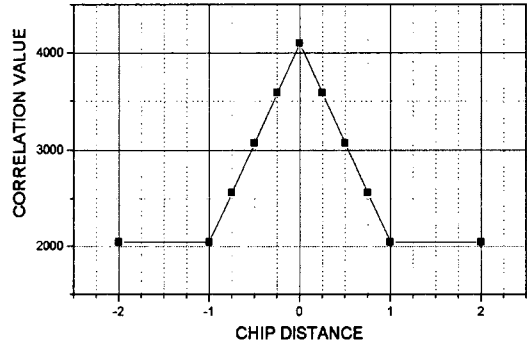


그림 7. 데이터가 1일때, 칩간격에 따른 상관값 변화

이 경우 칩 간격에 따른 상관값은 다음의 표 1과 같다.

표 1. 칩 간격에 따른 상관값

칩간격	0	1/4	1/2	3/4	1	2
상관값	4096	3594	3072	2558	2048	2048

3.2 변복조

데이터 변조시에는 NCO(Numerical Controlled Oscillator)를 사용하여 BPSK 변조를 수행하였다. NCO는 반송파 한 주기를 시간축 상에서 2<sup>10</sup>개로 나누었고, 진폭은 2<sup>8</sup>개로 나누었다. 그림 8은 LUT(Look Up Table)에 저장할 반송파의 값을 나타내고 있다. 그림 8에서 보는바와 같이 반송파의 부호에 따라 저장값의 MSB가 바뀔 수 있다. 또한 반송파가 1/4주기마다 기함수 혹은 우함수적 성질을 가지므로 LUT에는 반송파의 1/4주기에 해당하는 값만 저장하고, 이것만으로 전체 주기를 나타내는데 사용하고 있다.

NCO의 구조는 그림 9에서 보는바와 같이 먼저, 출력하고자 하는 반송파의 주파수를 결정한 후, clock의 주파수를 가지고 주파수 선택 디지털 입력값을 결정한다. 이 값은 LUT로 입력되어 이 값에 상응하는 출력이 발생한다. 그리고 이 값은 계속적으로 주파수 선택 디지털 입력값과 누적되어 LUT로 입력된다. 그 출력

값을 가지고 원하는 반송파를 발생시킨다.

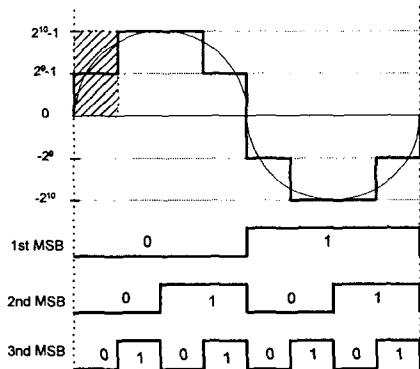


그림 8. 반송파 발생기 출력

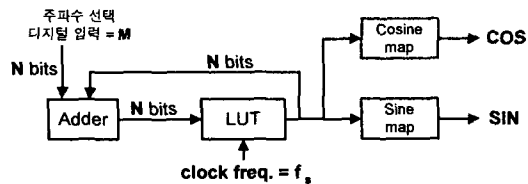


그림 9. NCO 구조

NCO에 의해 생성되는 출력주파수  $f_{out}$ 은 식 (2)로부터 결정된다. 4.608MHz의 주파수를 생성하고자 할 경우,  $f_s$ 는 32.768MHz이고, N은 10이기 때문에 M은 140이 된다.

$$f_{out} = f_s \frac{M}{2^N} \quad (2)$$

여기서 N과  $f_s$ 는 각각 레지스터의 길이와 클럭주파수를 나타낸다. NCO에 의해 조절되는 최소주파수는 식 (3)과 같다. 본 연구에서의 최소주파수는 32kHz가 된다.

$$f_{out} = \frac{f_s}{2^N} \quad (3)$$

BPSK 복조시에는 먼저 Costas Loop를 사용하여, Carrier Recovery를 수행하였다. 본 논문에서 사용한 Costas Loop의 구조는 그림 10과 같고, 여기에 사용된 필터의 단 수는 16이다.

데이터 복조시 데이터가 반전되는 경우는 PN 코드의 동기 획득 과정에서 Pilot Channel의 상관값 크기를 확인함으로써 데이터가 반전되는 경우를 피할 수 있게 된다. 복조시 위상에 대한 오차는  $\pm 45^\circ$  이내에 유지하도록 위상을 보정하였다.

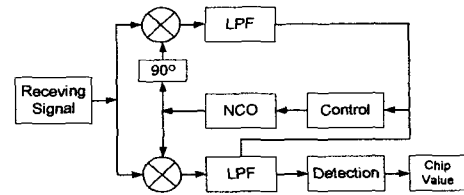


그림 10. Costas Loop 구조

#### IV. 결론

구현된 전력선 모뎀의 성능평가는 220V 전력선 채널 사이에 두 전력선 모뎀을 연결한 후 PC간의 데이터 전송 및 ADPCM 음성통화시 발생하는 에러율을 측정하여 성능을 평가하였다. 이때 전력선 채널에는 인위적인 잡음은 최대한 배제한 상태에서 성능평가를 하였다.

대역확산을 취하지 않고 1Msps의 데이터를 전송하는 경우에 약  $10^{-5}$ 의 BER(Bit Error Rate)을 얻을 수 있었다.

반면 음성통화를 위한 32Kbps ADPCM 신호의 전송은 대역확산의 이득 및 채널코딩의 이득으로 인해 약  $10^{-6}$ 정도의 BER을 얻을 수 있었다.

추후 다중 이용자 간섭에 의한 성능 및 외부 간섭에 의한 성능을 확인하고자 간의 기지국을 구성하여 실험하고자 한다.

#### V. 참고문헌

- [1] S. Kondo, "Performance of Multicarrier DS CDMA System", *IEEE Trans. Comm.*, vol. 44, No. 2, Feb. 1996, pp. 238-246.
- [2] W. N. Sado and J. S. Junicki, "Personal Communication on Residential Power Lines Assessment of Channel Parameters," *Proc. of the 1995 4th IEEE International Conference on Universal personal Communications Record*, Nov. 1995, pp. 532-537.
- [3] ALTERA, Databook, 1997.
- [4] TMS320C54x DSP Reference Set, Texas Instruments, April 1999.
- [5] Henny Hendrix, Viterbi Decoding Techniques in the TMS320C54x Family, Texas Instruments, Application Note, June, 1996.
- [6] John G. Proakis, *Digital Communications*, 3rd Edition, 1995.